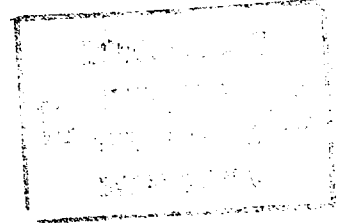




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3471845/18-21
- (22) 16.07.82
- (46) 23.09.84. Бюл. № 35
- (72) В.А. Кешишьян
- (71) Минский радиотехнический институт
- (53) 621.318(088.8)
- (56) 1. Авторское свидетельство СССР № 420095, кл. Н 03 Н 7/30, 12.06.82.
- 2. Авторское свидетельство СССР № 665393, кл. Н 03 Н 7/30, Н 03 К 17-28, 06.12.76.

(54) (57) 1. ДИСКРЕТНО-АНАЛОГОВАЯ ЛИНИЯ ЗАДЕРЖКИ, содержащая генератор тактовых импульсов триггера, блок преобразования, включенный между источником сигнала и входом первого запоминающего звена, запоминающие звенья, образованные из двух параллельно включенных нечетных и четных запоминающих ячеек, каждая из которых содержит ключ записи и ключ считывания, соединенные с одной пластиной накопительного конденсатора, также операционные усилители, подключенные между выходами и входами запоминающих звеньев, отличающаяся тем, что, с целью повышения точности, в нее введены вторые ключи записи и вторые ключи считывания, входящие в нечетные и четные запоминающие ячейки, а также дополнительные запоминающие ячейки, включенные своими входами на инвертирующие входы соответствующих операционных усилителей, неинвертирующие входы которых соединены с общей шиной, а своими выходами - не выходами соответствующих операционных усилителей, причем накопительные конденсаторы дополнитель-

ных запоминающих ячеек подключены своими пластинами с одной стороны к одним выводам первого и третьего ключей и с другой стороны - к одним выводам второго и четвертого ключей дополнительной запоминающей ячейки, причем другие выводы первого и четвертого ключей объединены вместе и образуют вход дополнительной запоминающей ячейки, а другие выводы второго и третьего ключей объединены вместе и образуют выход дополнительной запоминающей ячейки, при этом второй дополнительный ключ считывания в нечетной и в четной запоминающих ячейках одним своим выводом подключен к второй пластине накопительного конденсатора, а другой его вывод является выходом запоминающей ячейки и подключен к инвертирующему входу операционного усилителя, второй ключ записи в нечетной и в четной запоминающих ячейках одним выводом подключен также к второй пластине накопительного конденсатора, а другим выводом - к общей шине, управляющие входы ключей записи нечетных запоминающих ячеек и ключей считывания четных запоминающих ячеек, а также управляющие входы первого и второго ключей дополнительных запоминающих ячеек и первый управляющий вход блока преобразования подключены к первому выходу триггера, а управляющие входы ключей записи четных запоминающих ячеек ключей считывания нечетных запоминающих ячеек, а также управляющие входы третьего и четвертого ключей дополнительных запоминающих ячеек и второй управляющий

вход блока преобразования подключены к второму выходу триггера, вход которого подключен к выходу генератора тактовых импульсов.

2. Линия задержки по п. 1, о т л и ч а ю щ а я с я тем, что блок преобразования содержит операционный усилитель, выход которого является выходом блока преобразования, а неинвертирующий вход соединен с общей шиной, и две идентичные запоминающие ячейки, первая из которых включена между входом блока преобразования и инвертирующим входом операционного усилителя, а вторая - между инвертирующим входом операционного усилителя и его выходом, причем каждая запоминающая ячейка содержит четыре ключа и накопительный конден-

сатор, подключенный своими пластинами с одной стороны к одним выводам первого и третьего ключей и с другой стороны - к одним выводам второго и четвертого ключей, другие выводы первого и четвертого ключей в каждой ячейке объединены вместе и образуют вход соответствующей запоминающей ячейки, а другие выводы второго и третьего ключей в каждой ячейке объединены и образуют выход соответствующей запоминающей ячейки, управляющие входы первых и вторых ключей запоминающих ячеек объединены и подключены к первому управляющему входу блока преобразования, а объединенные управляющие входы третьих и четвертых ключей запоминающих ячеек подключены к его второму управляющему входу.

1

Изобретение относится к радиотехнике и может найти применение для запоминания и задержки мгновенных значений сигнала.

Известна линия задержки, состоящая из последовательно соединенных ячеек, каждая из которых содержит операционный усилитель, подключенный выходом к входу ключа, выход которого соединен с одной из пластин накопительного конденсатора, а управляющий вход подключен к блоку управления [1].

Недостатком этого устройства является невысокая его точность.

Наиболее близким по технической сущности к изобретению является дискретно-аналоговая линия задержки, содержащая блок управления, ключи записи и считывания, запоминающие ячейки, состоящие из ключа и запоминающего конденсатора, блок преобразования, операционные усилители, подключенные между выходами и входами запоминающих звеньев, образованных из двух параллельно включенных четных и нечетных запоминающих ячеек, каждая из которых состоит из ключа записи, сигнальный вход которого является входом ячейки, ключа считывания, вы-

2

ход которого является выходом ячейки, параллельно соединенных запоминающего конденсатора и разрядного ключа, выход которых подключен к общей шине, вход - к выходу ключа записи и входу ключа считывания, при этом блок преобразования подключен своим сигнальным входом к источнику сигналов, выходом - к входу первого запоминающего звена, дополнительным выходом - к нулевому отводу линии задержки и управляющими входами - к дополнительным выходам блока управления, а дополнительные выходы всех операционных усилителей - к соответствующим отводам линии задержки, управляющие входы разрядных ключей четных и нечетных запоминающих ячеек подключены соответственно к третьему и первому выходам блока управления, управляющие входы ключей записи четных и нечетных запоминающих ячеек - соответственно к четвертому и к второму выходам блока управления, управляющие входы ключей считывания четных запоминающих ячеек - к первому и второму выходам блока управления, управляющие входы ключей считывания нечетных запоминающих ячеек - к третьему и четвертому выходам блока управления, триггер [2].

Однако известная линия задержки отличается сложностью управления и невысокой точностью. Так, коэффициент усиления операционных усилителей, равный единице, необходимый для точной передачи сигнала, может быть достигнут только путем введения глубокой отрицательной обратной связи операционного усилителя. Но в этом случае очень сильно сказывается дрейф нуля операционного усилителя, который существенно влияет на точность устройства. Кроме того, настройка нужного коэффициента усиления при этом отсутствует, причем последний не может быть больше единицы. Это приводит к затуханию амплитуды сигнала по мере его продвижения по линии за счет токов утечек конденсаторов и падений напряжений на ключевых элементах. Кроме того, на точность работы устройства существенно влияет многофазность управляющих выходов (их шесть), а это соответственно приводит не только к снижению точности, но и к сложности схемного решения блока управления, так как блок управления кроме генератора тактовых импульсов и триггера содержит дополнительные блоки.

Цель изобретения - повышение точности работы линии задержки.

Поставленная цель достигается тем, что в дискретно-аналоговую линию задержки, содержащую генератор тактовых импульсов, триггер, блок преобразования, включенный между источником сигнала и входом первого запоминающего звена, запоминающие звенья, образованные из двух параллельно включенных нечетных и четных запоминающих ячеек, каждая из которых содержит ключ записи и ключ считывания, соединенные с одной пластиной накопительного конденсатора, также операционные усилители, подключенные между выходами и входами запоминающих звеньев, введены вторые ключи записи и вторые ключи считывания, входящие в нечетные и четные запоминающие ячейки, а также дополнительные запоминающие ячейки, включенные своими входами на инвертирующие входы соответствующих операционных усилителей, неинвертирующие входы которых соединены с общей шиной, а своими выходами - с выходами соответствующих операционных усилителей,

причем накопительные конденсаторы дополнительных запоминающих ячеек подключены своими пластинами с одной стороны к одним выводам первого и третьего ключей и с другой стороны - к одним выводам второго и четвертого ключей дополнительной запоминающей ячейки, причем другие выводы первого и четвертого ключей объединены вместе и образуют вход дополнительной запоминающей ячейки, а другие выводы второго и третьего ключей объединены вместе и образуют выход дополнительной запоминающей ячейки, при этом второй дополнительный ключ считывания в нечетной и в четной запоминающих ячейках одним своим выводом подключен к второй пластине накопительного конденсатора, а другой его вывод является выходом запоминающей ячейки и подключен к инвертирующему входу операционного усилителя, второй ключ записи в нечетной и в четной запоминающих ячейках одним выводом подключен также к второй пластине накопительного конденсатора, а другим выводом - к общей шине, управляющие входы ключей записи нечетных запоминающих ячеек и ключей считывания четных запоминающих ячеек, а также управляющие входы первого и второго ключей дополнительных запоминающих ячеек и первый управляющий вход блока преобразования подключены к первому выходу триггера, а управляющие входы ключей записи четных запоминающих ячеек, ключей считывания нечетных запоминающих ячеек, а также управляющие входы третьего и четвертого ключей дополнительных запоминающих ячеек и второй управляющий вход блока преобразования подключены к второму выходу триггера, вход которого подключен к выходу генератора тактовых импульсов.

Кроме того, блок преобразования содержит операционный усилитель, выход которого является выходом блока преобразования, а неинвертирующий вход соединен с общей шиной, и две идентичные запоминающие ячейки, первая из которых включена между входом блока преобразования и инвертирующим входом операционного усилителя, а вторая - между инвертирующим входом операционного усилителя и его выходом, причем каждая запоминающая ячейка содержит четыре ключа и на-

копительный конденсатор, подключенный своими пластинами с одной стороны к одним выводам первого и третьего ключей и с другой стороны - к одним выводам второго и четвертого ключей, другие выводы первого и четвертого ключей в каждой ячейке объединены вместе и образуют вход соответствующей запоминающей ячейки, а другие выводы второго и третьего ключей в каждой ячейке объединены и образуют выход соответствующей запоминающей ячейки, управляющие входы первых и вторых ключей запоминающих ячеек объединены и подключены к первому управляющему входу блока преобразования, а объединенные управляющие входы третьих и четвертых ключей запоминающих ячеек подключены к его второму управляющему входу.

На чертеже приведена схема предлагаемой дискретно-аналоговой линии задержки.

Дискретно-аналоговая линия задержки содержит вход 1 для подключения источника сигналов, блок 2 преобразования, содержащий операционный усилитель 3, неинвертирующий вход которого подключен к общей шине, запоминающую ячейку 4, включенную между входом 1 линии задержки и инвертирующим входом операционного усилителя 3, и запоминающую ячейку 5, включенную между инвертирующим входом операционного усилителя 3 и его выходом. Две идентичные запоминающие ячейки 4 и 5 содержат соответственно накопительные конденсаторы 6 и 7, первые 8 и 9, вторые 10 и 11, третьи 12 и 13 и четвертые 14 и 15 ключи. Накопительные конденсаторы 6 и 7 подключены соответственно между объединенными одними выводами первых 8 и 9 и третьих 12 и 13 ключей соответствующей ячейки и объединенными выводами вторых 10 и 11 и четвертых 14 и 15 ключей соответствующей запоминающей ячейки. Другие объединенные выводы первых 8 и 9 и четвертых 14 и 15 ключей образуют вход соответствующей запоминающей ячейки, а объединенные выводы вторых 10 и 11 и третьих 12 и 13 ключей образуют выход соответствующей запоминающей ячейки.

Каждое из запоминающих звеньев 16-1 - 16-й включает в себя операционный усилитель 17, нечетную запо-

минающую ячейку 18, содержащую коммутируемый накопительный конденсатор 19, первый 20 и второй 21 ключи записи, первый 22 и второй 23 ключи считывания, четную запоминающую ячейку 24, содержащую коммутируемый накопительный конденсатор 25, первый 26 и второй 27 ключи записи, первый 28 и второй 29 ключи считывания, а также дополнительную запоминающую ячейку 30, содержащую коммутируемый накопительный конденсатор 31, первый 32, второй 33, третий 34 и четвертый 35 ключи. Накопительные конденсаторы 19 и 25 в нечетной 18 и в четной 24 ячейках памяти соответственно подключены между объединенными одними выводами первых и вторых ключей записи и считывания, при этом другие выводы первых ключей записи подключены к выходу операционного усилителя предыдущего запоминающего звена, а вторых ключей записи - к общей шине, другие выводы первых и вторых ключей считывания подключены соответственно к общей шине и инвертирующему входу операционного усилителя. Все управляющие входы первых 8 и 9 и вторых 10 и 11 ключей запоминающих ячеек 4 и 5 блока 2 преобразования, ключей 20 и 21 записи нечетных запоминающих ячеек 18 и ключей 28 и 29 считывания четных запоминающих ячеек 24, а также первого 32 и второго 33 ключей дополнительных запоминающих ячеек 30 каждого из запоминающих звеньев 16-1 - 16-й объединены и подключены к первому выходу 36 триггера 37, а все управляющие входы третьих 12 и 13 и четвертых 14 и 15 ключей запоминающих ячеек 4 и 5 блока 2 преобразования, ключей 26 и 27 записи четных запоминающих ячеек 24, ключей 22 и 23 считывания, нечетных запоминающих ячеек 18, а также третьего 34 и четвертого 35 ключей дополнительных запоминающих ячеек 30 каждого из запоминающих звеньев 16-1 - 16-й объединены и подключены к выходу 38 триггера 37, вход которого соединен с выходом генератора 39 тактовых импульсов. Выходами линии задержки являются отводы 40-0 - 40-л.

55 Линия задержки работает следующим образом.

Входной аналоговый сигнал $u(t)$ поступает на вход 1 линии задержки,

который является и входом блока 2 преобразования, в котором он преобразуется в ступенчатую функцию $f(nt) = f(t)$ с шагом ступеньки. Особенностью всех запоминающих блоков, используемых в дискретно-аналоговой линии задержки является то, что в них используются коммутируемые конденсаторы, которые эквивалентны резистивному элементу $n = T/c$, причем отличие запоминающих ячеек 4 и 5 блока 2 преобразования и дополнительных запоминающих ячеек 30, входящих в каждое из запоминающих звеньев 16-1 и 16-n от четных 24 и нечетных 18 запоминающих ячеек, также входящих в каждое из запоминающих звеньев 16-1 и 16-n, состоит в том, что у первых отсутствует задержка входного сигнала, а у вторых задержка входного сигнала равна длительности сигнала с выходов 36 и 38 триггера 37 или периоду T следования импульсов с выхода генератора 39 тактовых импульсов. Запоминающие ячейки 4 и 5 блока 2 преобразования и дополнительные запоминающие ячейки 30 каждого из запоминающих звеньев идентичны между собой. Идентичны между собой также нечетные 18 и четные 24 запоминающие ячейки каждого из запоминающих звеньев 16-1 - 16-n.

В начальный момент времени $t = 0$ импульс с выхода 36 триггера 37 длительностью $t_n = T$, где T - период следования импульсов генератора 39 тактовых импульсов, поступает на управляющие входы первого 8 и второго 10 ключей, запоминающей ячейки 4, управляющие входы первого 9 и второго 11 ключей запоминающей ячейки 5 блока 2 преобразования, ключи 20 и 21 записи нечетных запоминающих ячеек 18, ключи 28 и 29 считывания четных запоминающих ячеек 24, а также на первый 32 и второй 33 ключи дополнительных запоминающих ячеек 30 запоминающих звеньев 16-1 - 16-n.

Таким образом, в момент времени $t = 0$ открываются первые и вторые ключи запоминающих ячеек 4 и 5 и заряд на коммутируемом конденсаторе 6

$$Q_6(0) = C_6 U_{BX}(0)$$

Заряд на коммутируемом конденсаторе 7 запоминающей ячейке 5 определяется на основании первого закона Кирхгофа:

$$Q_7(0) = Q_6(0),$$

а на выходе блока 2 преобразования, а следовательно, и на отводе 40-0 линии задержки появляется напряжение

$$U_{40-0}(0) = \frac{Q_7(0)}{C_7} = \frac{Q_6(0)}{C_7} = \frac{C_6}{C_7} U_{BX}(0)$$

Отношение C_6/C_7 определяет коэффициент усиления операционного усилителя, поэтому при выполнении условия $C_7 = C_6$ на отводе 40-0 линии задержки напряжение

$$U_{40-0}(0) = U_{BX}(0)$$

В момент времени $t = 0$ напряжение $U_{40-0}(0) = U_{BX}(0)$, возникшее на отводе 40-0 линии задержки через открытые ключи 20 и 21 записи нечетной запоминающей ячейки, заряжает коммутируемый конденсатор 19 до величины

$$Q_{19}(0) = C_{19} U_{BX}(0)$$

Таким образом, в момент $t = 0$ на отводе 40-0 - напряжение, равное входному напряжению, и происходит запоминание входного напряжения в коммутируемом конденсаторе 19 нечетной запоминающей ячейки 18. На всех остальных отводах линии задержки - нулевые потенциалы.

В следующий момент времени $t = 1$ импульс с выхода 38 триггера 37 длительностью $t_4 = T$ поступает на управляющие входы ключей 12 и 14 запоминающей ячейки 4 и 13 и 15 ключей запоминающей ячейки 5 блока 2 преобразования, ключи 22 и 23 считывания нечетной запоминающей ячейки 18 и ключи 26 и 27 записи четной запоминающей ячейки 24, а также на третий 34 и четвертый 35 ключи дополнительной запоминающей ячейки 30 каждого из запоминающих звеньев 16-1 и 16-n.

Таким образом, в момент $t = 1$ открываются ключи 12 и 14 запоминающей ячейки 4 и конденсатор 6 практически мгновенно перезарядается, так как к его обкладкам за счет особенности включения ключевых элементов подводится напряжение противоположной полярности, что и приводит к ускоренному перезаряду конденсатора 6; исключая необходимость предварительного разряда накопительного конденсатора, причем на выходе операционного усилителя полярность на-

пряжения соответствует полярности входного сигнала, как и в момент времени $t = 0$, поэтому на выходе блока 2 преобразования, а следовательно, и на отводе 40 - 0 напряжение

$$U_{40-0}(1) = \frac{C_0}{C_3} U_{BX}(1) = U_{BX}(1)$$

В этот момент времени $t = 1$ через открытые ключи 22 и 23 считывания нечетной запоминающей ячейки 18 коммутируемый конденсатор 19, получивший в момент времени $t = 0$ заряд $Q_{19}(0) = C_{19} U_{BX}(0)$, разряжается на инвертирующий вход операционного усилителя 17, в обратной связи которого т.е. между его выходом и инвертирующим входом, включена дополнительная запоминающая ячейка 30. Тогда заряд на коммутируемом конденсаторе 31 запоминающей ячейки 30

$$Q_{31}(1) = Q_{19}(0) = C_{19} U_{BX}(0),$$

а напряжение на выходе операционного усилителя 17, а следовательно, и на отводе 40-1 первого запоминающего звена 16-1

$$U_{40-1}(1) = \frac{Q_{31}(1)}{C_{31}} = \frac{C_{19}}{C_{31}} U_{BX}(0)$$

Отношение емкостей C_{19}/C_{31} определяет коэффициент усиления операционного усилителя, поэтому при выполнении условия $C_{19} = C_{31}$ напряжение на отводе 40-1 линии задержки выражается

$$U_{40-1}(1) = U_{BX}(0)$$

В этот момент времени $t = 1$, через открытые ключи 26 и 27 записи четной запоминающей ячейки 24 запоминающего звена 16-1 заряжается коммутируемый конденсатор 25, на котором заряд в этот момент

$$Q_{25}(1) = C_{25} U_{BX}(1)$$

Через открытые ключи 20 и 21 записи нечетной запоминающей ячейки 18 запоминающего звена 16-2 заряжается конденсатор 19, на котором заряд

$$Q_{19}(t) = C_{19} U_{BX}(0)$$

Таким образом, в момент $t = 1$ на отводе 40-0 линии задержки напряжение

равно входному напряжению в момент времени $t = 1 U_{BX}(1)$, а на отводе 40-1 запоминающей ячейки 16-1 - $U_{BX}(0)$. На всех остальных отводах линии задержки к этому моменту времени - нулевой потенциал, причем в этот же момент времени происходит запоминание напряжения $U_{BX}(1)$ в коммутируемом конденсаторе 25 четной запоминающей ячейки 24 первого запоминающего звена 16-1 и запоминание напряжения $U_{BX}(0)$ в коммутируемом конденсаторе 19 нечетной запоминающей ячейки 18 второго запоминающего звена 16-2.

В момент времени $t = 2$ происходят процессы, эквивалентные процессам в момент времени $t = 0$. При этом на отводе 40-0 $U_{40-0}(2) = U_{BX}(2)$, на отводе 40-1 $U_{40-1}(2) = U_{BX}(1)$, на отводе 40-2 $U_{40-2}(2) = U_{BX}(0)$.

Для последующих временных моментов времени $t = 3, 4, \dots, n$ процессы повторяются. Таким образом, на отводах линии задержки формируется напряжение

$$f[(k-1)T] = f(t-kT),$$

представляющее собой ступенчатую функцию, задержанную на интервал времени T .

Таким образом, технико-экономические преимущества предлагаемой аналого-дискретной линии задержки по сравнению с известной заключается в том, что использование дополнительных запоминающих ячеек, включенных между инвертирующим входом и выходом операционного усилителя каждого из запоминающих звеньев и использование дополнительных ключей записи в четных и нечетных запоминающих ячейках каждого из запоминающих звеньев позволяет перестроить структуру четных и нечетных запоминающих ячеек в запоминающие ячейки коммутируемых конденсаторов, а использование в качестве блока преобразования операционного усилителя с включенными на его инвертирующем входе и между инвертирующим входом и его выходом соответствующих запоминающих ячеек из коммутируемых конденсаторов, причем идентичных дополнительным запоминающим ячейкам, позволяет повысить точность линии задержки, и, несмотря на увеличение количества ключевых элементов дает возможность

предельно упростить блок управления, используя вместо сложного блока управления один триггер.

Передаточная функция блока 2 преобразования имеет вид

$$H_1(z) = \frac{C_6}{C_7} z^0 = \frac{C_6}{C_7}$$

а передаточные функции нечетной и четной запоминающих ячеек каждого из запоминающих звеньев имеют соответственно вид

$$H_2(z) = \frac{C_{19}}{C_{30}} z^{-1}, \quad H_2'(z) = \frac{C_{25}}{C_{30}} z^{-1}$$

Основным показателем точности при передаче сигнала по линии задержки является отношение номиналов емкостей C_6/C_7 , C_{19}/C_{30} , C_{25}/C_{30} , кото- 20
рые при воздействии различных дестабилизирующих факторов изменяют свои характеристики в одну и ту же сторону, что приводит к практической независимости коэффициента передачи от влияния внешних воздействий. Кроме того, при интегральном исполнении на единой МОП-технологии отношение но-

миналов емкостей можно получить с высокой точностью (погрешность 0,01%) Точность устройства повышается также за счет того, что используются только инвертирующие входы операционных усилителей, а неинвертирующие входы заземлены. Это приводит к практическому устранению дрейфа нуля операционного усилителя.

10 Кроме того, использование отношения емкостей, определяющих коэффициенты усиления, позволяет выбирать желаемый коэффициент передачи, что устраняет амплитудные потери при передаче сигнала по линии задержки. 15
Запоминающие ячейки как в блоке преобразования, так и в запоминающих звеньях имеют структуру, позволяющую передавать сигнал со входа на выход без изменения полярности.

Использование дополнительных запоминающих ячеек и дополнительных ключей позволяет повысить точность передачи сигнала по линии задержки при изменении внешних факторов, а точ- 25
ность линии задержки повышается при ее интегральном исполнении по единой МОП-технологии.

