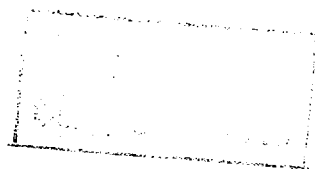




О П И С А Н И Е И З О Б Р Е Т Е Н И Я

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 555404



(61) Дополнительное к авт. свид-ву —

(22) Заявлено 29.10.75 (21) 2185890/24

с присоединением заявки № —

(23) Приоритет —

(43) Опубликовано 25.04.77. Бюллетень № 15

(45) Дата опубликования описания 28.06.77

(51) М. Кл.²
G 06 F 15/20

(53) УДК 681.325 (088.8)

(72) Авторы
изобретения

В. В. Лосев, А. А. Будько и В. Д. Дворников

(71) Заявитель

Минский радиотехнический институт

(54) УСТРОЙСТВО ДЛЯ ОРТОГОНАЛЬНОГО ПРЕОБРАЗОВАНИЯ ЦИФРОВЫХ СИГНАЛОВ ПО УОЛШУ—АДАМАРУ

1

Изобретение относится к вычислительной технике и может быть использовано при передаче дискретных сообщений и команд для цифровой фильтрации.

Известно устройство ортогонального преобразования, содержащее три канала единичного преобразования, которые соединены последовательно и обеспечивают на выходе третьего канала получение коэффициентов преобразования по Уолшу от последовательности, составленной из восьми значений входного сигнала [1]. Вход первого канала преобразования соединен с преобразователем аналогового сигнала в цифровой. Генератор тактовых импульсов и синхронизатор обеспечивают согласованную работу всех узлов преобразователя. Индексатор предназначен для присвоения двоичного индекса (номера) получаемым коэффициентом преобразования. Каждый канал единичного преобразования включает четыре переключателя, арифметический блок, основной и вспомогательный блоки задержки. Отличие каналов преобразования касается их основных блоков задержки. Блок задержки первого канала содержит четыре разряда регистра сдвига. Каждый последующий канал преобразования содержит регистр с числом разря-

2

дов вдвое меньшим, чем предыдущий. Таким образом в рассматриваемом устройстве основной блок задержки в первом канале преобразования содержит 4 разряда, во втором — 2 и в третьем — 1. На время первых четырех тактов переключатели первого канала преобразования установлены таким образом, что первые четыре цифры от преобразователя аналог-цифра поступают в основной блок задержки, а цифры, содержащиеся в основном блоке задержки, поступают через вспомогательный блок задержки на выход канала преобразования. До конца работы преобразователя основной блок задержки установлен в нулевое состояние, поэтому в первые четыре такта на выходе первого канала преобразования шифр не будет. На следующие четыре такта переключатели первого канала преобразования устанавливаются в другое положение. Цифры, которые были записаны в основном блоке задержки вместе со следующими четырьмя цифрами от преобразователя аналог-цифра, поступают в арифметический блок. Арифметический блок вычисляет суммы и разности поступающих чисел, т.е. сумму и разность первого и пятого числа, второго и шестого и т.д. Суммы поступают на выход канала преобразования, а разности — в основной блок

задержки. После того, как первые четыре суммы поступили на выход первой ступени преобразования, переключатели устанавливаются в предыдущее состояние и разности, записанные в основной блок, через вспомогательный блок задержки поступают на выход канала преобразования. Далее работа первого канала повторяется. Второй и третий канал работают так же, как и первый, только переключатели коммутируются соответственно вдвое и вчетверо чаще. На выходе третьего канала преобразования последовательно получают коэффициенты преобразования по Уолшу от последовательности, составленной из первых восьми значений входного сигнала, затем от следующих восьми и т.д. Это устройство отличается сложностью конструкции.

Наиболее близким по технической сущности к изобретению является устройство, содержащее блок управления и в каждом канале два блока задержки и арифметический блок, управляющий вход которого подключен к соответствующему выходу блока управления, вход устройства подключен к входу первого блока задержки и к первому входу арифметического блока первого канала [2]. Канал единичного преобразования на первом этапе преобразования содержит первый блок задержки, в котором производится задержка дискретного сигнала на время, равное такту следования дискретного сигнала. Арифметический блок предназначен для получения суммы и разности входного и выходного сигналов с первого блока задержки. Второй блок задержки осуществляет задержку разностного сигнала с выхода арифметического блока на время, равное времени задержки в первом блоке задержки, и задержку чисел вдвое больших, чем в первом блоке задержки. Выходные сигналы в устройстве выдаются таким образом, что суммарный сигнал от арифметического блока и разностный сигнал от второго блока задержки чередуются с временным интервалом, равным времени задержки в блоках задержки. На каждом последующем этапе преобразования канал единичного преобразования содержит блоки задержки на время вдвое большее, чем на предыдущем этапе, и для хранения чисел вдвое больших, чем на предыдущем этапе. Число этапов преобразования зависит от длины обрабатываемого дискретного сигнала или от порядка преобразования.

Блоки задержки выполняются на регистрах сдвига. Для задержки многоразрядных чисел необходимо соединить параллельно несколько регистров сдвига. В каждом канале единичного преобразования второй блок задержки, служащий для задержки разностного сигнала, должен иметь число регистров соединенных параллельно на один больше, чем первый блок, так как он должен задерживать числа вдвое большие, чем первый блок задержки. Недостатком этого устройства является его сложность и аппаратная громоздкость.

Цель изобретения — упрощение устройства.

Это достигается тем, что в устройстве выход арифметического блока каждого канала, кроме последнего, подключен к входу первого блока задержки и первому входу арифметического блока последующего канала, выход первого блока задержки в каждом канале подключен к второму входу арифметического блока и через второй блок задержки — к третьему входу арифметического блока. Выход арифметического блока последнего канала соединен с выходом устройства.

На фиг. 1 дана схема устройства; на фиг. 2 — график последовательности вычислений.

Последовательно соединенные каналы единичного преобразования содержат два блока задержки $1_1 - 1_3, 2_1 - 2_3$ и арифметический блок $3_1 - 3_3$. Управляющие входы арифметических блоков подключены к выходам блока управления 4; вход устройства обозначен цифрой 5, а выход цифрой 6.

Блоки задержки в первом канале единичного преобразования задерживают входной дискретный сигнал на один такт каждый. Блоки задержки в каждом последующем канале осуществляют задержку в два раза большую, чем в предыдущем канале.

Рассмотрим работу устройства на примере устройства для ортогонального преобразования порядка равного 8 (см. фиг. 2). В этом случае блоки задержки первого канала имеют один разряд регистра сдвига, второго канала — два, а третьего канала — четыре. С частотой тактовых импульсов значения дискретного сигнала последовательно поступают на вход первого канала. Арифметический блок производит поочередно суммирование значений сигнала с выхода и входа первого блока задержки и вычитание значений сигнала с выхода и входа второго блока задержки.

Значения суммы и разности поступают во второй канал преобразования, где производятся аналогичные вычисления, но задержки каждого блока и разрядность суммируемых и вычитаемых чисел возрастает вдвое.

Блоки задержки в каждом канале имеют одинаковое число регистров сдвига соединенных параллельно, поскольку второй блок задержки, в отличие от известного устройства, задерживает те же числа, что и первый блок задержки. Это приводит к упрощению устройства.

Наряду с этим упрощается и реализация арифметических блоков поскольку суммирование и вычитание чисел производится поочередно.

Формула изобретения

Устройство для ортогонального преобразования цифровых сигналов по Уолшу—Адамару, содержащее блок управления и в каждом канале два блока задержки и арифметический блок, управляющий вход которого подключен к соответствующему

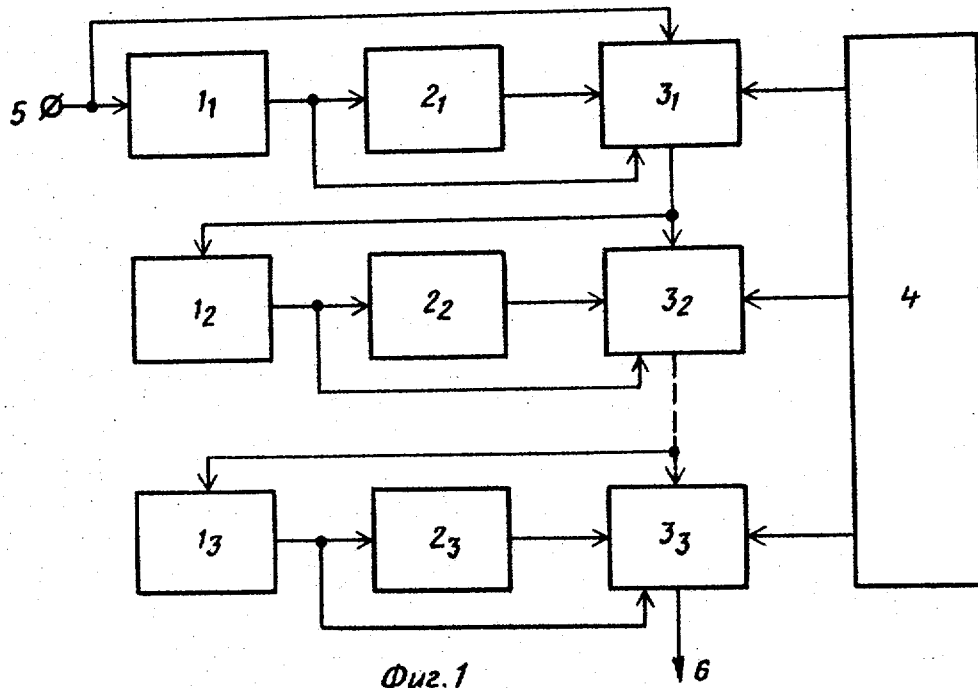
выходу блока управления, вход устройства подключен к входу первого блока задержки и к первому входу арифметического блока первого канала, отличающееся тем, что, с целью упрощения устройства, в нем выход арифметического блока каждого канала, кроме последнего, подключен к входу первого блока задержки и первому входу арифметического блока последующего канала, выход первого блока задержки в каждом канале подключен ко второму входу

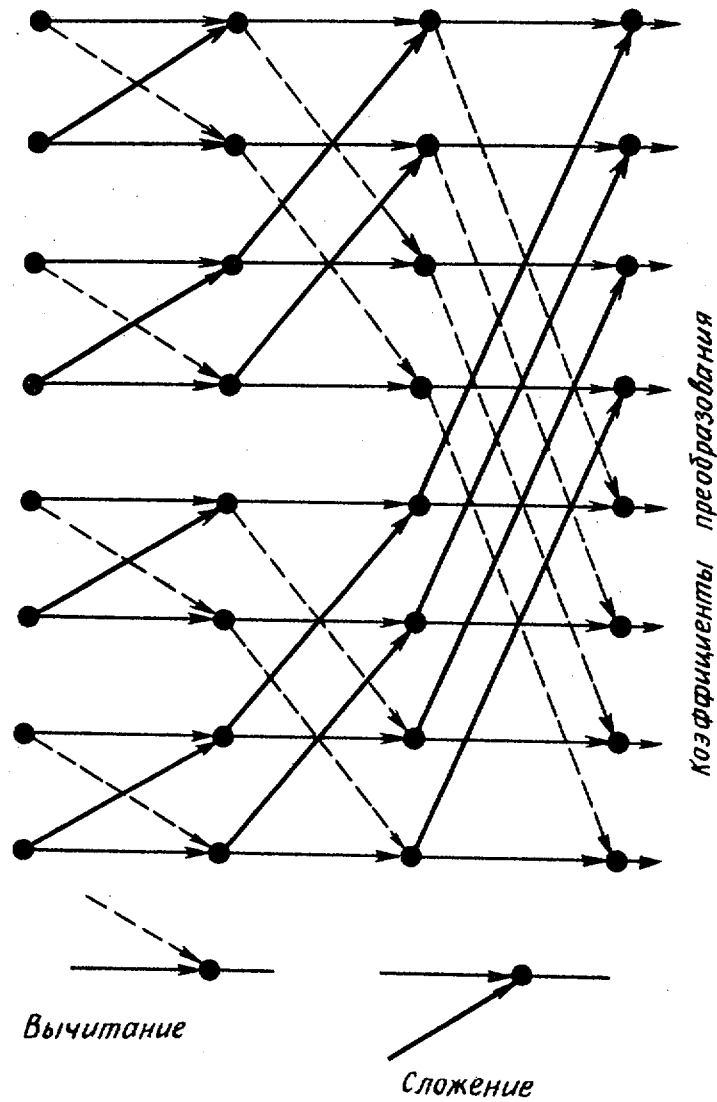
арифметического блока и через второй блок задержки — к третьему входу арифметического блока, выход арифметического блока последнего канала соединен с выходом устройства.

5 Источники информации, принятые во внимание при экспертизе:

1. Патент США № 3742201, М.Кл.² G 06 F 7/38, 15/34, 1973 г.

2. Патент США № 3792355, М.Кл.² H 04 J 3/18, 10 1974 г. (прототип).





Фиг. 2

Редактор Е. Гончар

Составитель А. Жеренов
Техред Н. Бабурка

Корректор И. Гоксич

Заказ 459/23

Тираж 818

Подписное

ЦНИИПИ Государственного комитета Совета Министров СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4