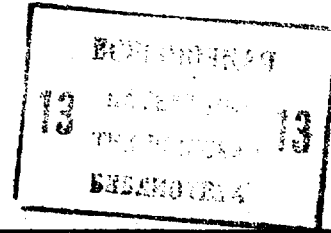




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3632778/24-09
 (22) 09.08.83
 (46) 15.11.84. Бюл. № 42
 (72) О.Д. Купеев, А.И. Королев,
 Ю.А. Лобанов и Э.А. Чуйко
 (71) Минский радиотехнический инсти-
 тут
 (53) 621.394.662(088.8)
 (56) 1. Авторское свидетельство СССР
 № 811503, кл. H 04 L 27/18, 1977.
 2. Авторское свидетельство СССР
 № 612717, кл. H 04 L 7/02, 1976
 (прототип).
 (54)(57) УСТРОЙСТВО СИНХРОНИЗАЦИИ
 ПО НЕСУЩЕЙ ЧАСТОТЕ, содержащее управ-
 ляемый генератор, фазорасщепитель,
 блок определения фазы входного сигнала,
 первый вход которого является входом
 устройства, и последовательно соеди-
 ненные фазовый детектор и фильтр
 нижних частот, а также индикатор
 захвата синхронизма, выход которого
 подключен к первым входам первого
 и второго ключей и к первым входам
 первого и второго блоков совпадения,
 выходы которых через блок памяти под-
 ключены к первому и второму входам
 коммутатора, к соответствующим входам
 которого подключены выходы фазорас-
 щепителя, о т л и ч а ю щ е с я
 тем, что, с целью уменьшения времени
 вхождения в синхронизм, введены кодо-

преобразователь, фазовращатель, после-
 довательно соединенные кварцевый гене-
 ратор и формирователь интервала анали-
 за, а также последовательно соединен-
 ные счетчик, цифроаналоговый преоб-
 разователь и сумматор, к второму
 входу которого подключен выход фильт-
 ра нижних частот, а выход сумматора
 через управляемый генератор подклю-
 чен к входу фазорасщепителя, выходы
 которого подключены к дополнитель-
 ным входам блока определения фазы
 входного сигнала, выходы которого
 через кодопреобразователь подклю-
 чены к вторым входам первого и вто-
 рого блоков совпадения, при этом
 первый и второй выходы формирователя
 интервала анализа подключены соот-
 ветственно к вторым входам первого
 и второго ключей, выходы которых
 подключены к входам счетчика, а
 третий выход формирователя интер-
 вала анализа подключен к второму
 входу блока определения фазы вход-
 ного сигнала, причем выход коммута-
 тора подключен к первому входу фа-
 зового детектора и через фазовра-
 щатель к первому входу индикатора
 захвата синхронизма, второй вход
 которого объединен с третьим входом
 первого ключа, с вторым входом фа-
 зового детектора и входом устройства.

Изобретение относится к электро-
связи и может быть использовано для
синхронизации по несущей частоте в
устройстве передачи данных в систе-
мах сбора и обработки информации и
в системах коммутации связи.

Известно устройство выделения
опорного колебания из фазоманипулиро-
ванного принимаемого сигнала, содер-
жащее последовательно соединенные
фильтр нижних частот, управляемый
генератор и два перемножителя, пер-
вые входы которых объединены, а вы-
ходы подключены к входам соответст-
вующих интеграторов, причем выход
основного фазовращателя соединен с
вторым входом соответствующего пере-
множителя, а на установочные входы
интеграторов подан синхронизирующий
сигнал, а также дополнительный фазо-
вращатель, сумматор и два управляе-
мых фазовращателя, входы которых
соединены соответственно с выходами
управляемого генератора и интегра-
торов, входы которых соединены с
входами сумматора, выход которого
подключен к входу фильтра нижних час-
тот, при этом выходы управляемых
фазовращателей соединены соответст-
венно с входами основного и дополни-
тельного фазовращателей, выход кото-
рого подключен к второму входу соот-
ветствующего перемножителя [1].

Однако известное устройство об-
ладает большим временем вхождения
в синхронизм.

Наиболее близким к предлагаемому
по техническому решению является
устройство синхронизации по несущей
частоте, содержащее управляемый гене-
ратор, фазорасщепитель, блок опре-
деления фазы входного сигнала, пер-
вый вход которого является входом
устройства, и последовательно соеди-
ненные фазовый детектор и фильтр ниж-
них частот, а также индикатор захва-
та синхронизма, выход которого под-
ключен к первым входам первого и вто-
рого ключей и к первым входам пер-
вого и второго блоков совпадения, вы-
ходы которых через блок памяти под-
ключены к первому и второму входам
коммутатора, к соответствующим вход-
дам которого подключены выходы фа-
зорасщепителя, при этом выход управ-
ляемого генератора непосредственно
и через первый делитель подключен
соответственно к второму и третьему

входам первого ключа и первому входу
индикатора захвата синхронизма, а
вход устройства через второй делитель
соединен с вторым входом второго ключа,
к третьему входу которого под-
ключен выход коммутатора [2].

Недостатком известного устройства
синхронизации по несущей частоте яв-
ляется длительное время вхождения
в синхронизм.

Цель изобретения - уменьшение
времени вхождения в синхронизм.

Поставленная цель достигается
тем, что, в устройство синхронизации
по несущей частоте, содержащее управ-
ляемый генератор, фазорасщепитель,
блок определения фазы входного сиг-
нала, первый вход которого является
входом устройства, и последовательно
соединенные фазовый детектор и фильтр
нижних частот, а также индикатор зах-
вата синхронизма, выход которого под-
ключен к первым входам первого и
второго ключей и к первым входам
первого и второго блоков совпадения,
выходы которых через блок памяти
подключены к первому и второму входам
коммутатора, к соответствующим входам
которого подключены выходы фазорасще-
пителя, введены кодопреобразователь,
фазовращатель, последовательно соеди-
ненные кварцевый генератор и формиро-
ватель интервала анализа, а также по-
следовательно соединенные счетчик,
цифроаналоговый преобразователь и
сумматор, к второму входу которого
подключен выход фильтра нижних час-
тот, а выход сумматора через управля-
емый генератор подключен к входу
фазорасщепителя, выходы которого под-
ключены к дополнительным входам бло-
ка определения фазы входного сигнала,
выходы которого через кодопреобразо-
ватель подключены к вторым входам
первого и второго блоков совпадения,
при этом первый и второй выходы фор-
мирователя интервала анализа подклю-
чены соответственно к вторым входам
первого и второго ключей, выходы
которых подключены к входам счетчи-
ка, а третий выход формирователя
интервала анализа подключен к второ-
му входу блока определения фазы вход-
ного сигнала, причем выход коммута-
тора подключен к первому входу фазо-
вого детектора и через фазовращатель
к первому входу интервала захвата син-
хронизма, второй вход которого объе-

динен с третьим входом первого ключа, с вторым входом фазового детектора и входом устройства.

На чертеже представлена структурная электрическая схема устройства синхронизации по несущей частоте.

Устройство синхронизации по несущей частоте содержит фазовый детектор 1, фильтр 2 нижних частот, сумматор 3, управляемый генератор 4, фазорасщепитель 5, блок 6 определения фазы входного сигнала, кодопреобразователь 7, первый 8 и второй 9 блоки совпадения, блок 10 памяти, коммутатор 11, фазовращатель 12, индикатор 13 захвата синхронизма, первый 14 и второй 15 ключи, счетчик 16, цифроаналоговый преобразователь (ЦАП) 17, формирователь 18 интервала анализа, кварцевый генератор 19.

Фазовый детектор 1 служит для формирования сигнала фазовой ошибки. Реализуется на основе сумматора по модулю два. Фильтр 2 нижних частот кольца ФАПЧ предназначен для обеспечения фильтрующих и динамических свойств устройства. Реализуется на основе пропорционально интегрирующего RC-фильтра нижних частот.

Сумматор 3 служит для суммирования двух сигналов: сигнала с выхода фильтра 2 нижних частот и с выхода цифроаналогового преобразователя 17 и выполняется на основе резисторной схемы суммирования.

Управляемый генератор 4 предназначен для выработки опорного сигнала, частота которого соответствует частоте входного сигнала. Реализуется на основе управляемого варикапом LC-генератора.

Фазорасщепитель 5 служит для формирования сигналов опорной частоты с фазой 0 ; $\pi/2$; π ; $3/2\pi$, необходимых для измерения и реализуется на основе линии задержки, выполненной без отрезка коаксиального кабеля и логических элементов в базисе И-ИЛИ-НЕ.

Блок 6 определения фазы входного сигнала реализуется на основе сумматоров по модулю два, интеграторов, выполненных на RC-фильтрах нижних частот со сбросом, и пороговых дифференциальных усилителей.

Кодопреобразователь 7 служит для формирования двоичного кода, соответ-

ствующего области значения фазы входного сигнала. Реализуется на логических элементах И-ИЛИ-НЕ.

Первый 8 и второй 9 блоки совпадения предназначены для отключения измерителя фазы в режиме синхронизма и блокировки блока 10 памяти. Реализуются на логических элементах И-НЕ.

Блок 10 памяти, или стабильный элемент, необходим для записи двоичного кода, поступающего с кодопреобразователя. Реализуется на D-триггерах и логических элементах И-ИЛИ-НЕ.

Коммутатор 11 служит для подключения к фазовому детектору сигнала с управляемого генератора с фазой, соответствующей фазе входного сигнала. Реализуется на логических элементах И-ИЛИ-НЕ.

Фазовращатель 12 предназначен для формирования сигнала с фазовым сдвигом, отличающегося на $\pi/2$ от фазы сигнала управляемого генератора 4, и реализуется на линии задержки, выполненной в виде отрезка из коаксиального кабеля РК-50.

Индикатор 13 захвата синхронизма служит для принятия решения о блокировке устройств установки частоты и фазы. Индикатор 13 захвата синхронизма реализуется в виде сумматора по модулю два, фильтра нижних частот и усилителя-ограничителя.

Первый 14 и второй 15 ключи предназначены для отключения измерителя частоты в режиме синхронизма и реализуются на комбинационной схеме, выполненной на логических элементах ИЛИ-НЕ.

Счетчик 16 служит для подсчета импульсов за время анализа T_d и реализуется на счетных триггерах, выполненных с помощью D-триггеров, охваченных обратной связью.

Цифроаналоговый преобразователь 17 предназначен для формирования напряжения, соответствующего частоте входного сигнала. Реализуется на основе резисторного сумматора, выполненного по цепочечной схеме R-2R.

Формирователь 18 интервала анализа предназначен для сброса интегратора блока 6 определения фазы входного сигнала и установки счетчика 16 в нулевое состояние, реализуется в виде счетчика с последовательным переносом, выполненным на D-триггерах, охваченных обратной связью, и дешифратора, задающего коэффициент счета.

Кварцевый генератор 19 служит формирователем высокостабильной частоты, необходимой для измерения частоты и фазы, т.е. для формирования времени анализа T_A . Реализуется на дифференциальном усилителе с кварцем в цепи обратной связи (по схеме Ваттлера).

Устройство синхронизации по несущей частоте работает следующим образом.

В режиме захвата оценка несущей частоты происходит следующим образом.

Формирователь 18 интервала анализа устанавливает счетчик 16 в нулевое состояние. Счетчик 16 начинает считать количество периодов входного сигнала на интервале анализа, который формируется кварцевым генератором 19 и счетчиком интервала анализа в формирователе 18 интервала анализа. Количество подсчитанных периодов входного сигнала со счетчика 16 поступает в ЦАП 17, где преобразуется в напряжение, соответствующее несущей частоте входного сигнала. Это напряжение через сумматор 3 подается на управляемый генератор 4, сигнал которого устанавливается на частоту, соответствующую частоте входного сигнала.

Оценка фазы происходит следующим способом.

В фазорасщепителе 5 формируются четыре значения фазы $(0; \pi/2; \sqrt{3}/2\pi)$ сигнала, который поступает с выхода управляемого генератора 4. В блоке 6 определения фазы входного сигнала происходит сравнение фазы входного сигнала с четырьмя значениями фазы сигнала с выхода управляемого генератора 4 и принятие решения о том, в какой зоне находится фаза входного сигнала, путем формирования двоичного кода на выходе блока 6 определения фазы входного сигнала. Этот двоичный код поступает в кодопреобразователь 7, служащий для преобразования 4-разрядного кода в двухразрядный и для того, чтобы ошибочные переходы, вызванные шумами в канале связи, были равновероятны. С кодопреобразователя 7 вся информация через первый 8 и второй 9 блоки совпадения записывается в блок 10 памяти. С выхода блока 10 памяти двоичный код фазы поступает на коммутатор 11, который подключает к

фазовому детектору 1 сигнал управляемого генератора 4 с выхода фазорасщепителя 5, фаза которого соответствует фазе входного сигнала.

Этот же сигнал поступает через фазовращатель 12 на первый вход индикатора 13 захвата синхронизма, на который поступает также входной сигнал с выхода демодулятора. Индикатор 13 захвата синхронизма при наличии синхронизма принимает решение блокировки ключей 14 и 15 и блоков совпадения 8 и 9. Это происходит следующим образом.

Входной сигнал и сигнал с выхода коммутатора 11 поступает на индикатор 13 захвата синхронизма сдвинутыми относительно друг друга на $\pi/2$. Если синхронизация достигнута, то срабатывает индикатор 13 захвата синхронизма с выходным сигналом индикатора 13 захвата синхронизма посредством первого ключа 14 блокируется счетчик 16 от поступления входного сигнала, вторым ключом 15 блокируется счетчик 16 от установки в "0", а первым 8 и вторым 9 блоками совпадения блокируется блок 10 памяти от перезаписи двоичного кода, соответствующего фазе входного сигнала. Далее схема работает как обычная система фазовой автоподстройки частоты (ФАПЧ).

В режиме синхронизма происходит постоянное слежение за несущей частотой и фазой входного сигнала посредством замкнутого кольца ФАПЧ, состоящего из фазового детектора 1, фильтра 2 нижних частот, сумматора 3, управляемого генератора 4, фазорасщепителя 5, коммутатора 11. Так как индикатор 13 захвата синхронизма фиксирует наличие синхронизации посредством формирования запрещающего сигнала на ключи 14 и 15 и блоки 8 и 9 совпадения, то не происходит оценка частоты счетчиком 16 и перезапись информации о фазе с выхода кодопреобразователя 7 в блок 10 памяти. При этом с выхода ЦАП 17 и блока 10 памяти поступают значения оценок частоты и фазы соответственно, измеренные последний раз перед срабатыванием индикатора 13 захвата синхронизма. Этот режим имеет место вплоть до срыва синхронизации либо прекращения работы устройства.

