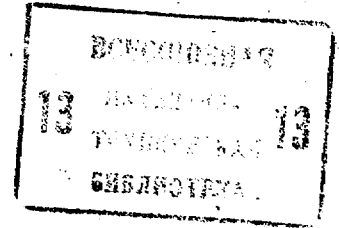




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3596154/18-09
- (22) 26.05.83
- (46) 15.11.84. Бюл. № 42
- (72) О.Д. Купеев и А.И. Королев
- (71) Минский радиотехнический институт
- (53) 621.394.662(088.8)
- (56) 1. Авторское свидетельство СССР № 496690, кл. Н 04 L 7/08, 1970.
- 2. Авторское свидетельство СССР № 1008921, кл. Н 04 L 7/08, 1981 (прототип).

(54) (57) УСТРОЙСТВО ЦИКЛОВОЙ синхронизации порогового декодера, содержащее последовательно соединенные формирователь тактовых импульсов, коммутатор, формирователь проверочной последовательности, формирователь синдромной последовательности, элемент совпадения и первый счетчик импульсов, а также второй счетчик импульсов, причем второй выход коммутатора подсоединен к другому входу формирователя синдромной последовательности, а второй вход и первый выход коммутатора являются соответственно входом и выходом устройства, отличающееся тем, что, с целью уменьшения времени вхождения в синхронизм и повышения помехоустой-

чивости, в устройство введены последовательно соединенные третий счетчик импульсов и первый элемент ИЛИ-НЕ, а также второй элемент ИЛИ-НЕ и сумматоры по модулю два, при этом выход второго элемента ИЛИ-НЕ подсоединен к второму входу первого элемента ИЛИ-НЕ и третьему входу коммутатора, первые входы сумматора по модулю два подключены к соответствующим выходам первого счетчика импульсов, вторые входы сумматоров по модулю два подключены к соответствующим выходам третьего счетчика импульсов, а выходы сумматоров по модулю два подсоединены к входам второго элемента ИЛИ-НЕ, выход первого элемента ИЛИ-НЕ подсоединен к второму входу первого счетчика импульсов и к объединенным входам второго счетчика импульсов и третьего счетчика импульсов, второй вход которого подключен к выходу второго счетчика импульсов, дополнительный выход формирователя тактовых импульсов подсоединен к объединенным вторым входам элемента совпадения и второго счетчика импульсов, а другой вход формирователя проверочной последовательности подключен к выходу формирователя тактовых импульсов.

Изобретение относится к электро-
связи и может быть использовано для
цикловой синхронизации в системах
передачи данных и в цифровом радио
и телевизионном вещании при использо-
вании сверхточного кодирования и
порогового декодирования информа-
ционных сигналов.

Известно устройство цикловой син-
хронизации, содержащее последова-
тельно соединенные запрещающий блок,
коммутатор, ключи, блок для обнару-
жения ошибок и блок для исправления
ошибок, последовательно соединенные
формирователь тактовых импульсов,
счетчик объема выборки, формирова-
тель импульсов установки нуля, эле-
мент ИЛИ, пороговый счетчик, триггер
и формирователь запрещающих импуль-
сов, выход которого подсоединен к
входу запрещающего блока, другой
вход которого подключен к выходу
формирователя тактовых импульсов,
другой вход порогового счетчика под-
ключен к второму выходу блока для
обнаружения ошибок, а второй вход
триггера подсоединен к выходу эле-
мента ИЛИ [1].

Недостатком такого устройства цик-
ловой синхронизации является большое
время вхождения в синхронизм.

Наиболее близким к предложенному
по техническому решению является уст-
ройство цикловой синхронизации, со-
держащее последовательно соединенные
формирователь тактовых импульсов,
коммутатор, формирователь провероч-
ной последовательности, формирова-
тель синдромной последовательности,
элемент совпадения и первый счетчик
импульсов, а также второй счетчик
импульсов, причем второй выход ком-
мутатора подсоединен к другому входу
формирователя синдромной последова-
тельности, а второй вход и первый
выход коммутатора являются соответст-
венно входом и выходом устройства,
выход первого счетчика импульсов
через формирователь запрещающих сиг-
налов подсоединен к третьему входу
коммутатора, выход второго счетчика
импульсов подсоединен к установоч-
ному входу счетного триггера и к
объединенным вторым входам первого
счетчика импульсов и формирователя
запрещающих сигналов, прямой выход
счетного триггера через дополнитель-
ный элемент совпадения и формирова-

тель временного интервала переза-
писи подсоединен к счетному входу
счетного триггера, инверсный выход
которого подсоединен к другому входу
элемента совпадения, а второй вход
дополнительного элемента совпаде-
ния подключен к выходу формирова-
теля тактовых импульсов [2].

Недостатком известного устройст-
ва цикловой синхронизации является
большое время вхождения в синхронизм.

Цель изобретения - уменьшение вре-
мени вхождения в синхронизм и повыше-
ние помехоустойчивости.

Поставленная цель достигается тем,
что в устройство цикловой синхрони-
зации порогового декодера, содержащее
последовательно соединенные формиро-
ватель тактовых импульсов, коммута-
тор, формирователь проверочной после-
довательности, формирователь синдром-
ной последовательности, элемент совпа-
дения и первый счетчик импульсов, а
также второй счетчик импульсов, причем
второй выход коммутатора подсоединен
к другому входу формирователя синдром-
ной последовательности, а второй вход
и первый выход коммутатора являются
соответственно входом и выходом уст-
ройства, введены последовательно сое-
диненные третий счетчик импульсов и
первый элемент ИЛИ-НЕ, а также второй
элемент ИЛИ-НЕ и сумматоры по модулю
два, при этом выход второго элемен-
та ИЛИ-НЕ подсоединен к второму вхо-
ду первого элемента ИЛИ-НЕ и третье-
му входу коммутатора, первые входы
сумматоров по модулю два подклю-
чены к соответствующим выходам пер-
вого счетчика импульсов, вторые вхо-
ды сумматоров по модулю два подклю-
чены к соответствующим выходам треть-
его счетчика импульсов, а выходы сум-
маторов по модулю два подсоединены
к входам второго элемента ИЛИ-НЕ,
выход первого элемента ИЛИ-НЕ подсое-
динен к второму входу первого счет-
чика импульсов и к объединенным вхо-
дам второго счетчика импульсов и
третьего счетчика импульсов, второй
вход которого подключен к выходу
второго счетчика импульсов, допол-
нительный выход формирователя такто-
вых импульсов подсоединен к объеди-
ненным вторым входам элемента совпа-
дения и второго счетчика импульсов,
а другой вход формирователя провероч-
ной последовательности подключен к

выходу формирователя тактовых импульсов.

На чертеже представлена структурная электрическая схема устройства цикловой синхронизации порогового декодера.

Устройство цикловой синхронизации порогового декодера содержит коммутатор 1, формирователь 2 проверочной последовательности, формирователь 3 синдромной последовательности, элемент 4 совпадения, первый 5, второй 6, третий 7 счетчики импульсов, сумматоры 8-10 по модулю два, первый 11 и второй 12 элемент ИЛИ-НЕ и формирователь 13 тактовых импульсов.

Устройство цикловой синхронизации порогового декодера работает следующим образом.

Входная кодовая последовательность в коммутаторе 1 разделяется на информационную и проверочную последовательности. Символы информационной последовательности одновременно поступают на вход формирователя 2 проверочной последовательности, где из принятых информационных символов формируется проверочная последовательность, которая поступает на вход формирователя 3 синдромной последовательности, на другой вход которого с коммутатора 1 поступает входная проверочная последовательность. На выходе формирователя 3 синдромной последовательности производится формирование синдромной последовательности (СП). При наличии цикловой синхронизации ветвей коммутатора 1 и при отсутствии ошибок в информационной и проверочной последовательностях формируется нулевая СП, а при наличии ошибок или отсутствии цикловой синхронизации формируется ненулевая СП. Однако структура ненулевых символов в том и в другом случаях имеет разный характер: при наличии только ошибок структура ненулевых символов соответствует структуре используемых порождающих полиномов, а при отсутствии цикловой синхронизации структура ненулевых символов СП носит случайный характер, а количество их больше, чем при наличии ошибок.

Сформированная СП через элемент 4 совпадения поступает на вход первого счетчика 5 импульсов.

При большом числе ненулевых символов СП приводит к быстрому заполнению первого счетчика 5 импульсов, потому что скорость нарастания двоичного кода в первом счетчике 5 импульсов оказывается значительно больше скорости нарастания двоичного кода порога в третьем счетчике 7 импульсов. В результате этого в какой-то момент времени происходит сравнение этих двоичных кодов, и на всех выходах сумматоров 8-10 по модулю два появляются логические нули (низкий потенциал), обеспечивающие формирование на выходе первого элемента ИЛИ-НЕ 11 сигнала "1", по которому происходит сдвиг ветвей коммутатора 1 на один разряд и через второй элемент ИЛИ-НЕ 12 сброс первого счетчика 5 импульсов и второго счетчика 6 импульсов в состояние "0", а также установка третьего счетчика 7 импульсов в состояние, соответствующее начальному значению величины порога.

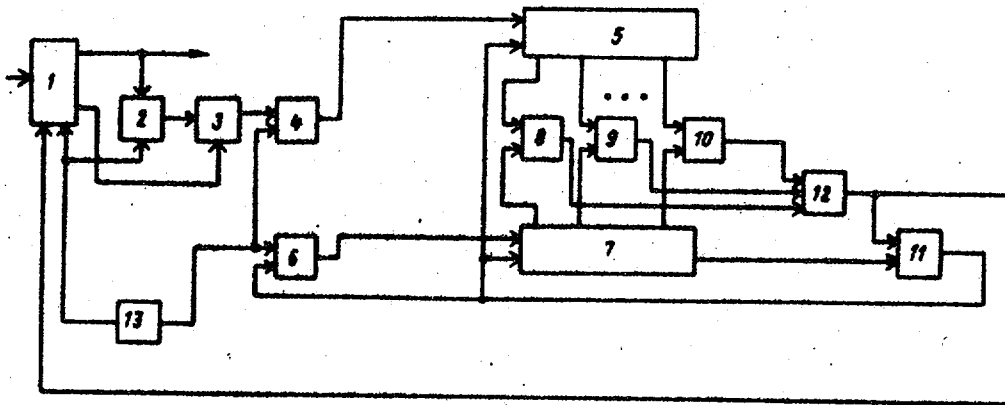
Указанные операции повторяются до тех пор, пока не осуществится правильное распределение ветвей коммутатора 1. В этом случае число ненулевых символов СП резко уменьшается (до величины ненулевых символов исправляемых ошибок), и заполнение первого счетчика импульсов 5 осуществляется со скоростью, значительно меньшей, чем скорость заполнения третьего счетчика 7 импульсов, в результате чего не достигается равенство двоичных кодов и не осуществляется сдвиг ветвей коммутатора 1.

Если при наличии синхронного состояния коммутатора 1 происходит срыв синхронизма из-за воздействия помех, то двоичный код, формируемый первым счетчиком 5 импульсов, быстро достигает порогового уровня, формируемого третьим счетчиком 7 импульсов и начинается вновь процесс установления цикловой синхронизации.

Так как при возникновении больших пакетов ошибок в СП формируется большое количество ненулевых символов, что приводит к быстрому росту числа ненулевых символов СП, записанных в третий счетчик 7, то в зависимости от величины пакета ошибок и его временного положения возможны ложные срабатывания, приводящие к циклу поиска.

Поскольку в предложенном устройстве цикловой синхронизации порогового декодера вероятность ложных срабатываний резко уменьшается по мере удаления временного положения пакета ошибок от момента сброса в состояние "0" первого 5 и второго 6 счетчиков импульсов и соответствующей установки третьего счетчика 7 импульсов, то в среднем указанная

вероятность оказывается в 10^4 раз меньше, чем в известном устройстве цикловой синхронизации. При этом в предложенном устройстве обеспечивается уменьшение времени вхождения в синхронизм не менее, чем в два раза, и значительное повышение помехоустойчивости по сравнению с известным устройством цикловой синхронизации.



Составитель В. Орлов

Редактор Л. Веселовская Техред Т. Маточка

Корректор В. Гирняк

Заказ 8299/45

Тираж 634

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4