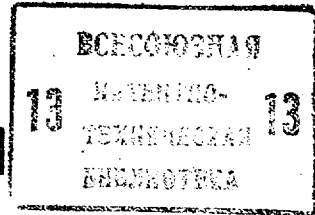




3 (5D) G 06 F 7/552

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3492940/24-24
- (22) 24.09.82
- (46) 30.12.84. Бюл. № 48
- (72) Г. В. Римский, В. В. Таборовец, С. П. Белов и В. И. Комлик
- (71) Минский радиотехнический институт
- (53) 681.325 (088.8)
- (56) 1. Авторское свидетельство СССР № 538364, кл. G 06 F 7/52, 1976.
- 2. Авторское свидетельство СССР № 742934, кл. G 06 F 7/52, 1979 (прототип).

(54) (57) УСТРОЙСТВО ДЛЯ ВОЗВЕДЕНИЯ В П-Ю СТЕПЕНЬ, содержащее блок управления, первый счетчик, первый, второй и третий блоки памяти, блок умножения и сложения, группу регистров и блок сравнения, который содержит две схемы сравнения, первую группу элементов И, первый регистр, выходы которого соединены соответственно с первой группой информационных входов первой схемы сравнения, выход второй схемы сравнения, выходы первого и второго элементов И первой группы, выход первой схемы сравнения, выходы с третьего по шестой элементов И первой группы соединены соответственно с первым по восьмой входами блока управления, блок умножения и сложения содержит умножитель, сумматор, коммутатор результата, информационные входы которого соединены с выходами умножителя и сумматора, выходы управления записью и считыванием блока управления соединены соответственно с входом считывания первого и второго блоков памяти, входом записи второго блока памяти,

входом считывания третьего блока памяти, входом записи третьего блока памяти, входами записи с первого по шестой регистров группы, и входом записи первого регистра, выходы выбора режима блока управления соединены соответственно с входами управления умножения и сложения коммутатора результата, первый тактовый выход блока управления соединен со счетным входом первого счетчика, выходы которого соединены с инверсными входами четвертого элемента И первой группы, первая и вторая группы информационных входов второй схемы сравнения соединены соответственно с выходами пятого и шестого регистров группы, информационные входы регистров группы с первого по четвертый объединены и соединены с выходом третьего блока памяти и информационным входом второго блока памяти, информационный вход третьего блока памяти соединен с выходом коммутатора результата, отличающееся тем, что, с целью расширения класса решаемых задач за счет обеспечения возможности возведения в степень функций  $\eta$  независимых переменных, в устройство введены счетчик номера переменной, коммутатор операндов, первый, второй и третий формирователи адреса, причем первый формирователь адреса содержит вычитающий счетчик, второй регистр, первый коммутатор, первая группа информационных входов которого соединена соответственно с разрядными выходами вычитающего счетчика и инверсными входами первого элемента И первой группы, второй формирователь адреса со-

(19) **SU** (11) 1132287 **A**

держит реверсивный счетчик, третий регистр, второй коммутатор, первая группа информационных входов которого соединена соответственно с разрядными выходами реверсивного счетчика, инверсными входами второго элемента И первой группы и разрядными входами третьего регистра, третий формирователь адреса содержит второй счетчик, третий и четвертый коммутаторы, первый элемент ИЛИ, выход которого соединен с входом записи второго счетчика, разрядные выходы которого соединены с первой группой информационных входов третьего коммутатора, разрядными входами первого регистра, второй группой информационных входов первой схемы сравнения и информационными входами пятого и шестого регистров группы, первый и второй управляющие входы первого, второго и третьего коммутаторов соединены с первым и вторым выходами задания адреса блока управления, выходы управления записью которого соединены соответственно с входами записи вычитающего счетчика, реверсивного счетчика, счетчика номера переменной и третьего регистра, тактовый вход вычитающего счетчика, суммирующий вход реверсивного счетчика, вычитающий вход реверсивного счетчика, тактовый вход второго счетчика и вычитающий вход счетчика номера переменной соединены соответственно с группой тактовых выходов блока управления, выход сброса которого соединен с входами сброса реверсивного счетчика и второго счетчика, выходы группы управляющих выходов блока управления соединены соответственно с первым и вторым управляющими входами коммутатора операнда, первый и второй управляющие входы четвертого коммутатора соединены с входами первого элемента ИЛИ, первая и вторая группы информационных входов коммутатора операндов соединены соответственно с выходами первого и второго блоков памяти, третья и четвертая группы информационных входов коммутатора операндов соединены соответственно с выходами третьего и четвертого регистров группы и инверсными входами пятого и шестого элементов И первой группы, первый и второй выходы коммутатора операндов соединены соответственно с первым и вторым входами

умножителя и сумматора, выходы счетчика номера переменной соединены соответственно с второй группой информационных входов первого, второго и третьего коммутаторов, выходы которых соединены соответственно с адресными входами первого, второго и третьего блоков памяти, разрядные выходы первого и второго регистров группы соединены соответственно с первой и второй группами информационных входов четвертого коммутатора, блок управления содержит генератор импульсов, счетчик циклов, дешифратор, второй элемент ИЛИ, первый и второй шифраторы, вторую группу элементов И, причем выход генератора импульсов соединен с тактовым входом счетчика циклов, выходы которого соединены соответственно с входами дешифратора, выходы которого соединены соответственно с входами первого шифратора, первая группа выходов дешифратора соединена соответственно с первым входом элементов И второй группы, выходы которых соединены соответственно с входами первой группы входов второго шифратора и первой группой входов второго элемента ИЛИ, вторые группы входов которых соединены соответственно с выходами второй группы выходов дешифратора, выходы с первого по  $n-1$  второго шифратора соединены соответственно с информационными входами счетчика циклов, установочный вход которого соединен с выходом второго элемента ИЛИ,  $n$ -й выход второго шифратора соединен с входом останова генератора импульсов, первый вход блока управления соединен с вторыми входами первого и инверсным входом десятого элементов И второй группы, второй вход блока управления соединен с инверсным входом второго элемента И второй группы, третий вход блока управления соединен с вторыми входами четвертого, девятого и тринадцатого элементов И второй группы, пятый вход блока управления соединен с инверсными входами пятого и четырнадцатого элементов И второй группы и вторым входом одиннадцатого элемента И второй группы, шестой вход блока управления соединен с вторым входом шестого элемента И второй группы,

седьмой вход блока управления соединен с вторыми входами седьмого и двенадцатого элементов И второй группы, восьмой вход блока управле-

ния соединен с вторым входом восьмого элемента И второй группы, выходы первого шифратора являются выходами блока управления.

Изобретение относится к вычислительной технике и может быть использовано при построении специализированных ЭВМ или модулей для включения в состав вычислительных систем для работы с функциями нескольких независимых переменных.

Известно устройство, содержащее регистр, три сумматора по модулю два, элемент задержки, причем регистр связан с первым сумматором, второй сумматор связан с третьим сумматором и элемент задержки - с первым и вторым сумматорами [1].

Недостатком этого устройства являются ограниченные функциональные возможности, заключающиеся только в умножении полиномов одной переменной.

Наиболее близким к изобретению является устройство, содержащее блок управления, выход которого подключен к счетчику, первый и второй блоки памяти, входы считывания которых соединены с соответствующим выходом блока управления, отдельные выходы которого соединены соответственно с входом записи второго блока памяти и входами записи и считывания третьего блока памяти, информационный вход которого соединен с выходом арифметического блока, управляющие входы которого соединены с соответствующими выходами блока управления, группа выходов которого соединена с группой входов блока регистров, вторая пара и третья пара выходов которого соединена с соответствующими входами блока сравнения, выходы которого соединены с соответствующими входами блока управления [2].

Недостатком этого устройства является невозможность возведения в степень функции нескольких независимых переменных, что снижает область применения устройства.

Целью изобретения является расширение области применения устройства за счет обеспечения возможности возведения в степень функций нескольких независимых переменных.

Поставленная цель достигается тем, что в устройство для возведения в  $n$ -ю степень, содержащее блок управления, первый счетчик, первый, второй и третий блоки памяти, блок умножения и сложения, группу регистров и блок сравнения, который содержит две схемы сравнения, первую группу элементов И, первый регистр, выходы которого соединены соответственно с первой группой информационных входов первой схемы сравнения, выход второй схемы сравнения, выходы первого и второго элементов И первой группы, выход первой схемы сравнения, выходы с третьего по шестой элементов И первой группы соединены соответственно с первым по восьмой входами блока управления, блок умножения и сложения содержит умножитель, сумматор, коммутатор результата, информационные входы которого соединены с выходами умножителя и сумматора, выходы управления записью и считыванием блока управления соединены соответственно с входом считывания первого и второго блоков памяти, входом записи второго блока памяти, входом считывания третьего блока памяти, входом записи третьего блока памяти, входами записи с первого по шестой регистров группы, и входом записи первого регистра, выходы выбора режима блоки управления соединены соответственно с входами управления умножения и сложения коммутатора результата, первый тактовый выход блока управления соединен со счетным входом первого счетчика, выходы которого соединены с инверсными входами четвертого элемента И первой группы,

первая и вторая группы информационных входов второй схемы сравнения соединены соответственно с выходами пятого и шестого регистров группы, информационные входы регистров группы с первого по четвертый объединены и соединены с выходом третьего блока памяти и информационным входом второго блока памяти, информационный вход третьего блока памяти соединен с выходом коммутатора результата, введены счетчик номера переменной, коммутатор операндов, первый второй и третий формирователи адреса, причем первый формирователь адреса содержит вычитающий счетчик, второй регистр, первый коммутатор, первая группа информационных входов которого соединена соответственно с разрядными выходами вычитающего счетчика и инверсными входами первого элемента И первой группы, второй формирователь адреса содержит реверсивный счетчик, третий регистр, второй коммутатор, первая группа информационных входов которого соединена соответственно с разрядными выходами реверсивного счетчика, инверсными входами второго элемента И первой группы и разрядными входами третьего регистра, третий формирователь адреса содержит второй счетчик, третий и четвертый коммутаторы, первый элемент ИЛИ, выход которого соединены с входом записи второго счетчика, разрядные выходы которого соединены с первой группой информационных входов третьего коммутатора, разрядными входами первого регистра, второй группой информационных входов первой схемы сравнения и информационными входами пятого и шестого регистров группы, первый и второй управляющие входы первого, второго и третьего коммутаторов соединены с первым и вторым выходами задания адреса блока управления, выходы управления записью которого соединены соответственно с входами записи вычитающего счетчика, реверсивного счетчика, счетчика номера переменной и третьего регистра, тактовый вход вычитающего счетчика, имитирующий вход реверсивного счетчика, вычитающий вход реверсированного счетчика, тактовый вход второго счетчика и вычитающий вход счетчика номера переменной соединены соответственно с группой тактовых выходов бло-

ка управления, выход сброса которого соединен с входами сброса реверсивного счетчика и второго счетчика, выходы группы управляющих выходов блока управления соединены соответственно с первым и вторым управляющими входами четвертого коммутатора и первым и вторым управляющими входами коммутатора операнда, первый и второй управляющие входы четвертого коммутатора соединены с входами первого элемента ИЛИ, первая и вторая группы информационных входов коммутатора операндов соединены соответственно с выходами первого и второго блоков памяти, третья и четвертая группы информационных входов коммутатора операндов соединены соответственно с выходами третьего и четвертого регистров группы и инверсными входами пятого и шестого элементов И первой группы, первый и второй выходы коммутатора операндов соединены соответственно с первым и вторым входами умножителя и сумматора, выходы счетчики номера переменной соединены соответственно с второй группой информационных входов первого, второго и третьего коммутаторов, выходы которых соединены соответственно с адресными входами первого, второго и третьего блоков памяти, разрядные выходы первого и второго регистров группы соединены соответственно с первой и второй группами информационных входов четвертого коммутатора, блока управления содержит генератор импульсов, счетчик циклов, дешифратор, второй элемент ИЛИ, первый и второй шифраторы, вторую группу элементов И, причем выход генератора импульсов соединен с тактовым входом счетчика циклов, выходы которого соединены соответственно с выходами дешифратора, выходы которого соединены соответственно с входами первого шифратора, первая группа выходов дешифратора соединена соответственно с первыми входами элементов и второй группы, выходы которых соединены соответственно с входами первой группы входов второго шифратора и первой группой входов второго элемента ИЛИ, вторые группы входов которых соединены соответственно с выходами второй группы выходов дешифратора, выходы с первого по  $n-1$  второго шифратора соединены соответственно с информа-

ционными входами счетчика циклов, установочный вход которого соединен с выходом второго элемента ИЛИ,  $n$ -й выход второго шифратора соединен с входом останова генератора импульсов, первый вход блока управления соединен с вторыми входами первого и инверсным входом десятого элементов И второй группы, второй вход блока управления соединен с инверсным входом второго элемента И второй группы, третий вход блока управления соединен с инверсным входом третьего элемента И второй группы, четвертый вход блока управления соединен с вторыми входами четвертого, девятого и тринадцатого элементов И второй группы, пятый вход блока управления соединен с инверсными входами пятого и четырнадцатого элементов И второй группы и вторым входом одиннадцатого элемента И второй группы, шестой вход блока управления соединен с вторым входом шестого элемента И второй группы, седьмой вход блока управления соединен с вторыми входами седьмого и двенадцатого элементов И второй группы, восьмой вход блока управления соединен с вторым входом восьмого элемента И второй группы, выходы первого шифратора являются выходами блока управления.

На фиг. 1 представлена структурная схема устройства возведения в степень; на фиг. 2 - структурная схема блока управления; на фиг. 3а, б, в - структурные схемы формирователей адреса; на фиг. 4 - структурная схема счетчика номера переменной; на фиг. 5 - структурная схема блока сравнения; на фиг. 6 - схема блока умножения и сложения.

Устройство (фиг. 1) содержит блок 1 управления, первый счетчик 2, второй и третий формирователи адреса 3, 4, 5 соответственно, счетчик номера переменной 6, первый, второй и третий блоки памяти 7, 8, 9 соответственно, группу регистров 10, коммутатор операндов 11, блок умножения и сложения 12, блок сравнения 13.

Блок управления 1 (фиг. 2) предназначен для выработки управляющих сигналов в соответствии с алгоритмом работы и содержит генератор импульсов 14, счетчик циклов 15, дешифратор 16, группу элементов И 17, шиф-

ратор 18, элемент ИЛИ 19, шифратор 20, причем число выходов дешифратора 16 равно числу шагов алгоритма работы, порядок нумерации выходов дешифратора 16 соответствует порядку нумерации шагов алгоритма.

Формирователи адреса (фиг. 3а, б, в) предназначены для формирования адресов коэффициентов и показателей степеней переменных в соответствующих блоках памяти и содержат соответственно первый формирователь адреса (фиг. 3, а) - вычитающий счетчик 21, регистр 22, коммутатор 23, второй формирователь адреса (фиг. 3, б) - реверсированный счетчик 24, регистр 25, коммутатор 26; третий формирователь адреса (фиг. 3, в) - счетчик 27, коммутатор 28, элемент ИЛИ 29, коммутатор 30. Счетчик номера переменной (фиг. 4) предназначен для хранения числа переменных и изменения номера переменной и содержит вычитающий счетчик 31 и регистр 32.

Блок сравнения (фиг. 5) содержит схему сравнения 33, элементы И 34, 35, регистр 36, элементы И 37-40, схему сравнения 41, причем схемы сравнения 33 и 41 предназначены для выработки сигналов при равенстве информации поступившей на первую и вторую группы входов, элементы И выработывают сигналы при нулевой информации на входах.

Блок умножения и сложения 12 (фиг. 6) содержит умножитель 42, сумматор 43, коммутатор результата 44.

В соответствии с нумерацией выходов дешифратора 16 на его выходах вырабатываются управляющие сигналы, которые соответствуют шагам алгоритма, на которых осуществляется безусловный переход к другим шагам алгоритма, подключены к шифратору 18 и соответствующим входам элемента ИЛИ 19; выходы дешифратора 16, которые соответствуют шагам алгоритма, на которых проверяется условие перехода к другим шагам алгоритма, соединены с соответствующими входами второй группы элементов 17, остальные выходы, которые соответствуют шагам алгоритма, на которых одновременно вырабатываются сигналы управления, подключены к шифратору 20. Переход к другому не по порядку шагу алгоритма осуществляется следующим образом. При появлении сигнала

на одном из входов шифратора 18 на его выходах формируется код соответствующего номера шага, который поступает на информационный вход счетчика 15, а так как данный вход шифратора 18 соединен с соответствующим входом элемента ИЛИ 19, то на выходе элемента ИЛИ 19 появляется сигнал, который поступает на вход записи счетчика 15, таким образом происходит запись кода номера шага алгоритма, к которому необходимо сделать переход, в счетчик 15.

Коммутаторы в формирователях адреса устроены таким образом, что по сигналу на входе 1 пропускается информация с первой группы входов, а по сигналу на входе 2 - с первой и с второй группы входов. Количество выходов коммутаторов равно суммарному количеству входов в первой и второй группе.

В основу работы устройства положен следующий алгоритм возведения в степень полинома.

Пусть необходимо возвести в степень многочлен, который представляется в виде полинома

$$[F(x_1, x_2, x_3 \dots x_n)]^N = \left[ \sum_{i=1}^m C_i \prod_{j=1}^n x_j^{k_{ij}} \right]^N = \\ = [C_1 \cdot x_1^{k_{11}} \cdot x_2^{k_{12}} \dots x_n^{k_{1n}} + C_2 \cdot x_1^{k_{21}} \cdot x_2^{k_{22}} \dots \\ \dots x_n^{k_{2n}} + \dots + C_m \cdot x_1^{k_{m1}} \cdot x_2^{k_{m2}} \dots x_n^{k_{mn}}]^N,$$

где  $C_i$  - коэффициенты многочлена;  
 $x_j$  - независимые переменные;  
 $k_{ij}$  - показатели степеней соответствующих переменных;  
 $m$  - число слагаемых;  
 $n$  - число переменных;  
 $N$  - показатель степени многочлена.

Необходимым условием выполнения алгоритма является расположение переменных в каждом слагаемом в одном и том же порядке. Количество переменных в слагаемых должно быть равным, при этом недостающие переменные добавляются с нулевыми показателями степеней.

Полином представляется в виде таблицы данных.

C 1	$k_{11}$	$k_{12}$	$k_{13}$	...	$k_{1n}$
C 2	$k_{21}$	$k_{22}$	$k_{23}$	...	$k_{2n}$
.	.	.	.	.	.
.	.	.	.	.	.
.	.	.	.	.	.
C m	$k_{m1}$	$k_{m2}$	$k_{m3}$	...	$k_{mn}$

Таблица данных исходного полинома в виде массива  $\{C_i, k_{ij}\}$ ,  $i = \overline{1, m}$ ;  $j = \overline{1, n}$  записывается в первый блок памяти; в виде массива  $\{D_i, b_{ij}\}$ ,  $i = \overline{1, \nu}$ ,  $j = \overline{1, n}$  - во второй блок памяти;  $\nu = m$ .

Производится умножение полиномов  $\{C_i, k_{ij}\}$  и  $\{D_i, b_{ij}\}$ , при этом по порядку, начиная с  $m$ -го слагаемого каждое слагаемое полинома  $\{C_i, k_{ij}\}$  умножается на все слагаемые (начиная с  $\nu$ -го) полинома  $\{D_i, b_{ij}\}$ ; при умножении двух слагаемых коэффициенты перемножаются, а показатели степеней соответствующих переменных складываются, результирующий полином в виде массива  $\{F_i, l_{ij}\}$ ,  $i = \overline{1, \rho}$ ;  $j = \overline{1, n}$  записывается в третий блок памяти.

Производится приведение подобных слагаемых в полиноме  $\{F_i, l_{ij}\}$ , при этом показатели степеней переменных каждого слагаемого, по порядку начиная с первого, сравниваются с показателями степени соответствующих переменных остальных слагаемых; если в двух слагаемых показатели степеней соответствующих переменных равны, то коэффициенты данных слагаемых складываются, при этом результирующий коэффициент присваивается одному из данных слагаемых, коэффициент другого слагаемого обнуляется, слагаемые с нулевыми коэффициентами при выборе игнорируются.

Массив данных  $\{F_i, l_{ij}\}$ ,  $i = \overline{1, \rho}$ ;  $j = \overline{1, n}$  из третьего блока памяти переписывается на место массива  $\{D_i, b_{ij}\}$   $i = \overline{1, \nu}$ ;  $j = \overline{1, n}$  во второй блок памяти, при этом данные слагаемых с нулевыми коэффициентами не переписываются.

Анализируется счетчик показателя степени полинома, значение которого первоначально устанавливается

$n-2$ . Если значение счетчика на нулевое, то оно уменьшается на единицу, и осуществляется переход к шагу 3; если нулевое, устройство заканчивает работу, при этом результат возведения в степень хранится во втором блоке памяти.

Устройство работает следующим образом.

Предварительно массив данных исходного полинома как массив  $\{C_i, k_{ij}\}$ ,  $i=1, m$ ;  $j=1, n$  заносится в блок памяти 7 как массив  $\{D_i, b_{ij}\}$ ,  $i=1, n$ ;  $j=1, n$ ;  $\vartheta = m$  в блок памяти 8, причем адреса коэффициентов адр.  $C_i = i$ ,  $i=1, m$ ; адр.  $D_i = i$ ,  $i=1, n$  адреса показателей степеней - адр.  $k_{ij} = ij$ ; а адр.  $b_{ij} = ij$ ,  $j=1, n$ .

В счетчик 21 и регистр 22 заносится адр.  $C_i = m$ , в счетчик 24 и регистр 25 заносится адр.  $D_i = \vartheta$ , в счетчик 31 и регистр 32 заносится значение  $j = n$ , в счетчик 42 - число  $n-2$ . Дальнейшая работа устройства осуществляется в соответствии с шагами алгоритма работы блока управления 1; по шагам 1-10 алгоритма происходит умножение полиномов  $\{C_i, k_{ij}\}$  и  $\{D_i, b_{ij}\}$  с получением результирующего полинома  $\{F_i, r_{ij}\}$  в блоке памяти 3; причем адр.  $F_i = i$ , адр.  $r_{ij} = ij$ ,  $i=1, p$ ,  $j=1, n$ .

Шаг 1. Вырабатываются управляющие сигналы на выходах блока управления 1, 14, 24, 26, 9, 17, по которым в формирователе адреса 5 изменяется значение счетчика 27 на +1, таким образом адр.  $F_i := \text{адр. } F_i + 1$ ; на выходах 1 формирователей 3, 4, 5 адреса устанавливаются адреса коэффициентов адр.  $C_i$ , адр.  $D_i$ , адр.  $F_i$ ; из блоков 7 и 8 памяти считываются коэффициенты  $C_i$  и  $D_i$ , которые через коммутатор поступают в арифметический блок и умножаются, результат  $F_i$  записывается в блок памяти 9 (в первом умножении адр.  $F_i = 1$ , адр.  $C_i = m$ ; адр.  $D_i = \vartheta$ ;  $F_i = C_m \times D_\vartheta$ ).

Шаг 2. Вырабатываются сигналы на выходах 2, 14, 24, 27, 17, по которым устанавливаются адреса адр.  $k_{ij}$ , адр.  $b_{ij}$ , адр.  $r_{ij}$ , из блоков 7 и 8 памяти считываются  $k_{ij}$  и  $b_{ij}$ , которые через коммутатор поступают в арифметический блок и складываются, результат  $r_{ij}$  записывается в блок памяти 9 (в первом сложении адр.  $k_{ij} = mn$ ; адр.  $b_{ij} = \vartheta n$ , адр.  $r_{ij} = 1n$ ,  $r_{1n} = k_{mn} + b_{\vartheta n}$ ).

Шаг 3. Вырабатывается сигнал на выходе 13 блока управления 1, по которому изменяется значение счетчика 31 на -1, таким образом  $j = j - 1$ .

Шаг 4. Анализируется значение  $j$  счетчика 31 и если  $j = 0$ , то на выходе 5 блока сравнения вырабатывается сигнал, по которому в блоке управления осуществляется переход к шагу 5 алгоритма, а если  $j \neq 0$ , то к шагу 2.

Шаг 5. Вырабатываются сигналы на выходах 7, 12 блока управления 1, по которым содержимое регистра 32 переписывается в счетчик 31, таким образом  $j = n$ ; значение счетчика 24 изменяется на -1, и адр.  $D_i = \text{адр. } D_i - 1$ .

Шаг 6. Анализируется значение адр.  $D_i$  счетчика 24, если адр.  $D_i = 0$ , то осуществляется переход к шагу 7, если адр.  $D_i \neq 0$ , то к шагу 1 алгоритма.

Шаг 7. Вырабатываются сигналы на выходах 4, 5 блока управления, по которым значение счетчика 24 уменьшается на -1, таким образом адр.  $C_i = \text{адр. } C_i - 1$ , содержимое регистра 26 переписывается в счетчик 24 и адр.  $D_i = \vartheta$ .

Шаг 8. Анализируется значение адр.  $C_i$  счетчика 21, если адр.  $C_i = 0$ , то осуществляется переход к шагу 9, если адр.  $C_i \neq 0$ ; к шагу 1 алгоритма.

Шаг 9. Вырабатываются сигналы на выходах 3, 28 блока управления, по которым содержимое регистра 22 переписывается в счетчик 21, т.е. адр.  $C_i = m$ ; содержимое счетчика 27 переписывается в регистр 36, т.е.  $b_{6i} = \text{адр. } F_i = p$ .

Шаг 10. Вырабатывается сигнал на выходе 8 блока управления, по которому содержимое счетчика 24 и регистра 22 обнуляется, т.е. адр.  $D_i = \text{адр. } F_i = 0$ .

По шагам 11-34 алгоритма осуществляется приведение подобных слагаемых в полиноме  $\{F_i, r_{ij}\}$ .

Шаг 11. Вырабатываются на выходах 9, 1, 16, 20, 18, по которым значение счетчика 27 изменяется на +1, т.е. адр.  $F_i = \text{адр. } F_i + 1$ , устанавливается адр.  $F_i$ , по которому из блока 9 памяти считывается коэффициент  $F_i$  и записывается в первый регистр группы регистров 10; значение счетчика

27 переписывается в регистр, т.е.  $P1:=F_i$ ,  $P5:=\text{адр.}F_i$  в первом считывании адр.  $F_i=1$ ,  $P1=F1$ ,  $P5=1$ ).

Шаг 12. Анализируется равенство значений адр.  $F_i$  счетчика 27 и значения  $\rho$  регистра 26 в блоке сравнения, если адр.  $F_i = \rho$ , то осуществляется переход к шагу 35, если адр.  $F_i \neq \rho$ , то к шагу 13.

Шаг 13. Анализируется значение  $F_i$ , если  $F_i=0$ , осуществляется переход к шагу 11, если  $F_i \neq 0$ , к шагу 14.

Шаг 14. Вырабатываются сигналы на выходах блока управления 2, 16, 22, по которым устанавливается адр.  $V_{ij}=in$ , так как  $j=n$ ; из блоков 9 памяти считывается  $V_{in}$  и записывается второй регистр группы регистров 10.

Шаг 15. Вырабатываются сигналы на выходах 9, 1, 16, 21, по которым значение счетчика 27 изменяется на +1; устанавливается адр.  $F_i$ ; считывается  $F_i$  и записывается в третий регистр группы регистров.

Шаг 16. Анализируется значение  $F_i$  в третий регистр, если  $F_i=0$ , то осуществляется переход к шагу 15, если  $F_i \neq 0$ , к шагу 17.

Шаг 17. Вырабатываются сигналы на выходах 2, 16, 23 блока управления, по которым устанавливается адр.  $V_{ij}=in$ , так как  $j=n$ ; считывается  $V_{in}$  и записывается в четвертый регистр группы регистров 10.

Шаг 18. Анализируется равенство значений регистров второго и четвертого; если они равны, то осуществляется переход к шагу 22, если нет, к шагу 19, т.е. сравниваются показатели степени  $n$ -ой переменной в двух слагаемых, например,  $V_{in}$  и  $V_{2n}$ .

Шаг 19. То же, что и в шаге 12, только если адр.  $F_i = \rho$ , делается переход к шагу 20, если адр.  $F_i \neq \rho$ , к шагу 15.

Шаг 20. Вырабатывается сигнал на выходе 10 блока управления, по которому значению адр.  $F_i$  в счетчике 27 присваивается значение пятого регистра группы регистров 10.

Шаг 21. Переход к шагу 11.

Шаг 22. Вырабатываются сигналы на выходах 19, 13, 2, 16, 23 блока управления, по которым значение адр.  $F_i$  в счетчике 27 переписывается в шестой регистр; значение  $j$  в счетчике 31 изменяется на -1; уста-

навливается адр.  $V_{ij}$ ; считывается  $V_{ij}$  и записывается в четвертый регистр.

Шаг 23. Вырабатываются сигналы на выходах 10, 2, 16, 22 блока управления, по которым значению адр.  $F_i$  в счетчике 27 присваивается значение первого регистра; устанавливается адр.  $V_{ij}$ ; считывается  $V_{ij}$  и записывается во второй регистр.

Шаг 24. То же, что и в шаге 18, только если равенство, осуществляется переход к шагу 25, если нет, к шагу 33, т.е. если (в шаге 18  $V_{in}=V_{2n}$ , то здесь анализируется  $V_{1(n-1)}=V_{2(n-1)}$ , если равенство выполняется, то затем анализируется  $V_{1(n-2)}=V_{2(n-2)}$ ,  $V_{1(n-3)}=V_{2(n-3)}$  и т.д.

Шаг 25. То же, что и в шаге 4, только если  $j=0$ , осуществляется переход к шагу 38, если  $j \neq 0$ , к шагу 26.

Шаг 26. Вырабатывается сигнал на выходе 11 блока управления, по которому значению адр.  $F_i$  в счетчике 27 присваивается значение шестого регистра группы регистров 10.

Шаг 27. Переход к шагу 22.

Шаг 28. Вырабатываются сигналы на входах 25, 27, 1, 17, 12 блока управления, по которым значения первого и третьего регистров через коммутатор поступают в блок умножения и сложения и складываются, устанавливается адр.  $F_i$ , по которому записывается результат сложения в блок памяти 9, содержимое регистра 32 переписывается в счетчик 31, т.е.  $j=n$ .

Шаг 29. Вырабатываются сигналы на выходах 16, 20 блока управления по которым устанавливается адр.  $F_i$ ; считывается  $F_i$  и записывается в первый регистр группы регистров 10.

Шаг 30. Вырабатываются сигналы на выходах 11, 1, 17 блока управления, по которым значению адр.  $F_i$  в счетчике 27 присваивается значение шестого регистра устанавливается адр.  $F_i$  и производится запись в блок 9 памяти, т.е. коэффициент  $F_i$  по адресу адр.  $F_i$  обнуляется.

Шаг 31. То же, что и в шаге 20.

Шаг 32. Переход к шагу 14.

Шаг 33. Вырабатываются сигналы на выходах 11, 12 блока управления, по которым значению адр.  $F_i$  в счетчик 27



присваивается значение шестого регистра, значению  $j$  в счетчике 31 - значение регистра 32, т.е.  $j = n$ .

Шаг 34. Переход к шагу 15.

Шаг 35. То же, что и в шаге 10.

По шагам 36-47 алгоритма осуществляется перезапись полинома  $\{F_i; P_{ij}\}$  из блока 9 памяти в блок 8 памяти на место полинома  $\{D_i; b_{ij}\}$ .

Шаг 36. Вырабатываются сигналы на выходах 9, 1, 16, 20 блока управления, по которым значение счетчика 27 изменяется на +1, устанавливается адр.  $F_i$  и считывается коэффициент  $F_i$ , который записывается в первый регистр 15 (в первом считывании адр.  $F_i = 1$ ,  $P_1 = F_1$ ).

Шаг 37. То же, что и в шаге 13, только если  $F_i = 0$ , делается переход к шагу 38, если  $F_i \neq 0$ , к шагу 39.

Шаг 38. То же, что и в шаге 12, только если адр.  $F_i = \rho$ , делается переход к шагу 45, если адр.  $F_i \neq \rho$ , к шагу 36.

Шаг 39. Вырабатываются сигналы на выходах 1, 16, 6, 15 блока управления 1, по которым значение счетчика 24 изменяется на +1, т.е. адр.  $D_i = \text{адр. } D_{i+1}$ , устанавливается адр.  $F_i$  и адр.  $D_i$ , из блока 9 памяти считывается  $F_i$  и записывается в блок 8 памяти.

Шаг 40. Вырабатываются сигналы на выходах 2, 16, 15 блока управления 1,

по которым устанавливаются адр.  $P_{ij}$  и адр.  $b_{ij}$ ; считывается  $P_{ij}$  из блока 9 и записывается в блок 4 памяти 8 (в первом считывании  $b_{in} := P_{in}$ ; затем  $b_{i(n-1)} := P_{i(n-1)}$  и т.д.).

Шаг 41. То же, что и в шаге 3.

Шаг 42. То же, что и в шаге 4, только если  $j = 0$ , делается переход к шагу 43, если  $j \neq 0$ , к шагу 40.

Шаг 43. То же, что и в шаге 12, только если адр.  $F_i = \rho$ , делается переход к шагу 45, если адр.  $F_i \neq \rho$ , к шагу 44.

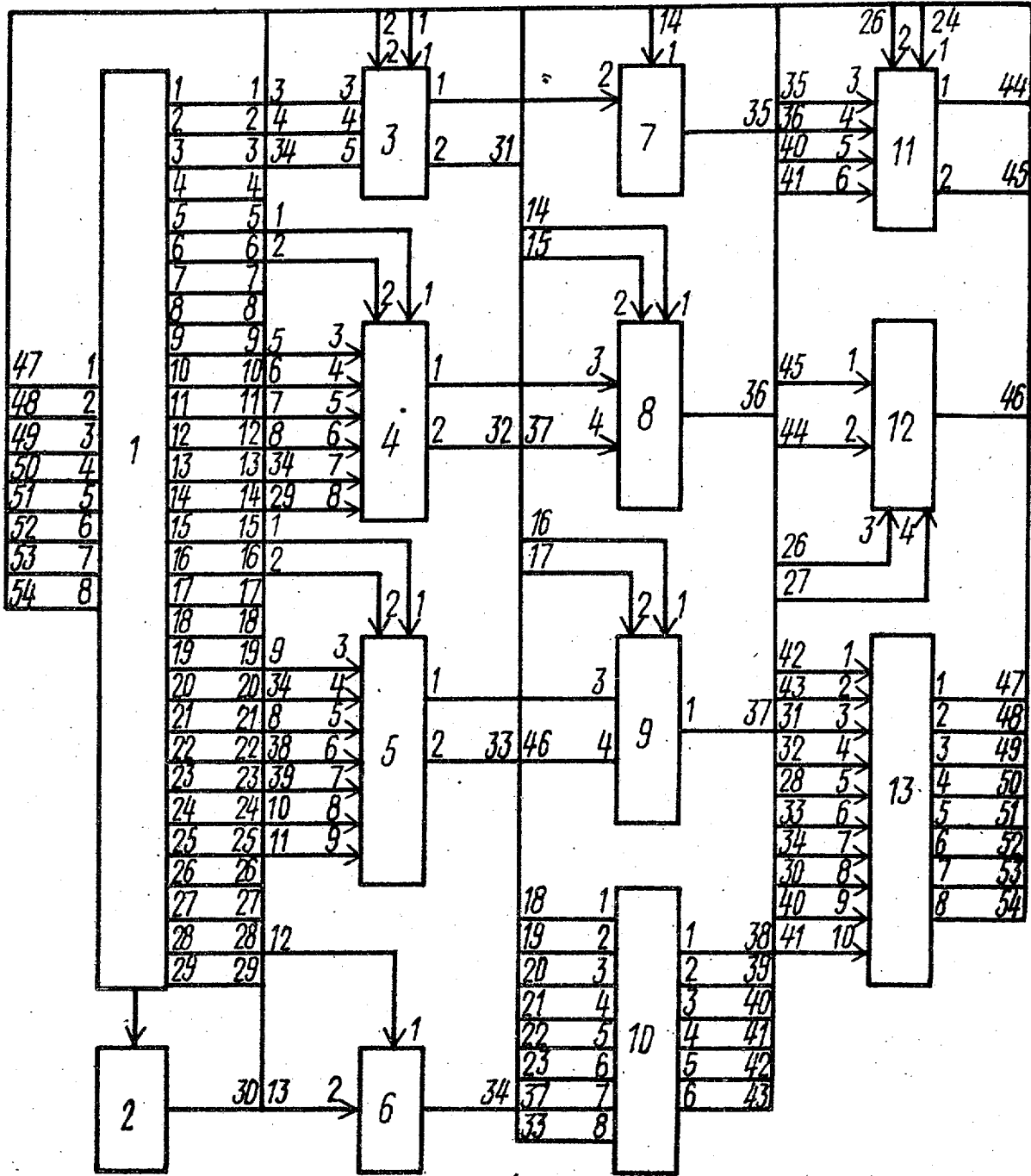
Шаг 44. Вырабатывается сигнал на выходе 12 блока управления 1, по которому значению  $j$  в счетчике 31 присваивается значение регистра 32, т.е.  $j = n$ .

Шаг 45. Переход к шагу 36.

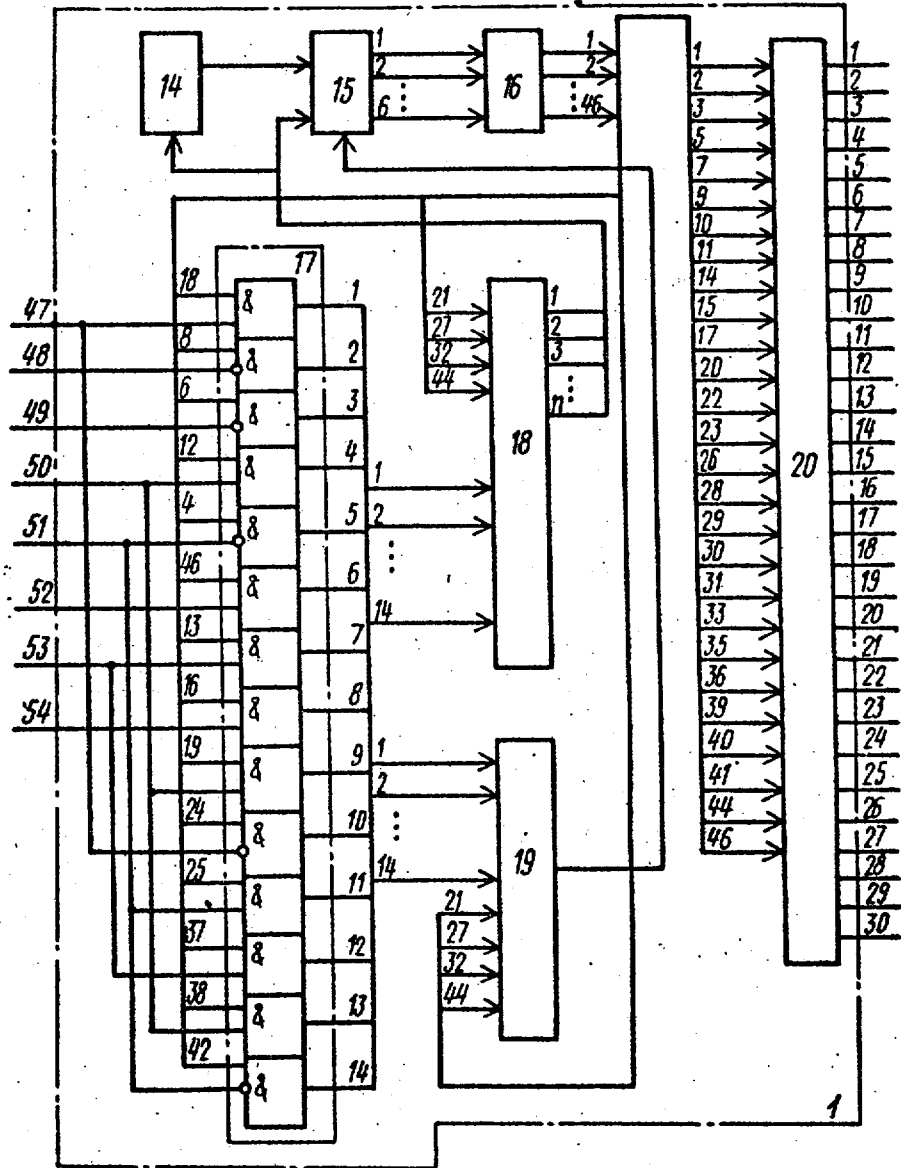
Шаг 46. Вырабатываются сигналы на выходах 29, 30 блока управления 1, по которым изменяется значение счетчика 2 на -1; значение адр.  $D_i = j$  в счетчик 24 переписывается в регистр 25.

Шаг 47. Анализируется значение счетчика 2, если оно не нулевое осуществляется переход к шагу 1, если нулевое - конец работы устройства.

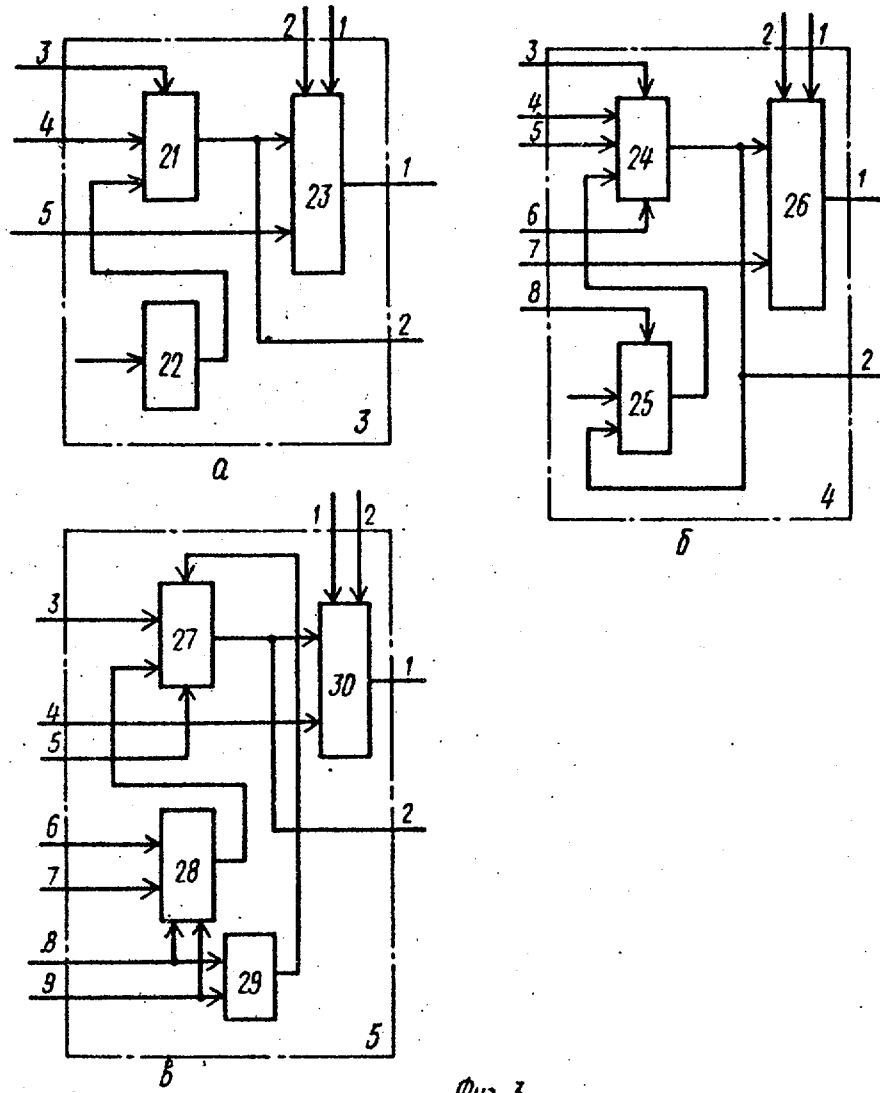
Введение в устройство трех формирователей адреса, коммутатора, счетчика номера переменной позволяет получить возможность возводить в степень функции нескольких независимых переменных, т.е. расширило область применения устройства.



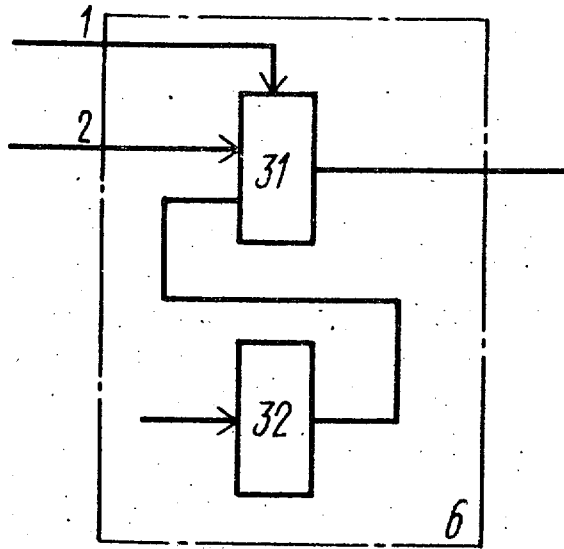
Фиг. 1



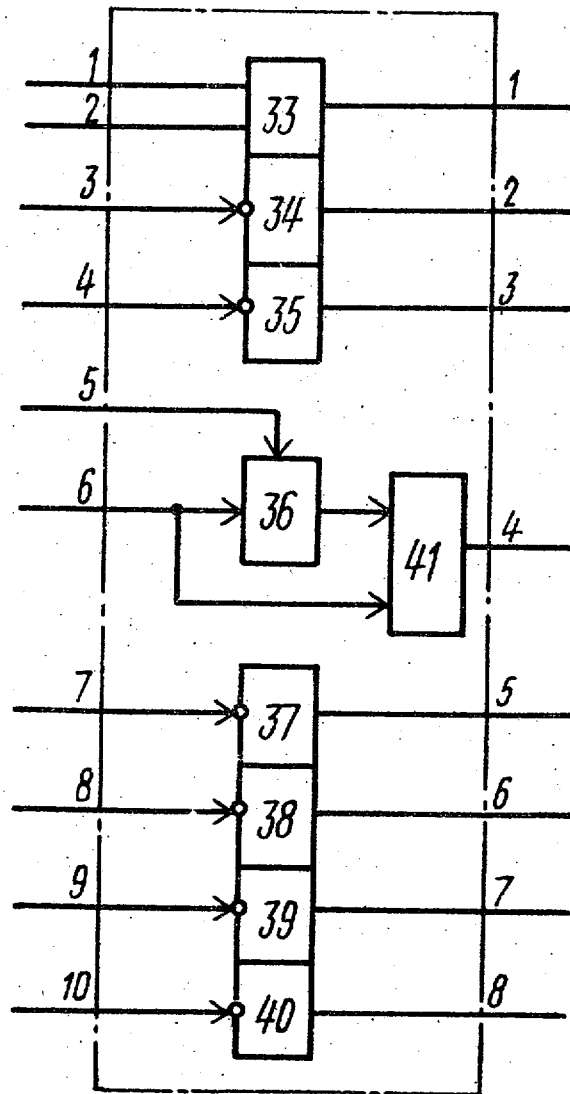
Фиг. 2



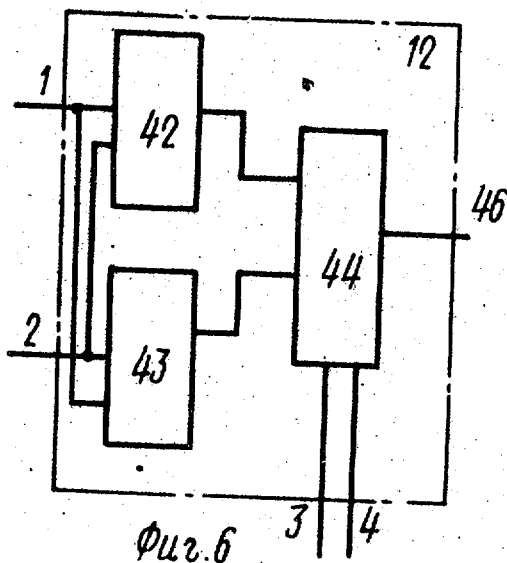
Фиг. 3



Фиг. 4



Фиг. 5



Редактор Н. Швыдкая      Составитель М. Казанский  
 Техред О. Ващицина      Корректор А. Ильин

Заказ 9793/41      Тираж 698      Подписное

ВНИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4