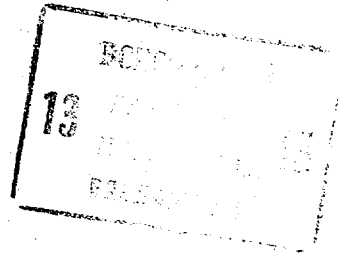




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3518860/24-24  
(22) 06.12.82  
(46) 30.01.85.Бюл. № 4  
(72) Л.Г.Лопато и А.А.Шостак  
(71) Минский радиотехнический институт  
(53) 681.325.5 (088.8)  
(56) 1. Авторское свидетельство СССР № 623204, кл. G 06 F 7/52, 1977.  
2. Авторское свидетельство СССР № 993255, кл. G 06 F 7/52, 1981, (прототип).

(54) (57) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ, содержащее регистры множимого и множителя, матрицу элементов И, группу элементов ИЛИ, накапливающий сумматор и блок выделения младшего разряда, причем выходы разрядов регистра множимого соединены с первыми входами элементов И соответствующих столбцов матрицы, выход  $j$ -го элемента И  $i$ -й строки матрицы ( $i=1, \dots, n$ ;  $j=1, \dots, n$ ;  $n$  - разрядность сомножителей), кроме первого элемента И первой строки матрицы и  $n$ -го элемента И  $n$ -й строки матрицы, подключен ко входу  $(i+j-2)$ -го элемента ИЛИ группы, отличающемся от того, что, с целью повышения быстродействия, в устройство введены два буферных регистра и блок управления, содержащий счетчик, два элемента И и элемент ИЛИ, блок выделения младшего разряда содержит  $n$  элементов И, а накапливающий сумматор выполнен как сумматор с запоминанием переносов, при этом входы  $k$ -го элемента И блока выделения младшего разряда ( $k=1, \dots, n-1$ ) соединены с прямым выходом  $(k+1)$ -го раз-

ряда регистра множителя и инверсными выходами всех предыдущих разрядов регистра множителя, входы  $n$ -го элемента И блока выделения младшего разряда соединены с инверсными выходами всех разрядов регистра множителя, прямой выход первого разряда которого подключен к информационному входу первого разряда первого буферного регистра, выход  $k$ -го элемента И блока выделения младшего разряда подключен к информационному входу  $(k+1)$ -го разряда первого буферного регистра, выход каждого разряда которого соединен со вторыми входами элементов И соответствующей строки матрицы, выход первого элемента И первой строки матрицы соединен с информационным входом первого разряда второго буферного регистра, выход  $l$ -го элемента ИЛИ группы ( $l=1, \dots, 2n-3$ ) соединен с информационным входом  $(l+1)$ -го разряда второго буферного регистра, информационный вход  $(2n-1)$ -го разряда которого подключен к выходу  $n$ -го элемента И  $n$ -й строки матрицы, выходы разрядов второго буферного регистра подключены ко входам соответствующих разрядов накапливающего сумматора, выход  $n$ -го элемента И блока выделения младшего разряда подключен к первому входу первого элемента И блока управления, второй вход которого соединен со входом синхронизации устройства и первым входом второго элемента И блока управления, второй вход которого соединен с выходом элемента ИЛИ блока управления, а выход - со входами синхронизации буферных регистров, накапливающего

сумматора и регистра множителя, входы обнуления разрядов которого соединены с информационными входами соответствующих разрядов первого буферного регистра, выход первого элемента И блока управления подключен ко входу счетчика блока управления, прямой выход первого и инверсный выход второго разрядов которого соединены

со входами элемента ИЛИ, прямой выход второго разряда и выход переполнения второго разряда счетчика блока управления подключены соответственно ко входу управления сквозным переносом накапливающего сумматора и выходу индикации окончания операции умножения устройства.

1

Изобретение относится к вычислительной технике и может быть использовано при разработке быстродействующих устройств умножения асинхронного типа.

Известно устройство для умножения, содержащее регистры множимого и множителя, накапливающий сумматор, матрицу элементов И, две группы элементов ИЛИ, две группы элементов И и группу элементов задержки [1].

Недостатком известного устройства является низкое быстродействие.

Наиболее близким по технической сущности к изобретению является устройство для умножения, содержащее регистры множимого и множителя, матрицу элементов И, группу элементов ИЛИ, группу элементов И, накапливающий сумматор и блок выделения младшего разряда, причем выходы регистра множимого соединены с первыми входами элементов И соответствующих столбцов матрицы, выход  $j$ -го элемента И  $i$ -й строки матрицы ( $i=1, \dots, n; j=1, \dots, n; n$  - разрядность сомножителей), кроме первого элемента И первой строки матрицы и  $n$ -го элемента И  $n$ -й строки матрицы подключены к входу  $(i+j-2)$ -го элемента ИЛИ группы, выходы элементов ИЛИ группы подключены соответственно к входам разрядов с 2-го по  $(2n-2)$ -й накапливающего сумматора, входы 1-го и  $(2n-1)$ -го разрядов которого подключены соответственно к выходам первого элемента И первой строки матрицы и  $n$ -го элемента И  $n$ -й строки матрицы, входы блока выделения младшего разряда соединены с инверсными выходами соответствующих разрядов регистра множителя,

2

а выходы соединены с первыми входами соответствующих элементов И группы, вторые входы которых соединены с прямыми выходами соответствующих разрядов регистра множителя, а третьи входы объединены и соединены с входами синхронизации регистра множителя и накапливающего сумматора и с входом синхронизации устройства, выходы элементов И группы соединены с вторыми входами элементов И соответствующей строки матрицы и с входами обнуления соответствующих разрядов регистра множителя [2].

Недостатком известного устройства является относительно низкое быстродействие, вызванное большой длительностью его такта работы (длительность такта определяется временем прохождения информации через группу элементов И, матрицу элементов И, группу элементов ИЛИ и временем суммирования в накапливающем сумматоре со сквозным переносом).

Цель изобретения - повышение быстродействия устройства за счет сокращения длительности такта работы.

Поставленная цель достигается тем, что в устройство для умножения, содержащее регистры множимого и множителя, матрицу элементов И, группу элементов ИЛИ, накапливающий сумматор и блок выделения младшего разряда, причем выходы разрядов регистра множимого соединены с первыми входами элементов И соответствующих столбцов матрицы, выход  $j$ -го элемента И  $i$ -й строки матрицы ( $i=1, \dots, n; j=1, \dots, n; n$  - разрядность сомножителей), кроме перво-

го элемента И первой строки матрицы и  $n$ -го элемента И  $n$ -й строки матрицы, подключен к входу  $(i+j-2)$ -го элемента ИЛИ группы, введены два буферных регистра и блок управления, содержащий счетчик, два элемента И и элемент ИЛИ, блок выделения младшего разряда содержит  $n$  элементов И, а накапливающий сумматор выполнен как сумматор с запоминанием переносов, при этом входы  $k$ -го элемента И блока выделения младшего разряда ( $k=1, \dots, n-1$ ) соединены с прямым выходом  $(k+1)$ -го разряда регистра множителя и инверсными выходами всех предыдущих разрядов регистра множителя, входы  $n$ -го элемента И блока выделения младшего разряда соединены с инверсными выходами всех разрядов регистра множителя, прямой выход первого разряда которого подключен к информационному входу первого разряда первого буферного регистра, выход  $k$ -го элемента И блока выделения младшего разряда подключен к информационному входу  $(k+1)$ -го разряда первого буферного регистра, выход каждого разряда которого соединен с вторыми входами элементов И соответствующей строки матрицы, выход первого элемента И первой строки матрицы соединен с информационным входом первого разряда второго буферного регистра, выход  $l$ -го элемента ИЛИ группы ( $l=1, \dots, 2n-3$ ) соединен с информационным входом  $(l+1)$ -го разряда второго буферного регистра, информационный вход  $(2n-1)$ -го разряда которого подключен к выходу  $n$ -го элемента И  $n$ -й строки матрицы, выходы разрядов второго буферного регистра подключены к входам соответствующих разрядов накапливающего сумматора, выход  $n$ -го элемента И блока выделения младшего разряда подключен к первому входу первого элемента И блока управления, второй вход которого соединен со входом синхронизации устройства и первым входом второго элемента И блока управления, второй вход которого соединен с выходом элемента ИЛИ блока управления, а выход - со входом синхронизации буферных регистров, накапливающего сумматора и регистра множителя, входы обнуления разрядов которого соединены с информационными входами соот-

ветствующих разрядов первого буферного регистра, выход первого элемента И блока управления подключен к входу счетчика блока управления, прямой выход первого и инверсный выход второго разрядов которого соединены с входами элемента ИЛИ, прямой выход второго разряда и выход переполнения второго разряда счетчика блока управления подключены соответственно к входу управления сквозным переносом накапливающего сумматора и выходу индикации окончания операции умножения устройства.

На фиг. 1 приведена структурная схема устройства для случая, когда  $n=4$ ; на фиг. 2 - функциональная схема блока выделения младшего разряда; на фиг. 3 - функциональная схема блока управления; на фиг. 4 - временная диаграмма работы устройства.

Устройство содержит (фиг.1) регистры 1,2 соответственно множимого и множителя, первый буферный регистр 3, второй буферный регистр 4, накапливающий сумматор реализованный в виде комбинационного сумматора 5 и регистра 6 результата с соответствующими связями, матрицу 7 элементов И 8, группу 9 элементов ИЛИ 10, блок 11 выделения младшего разряда, блок 12 управления, вход 13 синхронизации устройства и выход 14 индикации окончания операции умножения устройства. Выходы разрядов регистра 1 множимого соединены с первыми входами элементов И 8 соответствующих столбцов матрицы 7, а выходы разрядов первого буферного регистра 3 соединены с вторыми входами элементов И 8 соответствующих строк матрицы 7, выход  $j$ -го элемента И 8  $i$ -й строки матрицы 7 ( $i=1, \dots, 4; j=1, \dots, 4$ ), кроме первого элемента И 8 первой строки матрицы 7 и четвертого элемента И 8 четвертой строки матрицы 7, подключен к входу  $(i+j-2)$ -го элемента ИЛИ 10 группы 9, выход первого элемента И 8 первой строки матрицы 7 соединен с информационным входом первого разряда второго буферного регистра 4, выход  $l$ -го элемента ИЛИ 10 группы 9 ( $l=1, \dots, 5$ ) соединен с информационным входом  $(l+1)$ -го разряда второго буферно-

го регистра 4, информационный вход седьмого разряда которого подключен к выходу четвертого элемента И 8 четвертой строки матрицы 7, выходы разрядов второго буферного регистра 4 подключены к входам соответствующих разрядов накапливающего сумматора, прямые и инверсные выходы разрядов регистра 2 множителя соединены с входами блока 11 выделения младшего разряда, выходы которого подключены к информационным входам соответствующих разрядов первого буферного регистра 3 и к входам обнуления соответствующих разрядов регистра 2 множителя, выход окончания выделения блока 11 выделения младшего разряда соединен с первым входом блока 12 управления, второй вход которого соединен с входом 13 синхронизации устройства, первый выход блока 12 управления подключен к входам синхронизации буферных регистров 3 и 4, накапливающего сумматора и регистра 2 множителя, второй выход блока 12 управления подключен к входу управления сквозным переносом накапливающего сумматора, а третий выход блока 12 управления подключен к выходу 14 индикации окончания операции умножения устройства.

Все регистры устройства могут быть построены на двухтактных синхронных  $T_k$ -триггерах, причем в каждом разряде регистра 6 результата накапливающего сумматора используется два таких триггера (один триггер предназначен для хранения разрядных сумм сумматора 5, а другой - для запоминания его же разрядных переносов). Сумматор 5 выполнен комбинационным типа с запоминанием разрядных переносов и с возможностью их сквозной передачи на последнем этапе умножения путем подачи соответствующего сигнала на его управляющий вход.

Блок 11 выделения младшего разряда предназначен для последовательного выделения единиц  $n$ -разрядного двоичного кода множителя, начиная с его младших разрядов, хранимого в регистре 2 множителя. Он содержит (фиг.2)  $n$  элементов И 15 и функционирует в соответствии со следующими логическими выражениями

$$P_1 = y_1; P_2 = \bar{y}_1 y_2; P_3 = \bar{y}_1 \bar{y}_2 y_3; P_4 = \bar{y}_1 \bar{y}_2 \bar{y}_3 y_4; \\ P^* = \bar{y}_1 \bar{y}_2 \bar{y}_3 \bar{y}_4$$

где  $P_1, P_2, P_3, P_4$  - признаки выделения соответственно первого, второго, третьего и четвертого значащих разрядов регистра 2 множителя;  $P^*$  - признак окончания выделения значащих разрядов регистра 2 множителя;  $y_4 y_3 y_2 y_1$  - двоичные цифры множителя  $y$ , причем возрастание индексов при буквенных обозначениях принято в направлении старших разрядов. Этот вариант построения блока 11 выделения младшего разряда обладает исключительно высоким быстродействием, особенно при малых значениях разрядности обрабатываемой в устройстве информации. При больших же значениях  $n$  из-за ограниченных возможностей логических элементов целесообразно в блоке 11 использовать принцип разбиения его на группы с последовательной либо параллельной передачей между группами признаков  $P^*$  окончания выделения значащих разрядов в группах. Это позволяет даже при  $n = 56$  и существующей элементной базе обеспечить время выделения значащего разряда, не превышающее величину  $3\tau$ , где  $\tau$  - задержка сигнала на одном логическом элементе.

Блок 12 управления содержит (фиг.3) первый элемент И 16, второй элемент И 17, элемент ИЛИ 18 и двухразрядный двоичный счетчик 19 (разрядность счетчика может быть и другой), причем первый вход блока 12 управления соединен с первым входом первого элемента И 16, второй вход которого соединен с вторым входом блока 12 управления и с первым входом второго элемента И 17, второй вход которого соединен с выходом элемента ИЛИ 18, а выход является первым выходом блока 12 управления, выход первого элемента И 16 подключен к входу счетчика 19, прямой выход первого и инверсный выход второго разрядов которого соединены с входами элемента ИЛИ 18, прямой выход второго разряда и выход переполнения второго разряда счетчика 12 являются соответственно вторым и третьим выходами блока 12 управления.

Устройство работает следующим образом.

Пусть требуется умножить  $n$ -разрядное множимое  $X$  на  $n$ -разрядный множитель  $u = 1010$ . В исходном состоянии в регистре 1 множимого хранится двоичный код числа  $X$  без знака, в регистре 2 множителя - двоичный код числа  $U$  без знака, буферные регистры 3, 4, регистр 6 результата накапливающего сумматора и счетчик 19 блока 12 управления обнулены.

В первом такте работы устройства на выходе блока 11 выделения младшего разряда формируется признак  $\Pi_2=1$  выделения второго значащего разряда регистра 2 множителя. Первый такт заканчивается с приходом на вход 13 синхронизации устройства первого синхроимпульса, по которому на выходе второго элемента И 17 блока 12 управления формируется управляющий сигнал, с разрешения которого по признаку  $\Pi_2=1$  устанавливается в ноль второй разряд регистра 2 множителя и записывается единица во второй разряд первого буферного регистра 3.

Во втором такте работы устройства на выходе блока 11 выделения младшего разряда формируется признак  $\Pi_4=1$  выделения четвертого значащего разряда регистра 2 множителя, и одновременно с этим под действием потенциала логической единицы, записанной во втором разряде первого буферного регистра 3, осуществляется передача соответствующим образом сдвинутого множимого с выходов элементов И 8 второй строки матрицы 7 через элементы ИЛИ 10 группы 9 на информационные входы второго буферного регистра 4. Второй такт заканчивается с приходом на вход 13 синхронизации второго синхроимпульса, по которому на выходе второго элемента И 17 блока 12 управления формируется управляющий сигнал, с разрешения которого осуществляется запись информации во второй буферный регистр 4 с его информационных входов, а также по признаку  $\Pi_4=1$  устанавливается в ноль четвертый разряд регистра 2 множителя и записывается единица в четвертый разряд первого буферного регистра 3 (второй разряд буферного регистра 3 обнуляется, так как его триггеры работают как D-триггеры).

В третьем такте работы устройства на выходе окончания выделения блока 11 выделения младшего разряда формируется признак  $\Pi^*=1$ , означающий, что закончено выделение значащих разрядов регистра 2 множителя, и одновременно с этим под действием потенциала логической единицы, записанной в четвертом разряде первого буферного регистра 3, осуществляется передача соответствующим образом сдвинутого множимого с выходов элементов И 8 четвертой строки матрицы 7 непосредственно и через элементы ИЛИ 10 группы 9 на информационные входы второго буферного регистра 4, и, кроме этого, в сумматоре 5 в режиме запоминания переносов выполняется суммирование содержимого второго буферного регистра 4 и регистра 6 результата (содержимое регистра 6 результата в этом такте еще равно нулю), после чего результат сумматора 5 в двухрядном коде поступает на информационные входы регистра 6 результата. Третий такт заканчивается с приходом на вход 13 синхронизации третьего синхроимпульса, по которому на выходе первого элемента И 16 блока 12 управления формируется сигнал, устанавливающий счетчик 19 блока 12 управления в единицу, а на выходе второго элемента И 17 блока 12 управления формируется управляющий сигнал, с разрешения которого производится запись информации во второй буферный регистр 4 и в регистр 6 результата с их информационных входов.

В четвертом такте работы устройства в сумматоре 5 производится суммирование в режиме запоминания переносов содержимого второго буферного регистра 4 и регистра 6 результата, после чего получившийся на его выходах результат в двухрядном коде поступает на информационные входы регистра 6 результата. Такт заканчивается с приходом на вход 13 синхронизации четвертого синхроимпульса, по которому на выходе второго элемента И 17 блока 12 управления образуется управляющий сигнал, с разрешения которого осуществляется запись информации в регистр 6 результата с его информационных входов, а на выходе первого элемента

И 16 блока 12 управления формирует-  
ся сигнал, устанавливающий счетчик 19  
через вход счета в состояние, рав-  
ное двум. По этому состоянию счет-  
чика на втором выходе блока 12 управ- 5  
ления формируется управляющий сиг-  
нал, который настраивает в дальней-  
шем сумматор 5 на работу в режиме  
сквозного переноса.

В пятом такте работы устройства 10  
в сумматоре 5 выполняется суммиро-  
вание содержимого регистра 6 резуль-  
тата в режиме со сквозным переносом.  
Пятый такт заканчивается с при-  
ходом на вход 13 синхронизации пя- 15  
того синхроимпульса, по которому  
только на выходе первого элемента  
И 16 блока 12 управления формирует-  
ся сигнал, устанавливающий счет-  
чик 19 через его вход счета в состо- 20  
яние, равное трем.

В этом такте на выходе второго  
элемента И 17 блока 12 управления  
управляющий сигнал не образуется  
и потому запись информации во все 25  
регистры устройства не производит-  
ся.

В шестом такте продолжается про-  
цесс суммирования со сквозным пере- 30  
носом содержимого регистра 6 резуль-  
тата, который был начат еще в нача-  
ле пятого такта. Здесь предполагат-  
ется, что к концу шестого такта на  
выходах сумматора 5 формируется  
окончательный результат в одноряд- 35  
ном коде, который поступает соот-  
ветствующим образом на информаци-  
онные входы регистра 6 результата.  
Шестой такт заканчивается с прихо- 40  
дом на вход 13 синхронизации шесто-  
го синхроимпульса, по которому на  
выходе второго элемента И 17 бло-  
ка 12 управления формируется управ-  
ляющий сигнал, с разрешения которо- 45  
го производится запись окончатель-  
ного результата в регистр 6 резуль-  
тата с его информационных входов,  
а на выходе первого элемента И 16  
блока 12 управления образуется сиг-  
нал, который, поступая через вход 50  
счета счетчика 19 сбрасывает его в  
ноль и вызывает на выходе перепол-  
нения счетчика 19 единичный сигнал,  
означающий, что закончено умноже- 55  
ние в устройстве рассматриваемых  
чисел.

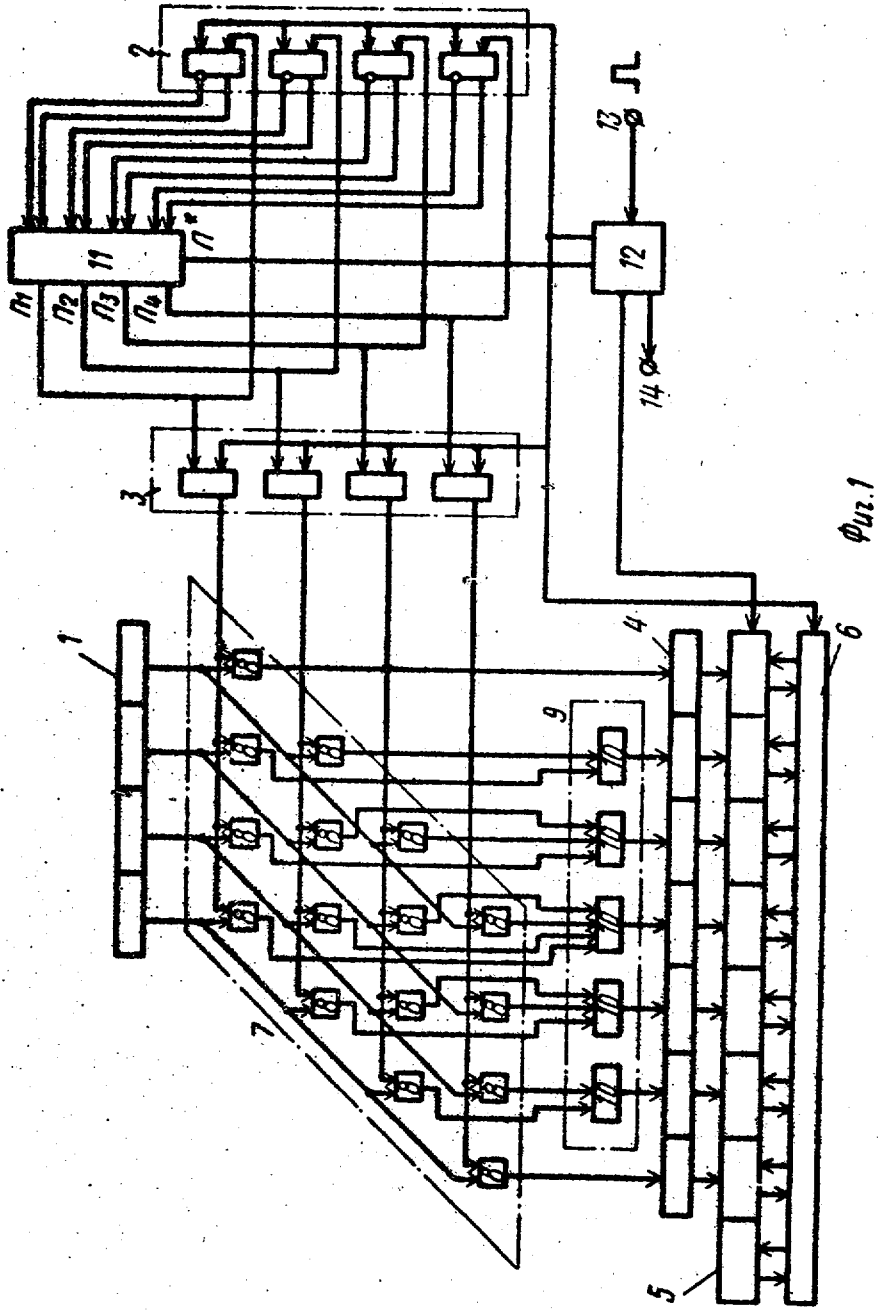
На фиг. 4 приведена упрощенная  
временная диаграмма работы устройст-  
ва при перемножении в нем рассмот-  
ренных выше чисел. На ней через СИ  
обозначены синхроимпульсы, поступаю-  
щие на вход 13 синхронизации уст-  
ройства; сигналы УС1, УС2 и УС3  
соответствуют управляющим сигналам  
соответственно на первом, втором  
и третьем выходах блока 12 управ-  
ления; П\* - признак окончания выделе-  
ния, формируемый в блоке 11 выделе-  
ния младшего разряда; через С 16  
обозначен сигнал, который образует- 15  
ся на выходе первого элемента И 16  
блока 12 управления в процессе рабо-  
ты устройства.

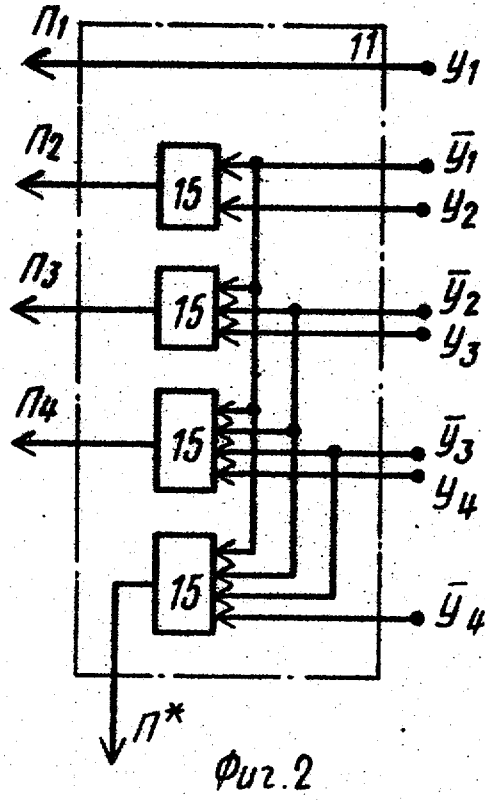
Среднее время умножения двух  
n-разрядных чисел в предлагаемом  
устройстве, в предположении что  
появление нуля и единицы во всех  
разрядах множителя равновероятно,  
составляет величину

$$T_{\text{CP}} \approx \frac{n}{2} t_T + 4t_T,$$

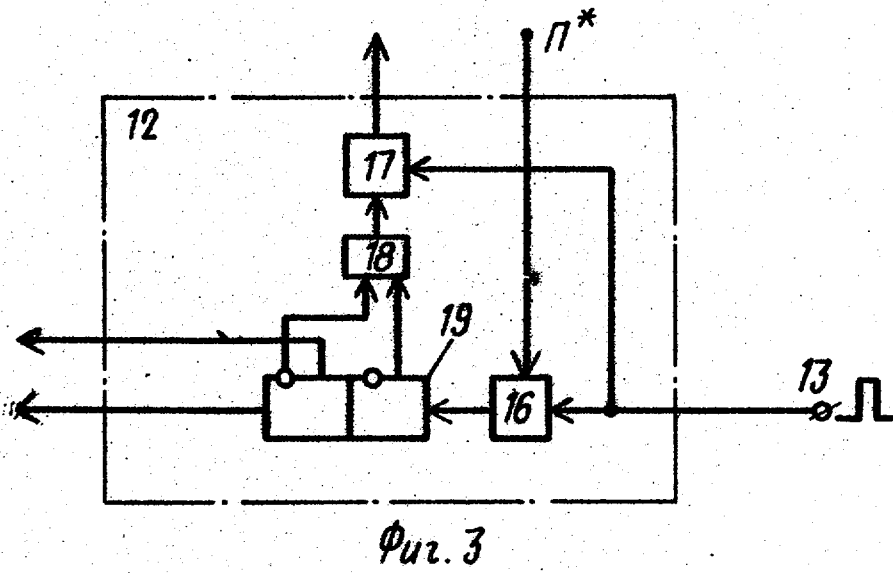
где  $t_T$  - длительность одного такта  
работы предлагаемого устройства. Сос-  
тавляющая  $4 \cdot t_T$  в приведенном выраже-  
нии вызвана использованием в уст-  
ройстве конвейерного принципа обра-  
ботки информации, а также потерей  
времени на сквозную передачу пере-  
носов в сумматоре в конце выполне-  
ния операции умножения (суммирова- 35  
ние со сквозным переносом в сумма-  
торе может быть выполнено в течение  
двух тактов работы устройства).

Хотя в предлагаемом устройстве  
для умножения двух n-разрядных  
двоичных чисел и требуется выпол-  
нить на четыре такта больше, чем  
в устройстве-прототипе, однако оно  
имеет значительно более высокое  
быстродействие, так как длитель-  
ность его такта работы сведена к  
минимуму (длительность такта рабо-  
ты предлагаемого устройства опреде-  
ляется временем записи информации  
в регистры 2,3,4,6 и временем задер- 50  
жки информации либо на блоке 11 выде-  
ления младшего разряда, либо на мат-  
рице 7 элементов И 8 и на элемен-  
тах ИЛИ 10 группы 9, либо на сумма-  
торе 5 работающем в режиме запоми- 55  
нания переносов).



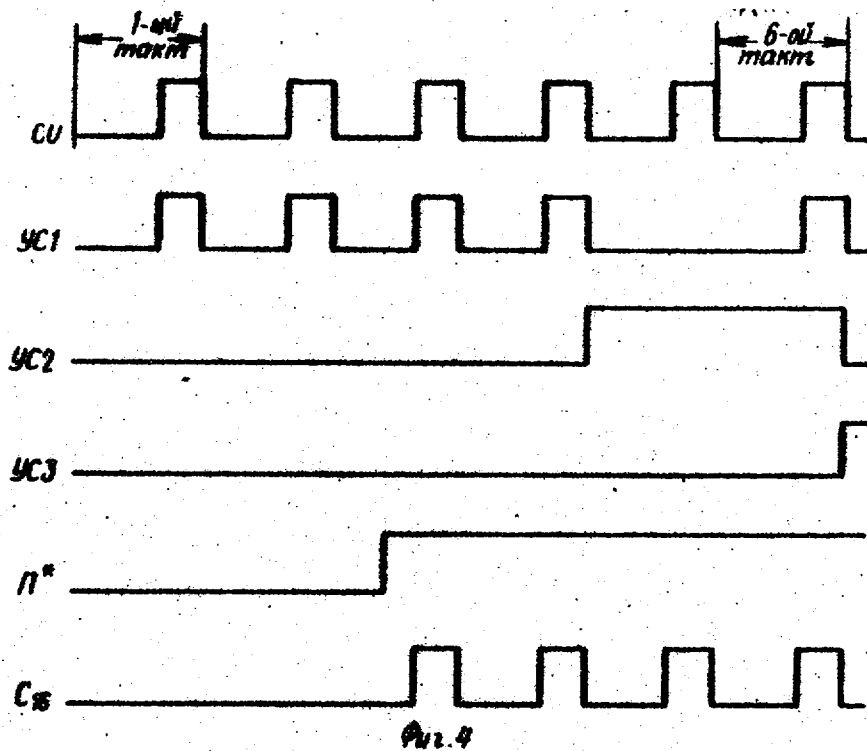


Фиг. 2



Фиг. 3





Фиг. 4

Редактор А. Долинич      Составитель А. Шостак      Корректор О. Билак  
 Техред Т. Дубинчак

Заказ 10525/36      Тираж 710      Подписное

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4