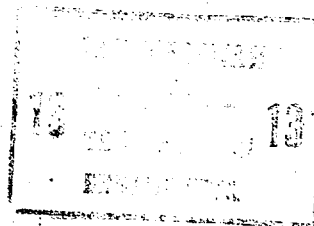




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОВРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3654665/24-24
- (22) 31.08.83
- (46) 23.02.85. Бюл. № 7
- (72) А.Т.Пешков и Л.А.Глухова
- (71) Минский радиотехнический институт
- (53) 681.325(088.8)
- (56) 1. Авторское свидетельство СССР № 840900, кл. G 06 F 7/62, 1979.
- 2. Авторское свидетельство СССР № 817703, кл. G 06 F 7/52, 1979.
- 3. Карцев А.М. Арифметика цифровых машин. М., "Наука", 1969, с.515-519 (прототип).

(54) (57) МАТРИЧНОЕ УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ, содержащее матрицу суммирующих модулей, имеющую n столбцов (n - число разрядов частного) и $(n+k-1)$ строк (k - число разрядов делимого), преобразователь избыточного кода частного в двоичный код и n анализаторов, каждый из которых содержит первый, второй, третий, четвертый и пятый элементы И, первый, второй и третий элементы ИЛИ, первый и второй элементы НЕ, причем входы переноса, суммы и делителя каждого (i, j) -го суммирующего модуля (i - номер строки матрицы, j - номер столбца матрицы), исключая $(i, 1)$ -е суммирующие модули, соединены соответственно с выходом переноса $(i+1, j-1)$ -го суммирующего модуля, выходом суммы $(i, j-1)$ -го суммирующего модуля, входом делителя $(i-1, j-1)$ -го суммирующего модуля, входы суммы и делителя $(i, 1)$ -го суммирующего модуля соединены соответственно с i -ми разрядами входов делимого и делителя

устройства, а вход вычитания - с управляющим входом деления устройства, вход переноса $(k+i-1, j)$ -го суммирующего модуля соединен с входом вычитания этого же суммирующего модуля, выходы суммы и переноса $(n+i-1, n)$ -го суммирующего модуля соединены соответственно с выходами двухрядного кода остатка устройства, выход j -го разряда частного которого соединен с выходом j -го разряда преобразователя избыточного кода частного в двоичный код, j -й информационный вход которого соединен с первым выходом j -го анализатора и с входом вычитания $(i, j+1)$ -го суммирующего модуля, вход сложения которого соединен с j -м информационным входом преобразователя избыточного кода частного в двоичный код и с вторым выходом j -го анализатора, первый, второй, третий, четвертый и пятый входы анализатора соединены соответственно с выходами переноса и суммы (i, j) -го суммирующего модуля, с выходами переноса и суммы $(i+1, j)$ -го суммирующего модуля и выходом переноса $(i+2, j)$ -го суммирующего модуля, отличающееся тем, что, с целью повышения быстродействия, в каждый j -й анализатор введены дополнительно четвертый, пятый, шестой, седьмой, восьмой, девятый элементы ИЛИ, шестой, седьмой, восьмой, девятый, десятый элементы И, третий, четвертый, пятый, шестой, седьмой, восьмой элементы НЕ, причем первый вход первого элемента ИЛИ соединен с первыми входами второго элемента ИЛИ, четвертого и восьмого

(19) SU (11) 1141402 A

элементов И и пятым входом j -го анализатора, второй вход первого элемента ИЛИ соединен с вторыми входами второго элемента ИЛИ, четвертого и восьмого элементов И и четвертым входом j -го анализатора, третий вход которого соединен с третьими входами первого и третьего элементов ИЛИ и третьего элемента И, с входом третьего элемента НЕ, вторым входом пятого элемента ИЛИ и вторым входом седьмого элемента И, первый вход которого соединен с входом четвертого элемента НЕ, с первыми входами третьего и пятого элементов ИЛИ и третьего элемента И, третьим входом второго элемента ИЛИ и вторым входом j -го анализатора, первый вход которого соединен с вторыми входами второго и шестого элементов И и первым входом первого элемента И, второй вход которого соединен с выходом первого элемента НЕ, первым входом шестого элемента И и первым входом четвертого элемента ИЛИ, второй вход которого соединен с выходом второго элемента И, первым входом которого соединен с выходом второго элемента НЕ, первым входом шестого элемента И и третьим входом первого элемента И, выход которого соединен с четвертыми входами первого и второго элементов ИЛИ, вторым входом третьего элемента ИЛИ, входом пятого элемента НЕ и первым входом седьмого элемента ИЛИ, второй вход которого соединен с выходом третьего элемента И, второй вход которого соединен с выходом четвертого элемента ИЛИ и третьим входом четвертого элемента И, четвер-

тый вход которого соединен с выходом пятого элемента ИЛИ и третьим входом восьмого элемента И, четвертый вход которого соединен с выходом шестого элемента НЕ и вторым входом десятого элемента И, первый вход которого соединен с первым входом восьмого элемента ИЛИ и выходом восьмого элемента НЕ, вход которого соединен с выходом шестого элемента ИЛИ и четвертым входом пятого элемента И, первый, второй и третий входы которого соединены соответственно с выходами первого, второго и третьего элементов ИЛИ, входы первого и второго элементов НЕ соединены соответственно с первым и вторым выходами переноса $(j-1)$ -го анализатора, выход четвертого элемента И соединен с третьим входом седьмого элемента ИЛИ, выход которого является первым выходом j -го анализатора, выход десятого элемента И соединен с первым входом девятого элемента ИЛИ, второй вход которого соединен с выходом восьмого элемента И, а выход - с вторым входом переноса $(j+1)$ -го анализатора, вход шестого элемента НЕ соединен с выходом седьмого элемента И, выходы третьего, четвертого и пятого элементов НЕ соединены соответственно с первым, вторым и третьим входами девятого элемента И, выход которого соединен с вторым входом восьмого элемента ИЛИ, выход которого соединен с первым входом переноса $(j+1)$ -го анализатора, выход пятого элемента И соединен с входом седьмого элемента НЕ, выход которого является вторым выходом j -го анализатора.

1

Изобретение относится к вычислительной технике.

Известно устройство для деления, содержащее счетчики делимого, делителя и результата, первый и второй счетчики, переключатель, два управляющих ключа, два формирователя импульсов, триггер и элемент И [1].

Недостатком устройства является малое быстродействие.

2

Известно устройство для умножения и деления последовательно-параллельного действия, содержащее преобразователь цифр множимого (делителя) в единичный код, реверсивные счетчики цифр множителя (частного), реверсивные счетчики произведения (делимого), триггер реверса произведения, n групп (n - разрядность операндов) элементов И и ИЛИ [2].

Недостатком данного устройства является низкое быстродействие, обуславливаемое последовательно-параллельным принципом выполнения операций.

Наиболее близким к предлагаемому по технической сущности является матричное устройство деления, содержащее матрицу из однотипных суммирующих модулей, расположенных по n столбцам (n - число разрядов частного) и $n+k-1$ строкам (k - число разрядов делимого), n анализаторов (детекторов), кодопреобразователь, формирующий двоичный код частного, разрядные выходы частного, разрядные выходы остатка, представляемого в виде двухрядного кода, разрядные входы кода делимого, разрядные входы делителя и управляющий вход деления, причем входы переноса, суммы и кратного делителя каждого (i, j) -го суммирующего модуля, т.е. модуля лежащего на пересечении i -й строки и j -го столбца, исключая i -й, 1 -е суммирующие модули и $(k+j-1, j)$ -е суммирующие модули соединены соответственно с выходом переноса $(i+1, j-1)$ -го суммирующего модуля, выходом суммы $(i, j-1)$ -го модуля и входом кратного делителя $(i-1, j-1)$ -го модуля, входы кратного делителя $(k+i-1, j)$ -го суммирующего модуля, вход переноса которого соединен с входом вычитания, присоединены к входу кратного делителя $(k+i-2, j-1)$ -го суммирующего модуля, входы суммы и кратного делителя $(i, 1)$ -го модуля, входы вычитания которого присоединены к управляющему входу деления, подключены соответственно к i -м разрядам, входы делимого и входа делителя матричного устройства деления, первый и второй выходы i -го разряда остатка подключены соответственно к выходу суммы и переноса $(n+i-1, n)$ -го суммирующего модуля матричного устройства деления, j -й разряд выхода частного которого присоединен к j -му разряду выхода кодопреобразователя, j -й вход "+1" которого соединен с выходом "+1" j -го анализатора и входами вычитания $(i, j+1)$ -х суммирующих модулей, вход сложения которых подключен к j -му входу "+1" кодопреобразователя и к выходу "+1" j -го анализатора, первый, второй, третий, четвертый и пятый входы которого соединены соответ-

ственно с выходами переноса и суммы (i, j) -го суммирующего модуля, с выходами переноса и суммы $(i+1, j)$ -го суммирующего модуля и выходом переноса $(i+2, j)$ -го суммирующего модуля.

Особенностью данного матричного устройства для деления является то, что в его матрице выполняется суммирование с запоминанием переноса, т.е. суммирующие модули каждого столбца формируют очередной остаток в виде двухрядного кода - кода поразрядных сумм и кода поразрядных переносов [3].

Недостатком известного устройства является малое быстродействие из-за большой задержки в анализаторе при формировании выходного сигнала "+1" или "-1" по результату анализа старших разрядов двухрядного кода остатка, полученного на предыдущем этапе деления.

Целью изобретения является повышение быстродействия матричного устройства для деления.

Поставленная цель достигается тем, что в матричном устройстве для деления, содержащем матрицу суммирующих модулей, имеющую n столбцов (n - число разрядов частного) и $(n+k-1)$ строк (k - число разрядов делимого), преобразователь избыточного кода частного в двоичный код и n анализаторов, каждый из которых содержит первый, второй, третий, четвертый и пятый элементы И, первый, второй и третий элементы ИЛИ, первый и второй элементы НЕ, причем входы переноса, суммы и делителя каждого (i, j) -го суммирующего модуля (i - номер строки матрицы, j - номер столбца матрицы), исключая $(i, 1)$ -е суммирующие модули, соединены соответственно с выходом переноса $(i+1, j-1)$ -го суммирующего модуля, выходом суммы $(i, j-1)$ -го суммирующего модуля, входом делителя $(i-1, j-1)$ -го суммирующего модуля, входы суммы и делителя $(i, 1)$ -го суммирующего модуля соединены соответственно с i -мы разрядами входов делимого и делителя устройства, а вход вычитания - с управляющим входом деления устройства, вход переноса $(k+i-1, j)$ -го суммирующего модуля соединен с входом вычитания этого суммирующего модуля, выходы суммы и переноса

($n+i-1, n$)-го суммирующего модуля - соответственно с выходами двухрядного кода остатка устройства, выход j -го разряда частного которого соединен с выходом j -го разряда преобразователя избыточного кода частного в двоичный код, j -м информационным входом соединенного с первым выходом j -го анализатора и с входом вычитания ($i, j+1$)-го суммирующего модуля, вход сложения которого соединен с j -м информационным входом преобразователя избыточного кода частного в двоичный код и с вторым выходом j -го анализатора, первый, второй, третий, четвертый и пятый входы анализатора - соответственно с выходами переноса и суммы (i, j)-го суммирующего модуля, с выходами переноса и суммы ($i+1, j$)-го суммирующего модуля и выходом переноса ($i+2, j$)-го суммирующего модуля, в каждый j -й анализатор введены дополнительно четвертый, пятый, шестой, седьмой, восьмой и девятый элементы ИЛИ, шестой, седьмой, восьмой, девятый и десятый элементы И, третий, четвертый, пятый, шестой, седьмой и восьмой элементы НЕ, причем первый вход первого элемента ИЛИ соединен с первыми входами второго элемента ИЛИ, четвертого и восьмого элементов И и пятым входом j -го анализатора, второй вход первого элемента ИЛИ - с вторыми входами второго элемента ИЛИ, четвертого и восьмого элементов И и четвертым входом j -го анализатора, третий вход которого соединен с третьими входами первого и третьего элементов ИЛИ и третьего элемента И, с входом третьего элемента НЕ, вторым входом пятого элемента ИЛИ и вторым входом седьмого элемента И, первым входом соединенного с входом четвертого элемента НЕ, с первыми входами третьего и пятого элементов ИЛИ и третьего элемента И, третьим входом второго элемента ИЛИ и вторым входом j -го анализатора, первый вход которого соединен с вторыми входами второго и шестого элементов И и первым входом первого элемента И, вторым входом соединенного с выходом первого элемента НЕ, первым входом шестого элемента И и первым входом четвертого элемента ИЛИ, второй вход которого соединен с выходом второго элемента И, первым входом соединен-

ного с выходом второго элемента НЕ, первым входом шестого элемента И и третьим входом первого элемента И, выход которого соединен с четвертыми входами первого и второго элементов ИЛИ, вторым входом третьего элемента ИЛИ, входом пятого элемента НЕ и первым входом седьмого элемента ИЛИ, второй вход которого соединен с выходом третьего элемента И, вторым входом которого соединен с выходом четвертого элемента ИЛИ и третьим входом четвертого элемента И, четвертым входом соединенного с выходом пятого элемента ИЛИ и третьим входом восьмого элемента И, четвертый вход которого соединен с выходом шестого элемента НЕ и вторым входом десятого элемента И, первым входом соединенного с первым входом восьмого элемента ИЛИ и выходом восьмого элемента НЕ, вход которого соединен с выходом шестого элемента ИЛИ и четвертым входом пятого элемента И, первый, второй и третий входы которого соединены соответственно с выходами первого, второго и третьего элементов ИЛИ, входы первого и второго элементов НЕ - соответственно с первым и вторым выходами переноса ($j-1$)-го анализатора, выход четвертого элемента И - с третьим входом седьмого элемента ИЛИ, выход которого является первым выходом j -го анализатора, выход десятого элемента И соединен с первым входом девятого элемента ИЛИ, второй вход которого соединен с выходом восьмого элемента И, а выход - с вторым входом переноса ($j+1$)-го анализатора, вход шестого элемента НЕ соединен с выходом седьмого элемента И, выходы третьего, четвертого и пятого элементов НЕ - соответственно с первым, вторым и третьим входами девятого элемента И, выход которого соединен с вторым входом восьмого элемента ИЛИ, выходом соединенного с первым входом переноса ($j+1$)-го анализатора, выход пятого элемента И соединен с входом седьмого элемента НЕ, выход которого является вторым выходом j -го анализатора.

на фиг. 1 приведена структурная схема матричного устройства для деления; на фиг. 2 - схема анализатора; на фиг. 3 - схема суммирующего модуля. Матричное устройство для деления (фиг. 1) содержит суммирующие модули 1, каждый из которых имеет входы

переноса 2, суммы 3, делителя 4, сложения 5 и вычитания 6, выходы переноса 7 и суммы 8, анализаторы 9, каждый из которых имеет первый 10, второй 11, третий 12, четвертый 13 и пятый 14 входы анализируемых разрядов остатка, первый 15 и второй 16 входы переноса, первый 17 и второй 18 выходы, первый 19 и второй 20 выходы переноса, преобразователь 21 избыточного кода частного в двоичный код, имеющий n пар информационных входов 22 и 23, 24 и 25, 26 и 27, 28 и 29 избыточного представления частного соответственно и выходы 30 - 34 двоичного кода частного, входы делителя 35 - 38 и делимого 39 - 42, выходы 43 - 50 двухрядного кода остатка соответственно, управляющий 51 вход деления.

Анализатор (фиг. 2) содержит первый 52, второй 53, третий 54, четвертый 55, пятый 56, шестой 57, седьмой 58, восьмой 59 и девятый 60 элементы ИЛИ, первый 61, второй 62, третий 63, четвертый 64, пятый 65, шестой 66, седьмой 67, восьмой 68, девятый 69 и десятый 70 элементы И, первый 71, второй 72, третий 73, четвертый 74, пятый 75, шестой 76, седьмой 77 и восьмой 78 элементы НЕ.

Суммирующий модуль (фиг. 3) содержит полный двоичный сумматор 79, первый элемент ИЛИ 80, первый 81 и второй 82 элементы И, элемент НЕ 83.

В предлагаемом устройстве используются положительные нормализованные делитель и делимое (делитель и делимое меньше единицы и не меньше 0,5), причем знаковые разряды в формировании остатка участия не принимают, обрабатываются только значащие разряды текущего остатка и кратного делителя.

При анализе старших двух разрядов кода поразрядной суммы и трех разрядов кода поразрядного переноса двухрядного кода остатка в предлагаемом устройстве выделяют следующие ситуации, определяемые видом остатка:

ненормализованный отрицательный остаток, которым считается отрицательный остаток, имеющий нулевые первый разряд кода поразрядной суммы ($S_1=0$) и второй разряд кода поразрядных переносов ($P_2=0$) (наличие $S_1=P_2=0$ с учетом младших разрядов двухрядного кода остатка может озна-

чать, что полученный остаток больше 1 или равен по модулю 0,5) - в дальнейшем такая ситуация называется ПОП-перспективным отрицательным переполнением;

нормализованный остаток, т.е. остаток, который не является ненормализованным ($ПОП=1$);

предварительно учтенный перенос ПУП, к этому виду остатка относится остаток, при вынесении решения о знаке которого был учтен перенос, который вырабатывается разрядами двухрядного кода, более младшим, чем S_1 и P_2 .

Эти ситуации определяются на j -м этапе деления, а учитываются при анализе остатка в начале $(j+1)$ -го этапа.

На каждом этапе помимо этих видов остатка анализируется первый разряд P_1 кода поразрядных переносов и по два разряда из кодов поразрядных суммы (S_1, S_2) и поразрядного переноса (P_2, P_3) двухрядного кода остатка. На основании результатов анализа вырабатывается либо сигнал - "1" в текущем разряде частного ("+"), либо сигнал "+1" в текущем разряде частного ("-"), либо сигнал "0" при отсутствии сигналов "-" и "+", а также вид ситуации для следующего этапа деления.

В таблице 1 приведены правила работы анализатора. При этом местам расположения разрядов (колонка 2) анализируемого кода соответствует

S_1, S_2

P_2, P_3

где S_1, S_2 - первый и второй старшие разряды поразрядной суммы остатка;

P_2, P_3 - второй и третий разряды кода переноса (P_2 - перенос из второго, P_3 - перенос из третьего разрядов остатка).

При составлении таблицы к числу управляемых сигналов, характеризующих остаток на предыдущем $(j-1)$ -м такте, отнесен и сигнал P_1 - перенос из первого старшего разряда остатка, сформировавшийся в начале j -го этапа деления.

Ситуации $ПОП \cdot \overline{ПУП} = 1$ характеризуются тем, что на предыдущем $(j-1)$ -м этапе остаток по модулю не больше $\frac{1}{2}$ ($ПОП=1$), поэтому при его удвоении

в начале j -го этапа он не больше по модулю 1. Это означает, что если к остатку прибавить делитель со знаком, противоположным знаку остатка (а именно так прибавляется остаток на отдельных этапах деления), то поразрядная сумма знакового разряда всегда равна 1. Поэтому в данном случае можно утверждать, что остаток положительный только тогда, когда при суммировании значащих разрядов сформируется перенос в знаковый разряд. Этот перенос может быть сгенерирован первым разрядом остатка ($P_1=1$) или же более младшими разрядами.

Учитывая это, в третьей колонке таблицы ($POP \cdot PUP \cdot P_1=1$) для всех кодов S_1, S_2, P_2, P_3 анализатор вырабатывается сигнал "-" ("+" j -го разряда частного). Кроме того, значения разрядов остатка, указанных в строках 11 - 16, не могут возникнуть, так как в противном случае будет получен остаток, больший 1.

В четвертой колонке, соответствующей ситуации $POP \cdot PUP \cdot P_1=1$, для строк 11 - 16 на основании анализируемых разрядов можно заключить, что в знаковый разряд сформирован перенос, поэтому анализатор вырабатывает сигнал "-". Для строк 11 и 12, кроме того, вырабатывается сигнал ПУП для того, чтобы перенос, сгенерированный разрядом S_2, P_2 поразрядной суммы и кода переносов, вторично не учитывался на следующем ($j-1$)-м этапе деления. Для строк 1 - 6 на основании S_1, S_2, P_2, P_3 можно заключить, что переноса в знаковый разряд не будет, т.е. остаток отрицательный, поэтому здесь вырабатывается анализатором сигнал "+" ("-" в разряде частного). Кроме того, для строк 1 - 4 имеет место ненормализованный отрицательный остаток, поэтому анализатор для этих строк вырабатывает сигнал ПОП. Для строк 7 - 10 не вырабатывается никаких сигналов (по S_1, S_2, P_2, P_3 нельзя судить о значе остатка, но этот остаток по модулю меньше 0,5). Отсутствие сигналов "+" и "-" равнозначно значению "0" в j -м разряде частного.

При случае $POP \cdot PUP=1$ на ($j-1$)-м этапе имел место ненормализованный отрицательный остаток, поэтому при его суммировании с нормализованным делителем в знаковом разряде получа-

ется поразрядная сумма, равная "0" при отрицательном общем знаке (отрицательное переполнение, если не учитывать переноса из значащих разрядов).

Поэтому в случае $POP \cdot PUP \cdot P_1$ (колонка 5), если разряды S_1S_2, P_2P_3 поразрядных суммы и кода переносов сгенерируют перенос (строки 11 - 16), то остаток (с учетом $P_1=1$) будет положительным. Поэтому анализатор для строк 11 - 16 вырабатывает сигнал "-". Кроме того, для строк 11 и 12 вырабатывается сигнал ПУП. Коды, соответствующие строкам 1 - 6, позволяют заключить, что коды S_1S_2 и P_2P_3 в знаковый разряд перенос не вырабатывают и остаток не станет положительным. Поэтому для строк 1 - 6 анализатор вырабатывает сигнал "+". Кроме того, для строк 1 - 4 вырабатывается сигнал ПОП. Для строк 7 - 10 не вырабатывается ни "+" ни "-", т.е. j -й разряд частного равен 0.

В случае, когда $POP \cdot PUP \cdot P_1=1$ (колонка 6), остаток не может быть положительным, поэтому для всех строк можно вырабатывать сигнал "+". Коды, соответствующие строкам 1 - 6, не могут иметь место, что в противном случае означало бы получение отрицательного остатка, по модулю не меньше 1. Перенос, сгенерированный разрядами $S_1S_2 \dots$ и $P_2P_3 \dots$, пройдя в знаковый разряд, обязательно обнулит 1-й значащий разряд остатка, поэтому для строк 7 - 16 анализатор вырабатывает сигнал ПОП. Кроме того, во всех перечисленных строках, кроме строк 13 - 16, необходимо выработать сигнал ПУП, чтобы запретить на следующем этапе деления учет переноса, сгенерированного разрядами $S_2 \dots, P_3 \dots$.

Если для j -го этапа имеет место $POP \cdot PUP \cdot P_1=1$, то это означает, что для нормализованного остатка на предыдущем ($j-1$)-м этапе сформирован сигнал ПУП, т.е. уже на ($j-1$)-м этапе учтен перенос P_1 , который появляется только на j -м этапе. Поэтому в этом случае разряды $S_1S_2 \dots$ и $P_2P_3 \dots$ сгенерируют перенос в знаковый разряд. Отсюда по значениям S_1S_2 и P_2P_3 можно заключить, что остаток будет положительным лишь для кодов в строках 11 - 16, поэтому анализатор для этих кодов вырабатывает сигнал "-". Кроме того, для предупреждения пов-

торного учета переноса, сгенерированного разрядами S2 и P3, для строк 11 - 12 вырабатывается ПУП. Для кодов в строках 1 - 6 можно заключить, что переноса в знаковый разряд при 5 учете S1S2..., П1П2... заведомо не будет, остаток отрицателен, поэтому для этих кодов анализатор вырабатывает сигнал "+". Кроме того, для кодов 1-4 строк вырабатывается сигнал ПОП. 10

Если имеет место ПОП·ПУП·П1=1 (колонка 8), то это означает, что учет S1S2..., П2П3... может привести только к одному переносу в знаковый разряд, чья поразрядная сумма 15 должна быть равна нулю. Поэтому перенос при учете S1S2..., П2П3... не изменит знак остатка, который отрицателен. Поэтому для кодов всех строк здесь можно вырабатывать анализатором сигнал "+". Однако в ситуации ПОП·ПУП·П1=1 коды строк 1 - 6 невозможны (остаток не может быть по модулю больше или равен 1), т.е. анализатор может вырабатывать сигнал "+" только для строк 7 - 16. Кроме того, перенос, проходя в знаковый разряд, обязательно обнуляет первый значащий разряд, поэтому для всех строк 7-16 вырабатывается еще и сигнал ПОП. Для предотвращения учета на следующем этапе переноса, сгенерированного от учета разрядов S2... и P3..., для предотвращения учета на следующем этапе переноса, сгенерированного от учета разрядов S2... и P3..., для кодов строк 7-12, формируется сигнал ПУП. 20

Случай, когда ПУП·П1=1, исключены из-за особенности представления делителя, делимого и способа формирования остатка также исключен. Обуславливается это тем, что из отрицательного остатка, не превышающего 1/4, делитель никогда не вычитается. 25

Таким образом, анализатор на основании таблицы 1 формирует свои выходные сигналы в виде следующих логических выражений:

$$"-1" = (P3 + S2 + P2 + \overline{ПОП} \cdot \overline{ПУП} \cdot \overline{П1}) (P3 + S2 + S1 + \overline{ПОП} \cdot \overline{ПУП} \cdot \overline{П1}) + (S1 + P2 + \overline{ПОП} \cdot \overline{ПУП} \cdot \overline{П1}) \cdot (\overline{ПОП} + \overline{ПУП} \cdot \overline{П1});$$

$$"+1" = P3 \cdot S2 (S1 + P2) \cdot (П1 \cdot \overline{ПУП} + \overline{ПОП}) + S1 \cdot П2 \cdot (П1 \cdot \overline{ПУП} + \overline{ПОП}) + П1 \cdot \overline{ПОП} \cdot \overline{ПУП};$$

$$ПОП = (\overline{ПОП} + \overline{ПУП} \cdot \overline{П1}) + П2 \cdot S1 \cdot \overline{ПОП} \cdot \overline{ПУП} \cdot \overline{П1};$$

$$ПУП = (\overline{ПОП} + \overline{ПУП} \cdot \overline{П1}) S1 \cdot П2 + S2 \cdot П3 \cdot S1 \cdot \overline{П2} (S1 + П2).$$

Суммирующий модуль предлагаемого устройства обеспечивает суммирование

разряда переноса и разряда суммы, поступающих соответственно на входы 2 и 3 прямым, если есть сигнал на входе 5 сложения, или инверсным, если есть сигнал на входе 6 вычитания, значением разряда делителя, поступающего на вход 4. 5

Предлагаемое матричное устройство для деления работает следующим образом (для случая 4-разрядных делителя, делимого и частного, т.е. n=4, k=4). 10

В исходном состоянии на входы делителя 35 - 38 и делимого 39 - 42 (фиг. 1) подаются соответствующие разряды (только значащие без знакового разряда или разряда целой части). Далее подается сигнал на управляющий вход 51 деления. Делитель вычитается из делимого на суммирующих модулях 1 первого (левого столбца), и на выходах 7 и 8 этих суммирующих модулей формируется двухрядный код остатка. На этом заканчивается выполнение нулевого этапа. 15

На первом этапе старшие разряды двухрядного кода остатка П1, П2, П3 и S1, S2 поступают на первый - пятый входы 10 - 14 анализатора. На входы 15 (ПОП) и 16 (ПУП) переноса первого анализатора сигналы не подаются (делимое нормализовано, и переносы на нулевом этапе предварительно не учитывались), поэтому этот анализатор вырабатывает сигналы на своих выходах 17 - 20 (соответственно "-1", "+1", выходные сигналы ПОП, ПУП) только на основании П1, П2, П3 и S1, S2. 20

В зависимости от сигналов на выходах 17 и 18 во втором столбце суммирующих модулей 1 (фиг. 1) выполняется прибавление или вычитание из двухрядного кода остатка сдвинутого делителя (если нет сигналов на обоих выходах 17 и 18, то к остатку прибавляется код нуля). 25

Таким образом, с задержкой, определяемой временем срабатывания суммирующих модулей 1 на выходах суммы 8 и переноса 7 суммирующих модулей 1 второго столбца матрицы (фиг. 1) будет сформирован двухрядный код остатка для выполнения следующего этапа деления. 30

Второй этап и последующие деления выполняются аналогично первому с той лишь разницей, что соответствующие анализаторы при выработке с выходных сигналов учитывают кроме сигналов на их первом - пятом входах (значе-

ния П1, П2, П2, S1, S2 двухрядного кода остатка) на предыдущем этапе и сигналы на их входах (перспективное отрицательное переполнение 15 и предварительно учтенный перенос 16), которые поступают от анализатора, использованного на предыдущем этапе деления.

После выполнения последнего этапа деления (для схемы на фиг. 1 четвертого этапа) преобразователь избыточного кода частного в двоичный код осуществляет переход от избыточного кода, сформированного анализатором, где каждая двоичная цифра принимает значение "+1", "0" или "-1", к двоичному коду.

Выигрыш в быстродействии в предлагаемом устройстве по сравнению с известным обуславливается следующим.

В известном устройстве формирование в анализаторе выходных сигналов "+1" или "-1" осуществляется практически в два этапа: на основании двух знаковых разрядов и трех старших значащих разрядов двухрядного кода остатка, полученного на предыдущем этапе, формируется однорядный код знако-

вых и двух старших разрядов остатка (этот этап выполняется путем суммирования кодов поразрядных суммы и переносов с распространением переноса); анализируются полученные четыре разряда и вырабатывается сигнал "+1" или "-1".

В предлагаемом устройстве решение о выработке на выходе j-го анализатора сигнала "+1" или "-1" формируется за счет непосредственного анализатора кода двух старших разрядов поразрядной суммы S1, S2 трех старших разрядов кода поразрядных переносов П1, П2, П3 и учета сигналов перспективного отрицательного переполнения и предварительно учтенного переноса, сформированных (j-1)-м анализатором.

Помимо выигрыша в быстродействии в предлагаемом устройстве меньше затраты оборудования, так как в нем используется более простой анализатор при сохранении сложности всех остальных блоков.

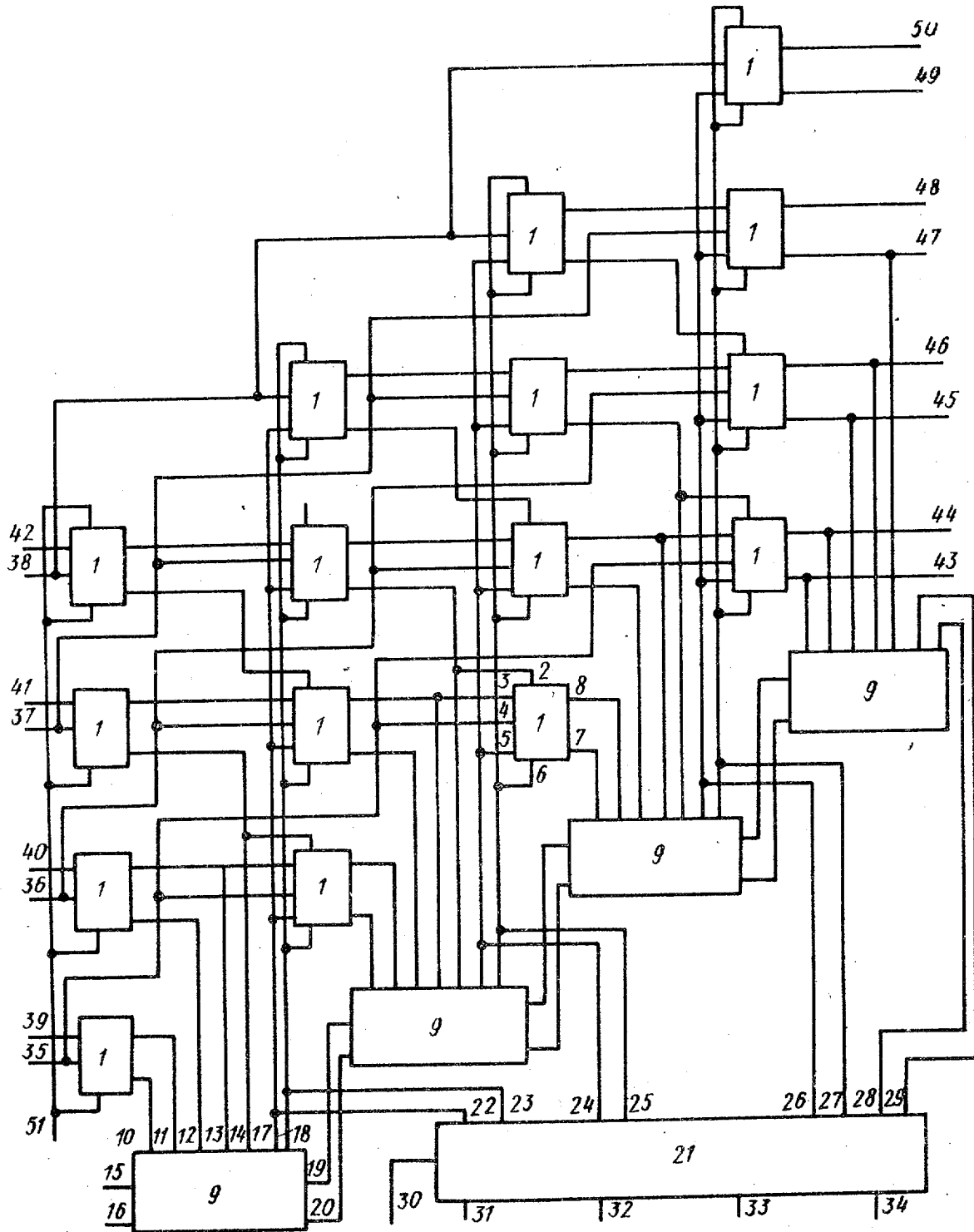
Таким образом, предлагаемое матричное устройство для деления как по быстродействию так и по оборудованию превосходит известное.

№ п/п	S1S2 П2П3	ПОП·ПУП·П1	ПОП·ПУП·П1	ПОП·ПУП·П1	ПОП·ПУП·П1	ПОП·ПУП·П1	ПОП·ПУП·П1
1	2	3	4	5	6	7	8

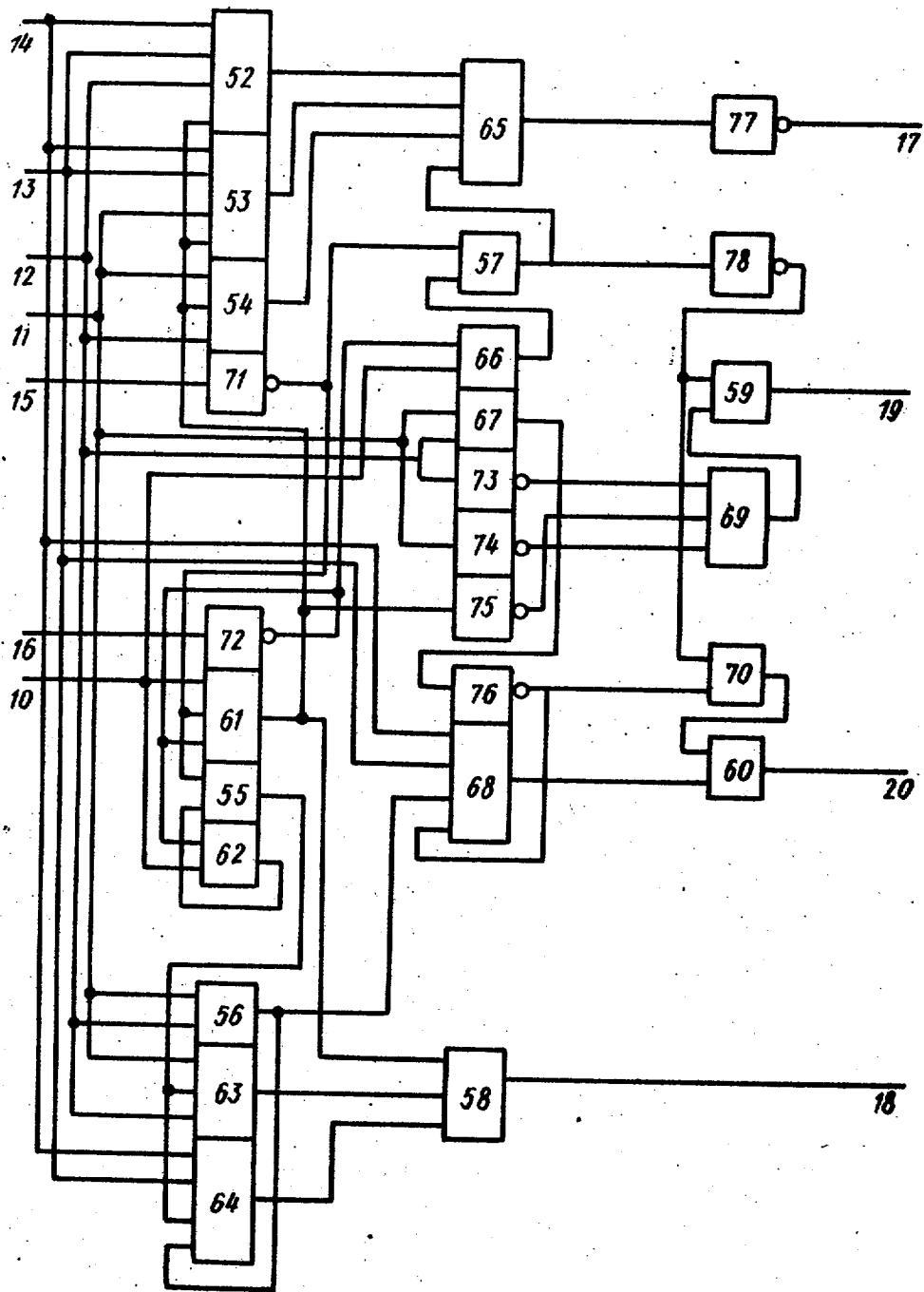
1	00	"-"	"+", ПОП	"+", ПОП	-	"+", ПОП	-
2	01	"-"	"+", ПОП	"+", ПОП	-	"+", ПОП	-
3	00	"-"	"+", ПОП	"+", ПОП	-	"+", ПОП	-
4	01	"-"	"+", ПОП	"+", ПОП	-	"+", ПОП	-
5	10	"-"	"+"	"+"	-	"+"	-
	00						

Продолжение таблицы

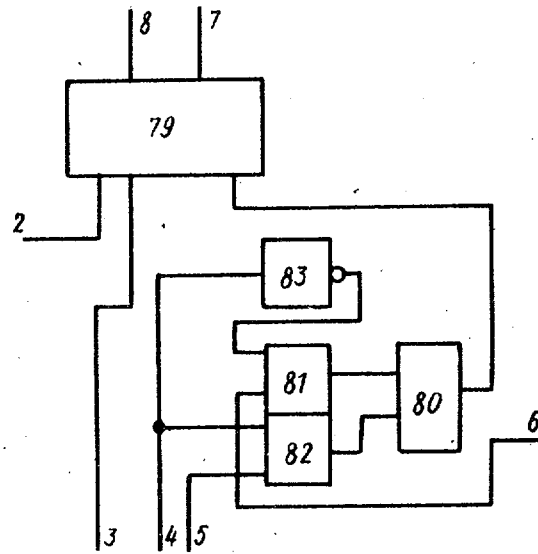
1	2	3	4	5	6	7	8
6	00	"_"	"+"	"+"	-	"+"	-
7	11	"_"	-	-	"+", ПОП, ПУП	-	"+", ПОП, ПУП
8	10	"_"	-	-	"+", ПОП, ПУП	-	"+", ПОП, ПУП
9	01	"_"	-	-	"+", ПОП, ПУП	-	"+", ПОП, ПУП
10	00	"_"	-	-	"+", ПОП, ПУП	-	"+", ПОП, ПУП
11	11	-	"_", ПУП	"_", ПОП	"+", ПОП, ПУП	"_", ПУП	"+", ПОП, ПУП
12	01	-	"_", ПУП	"_", ПУП	"+", ПОП, ПУП	"_", ПУП	"+", ПОП, ПУП
13	10	-	"_"	"_"	"+", ПОП	"_"	"+", ПОП
14	10	-	"_"	"_"	"+", ПОП	"_"	"+", ПОП
15	11	-	"_"	"_"	"+", ПОП	"_"	"+", ПОП
16	11	-	"_"	"_"	"+", ПОП	"_"	"+", ПОП



Фиг. 1



Фиг. 2



фиг. 3

Составитель Е. Захарченко
 Редактор В. Данко Техред М. Кузьма Корректор Г. Решетник

Заказ 496/36 Тираж 710 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4