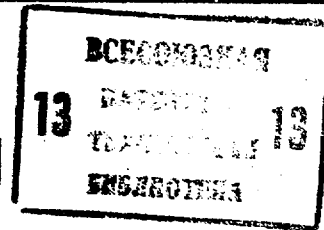




4 (5D) Н 03 К 3/84

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3561797/24-21

(22) 09.03.83

(46) 15.03.85. Бюл. № 10

(72) В.Н. Ярмолик

(71) Минский радиотехнический институт

(53) 621.374.2 (088.8)

(56) 1. Яковлев В.В., Федоров Р.Ф. Вероятностные вычислительные машины. Л., "Машиностроение", 1974, с. 254, рис. 118.

2. Авторское свидетельство СССР № 527012, кл. Н 03 К 3/00, 1974.

(54)(57) ФОРМИРОВАТЕЛЬ КОДОВ, содержащий генератор тактовых импульсов, первую группу сумматоров по модулю два, выходы которых соединены с входами блока индикаторов, регистр сдвига с обратными связями и блок памяти, отличающийся тем, что, с целью повышения быстродействия формирователя кодов, он дополнительно содержит первый, второй, третий и четвертый элементы И, вторую и третью группы сумматоров по модулю два, первый, второй и третий регистры сдвига, первый, второй, третий, четвертый, пятый и шестой блоки тумблеров, первый, второй, третий и четвертый элементы ИЛИ, первую и вторую матрицы элементов И, первую, вторую, третью и четвертую группы элементов И, первую и вторую группы D-триггеров, группу элементов ИЛИ, блок регистров сдвига, группу переключателей, генератор одиночных импульсов, элемент индикации, элемент НЕ, выход которого соединен с первым входом первого элемента И и первым входом чет-

вертого элемента И, выход которого соединен с первыми входами элементов И второй группы, вторые входы элементов И второй группы соединены с соответствующими выходами блока памяти, первая группа входов которого соединена с выходами шестого блока тумблеров, вторая группа входов блока памяти соединена с выходами первой группы сумматоров по модулю два, вторыми входами соответствующих элементов И первой группы и соответствующими информационными входами D-триггеров первой группы, установочные входы D-триггеров первой группы соединены с выходами пятого блока тумблеров и установочными входами D-триггеров второй группы, информационные входы D-триггеров второй группы соединены с соответствующими выходами элементов ИЛИ группы, первые входы элементов ИЛИ группы соединены с соответствующими выходами элементов И второй группы, вторые входы элементов ИЛИ группы соединены с соответствующими выходами элементов И первой группы, вторые входы элементов И первой группы соединены с выходом второго элемента ИЛИ и первым входом третьего элемента И, второй вход которого соединен с входом синхронизации блока памяти, вторым входом первого элемента И, входом синхронизации второго регистра сдвига, входом синхронизации первого регистра сдвига и выходом генератора тактовых импульсов, вход которого соединен с входом элемента индикации и выходом

(19) SU (11) 1145469 A

четвертого элемента ИЛИ, входы которого соединены с соответствующими выходами третьего регистра сдвига, выход последнего разряда которого соединен с вторым входом четвертого элемента И и первым входом второго элемента И, второй вход которого соединен с входом синхронизации третьего регистра сдвига и выходом первого элемента И, выход второго элемента И соединен с первым входом первого элемента ИЛИ, второй вход которого соединен с выходом третьего элемента И, выход первого элемента ИЛИ соединен с входами синхронизации D-триггеров первой и второй групп, выходы D-триггеров второй группы соединены с соответствующими входами первой группы входов первой матрицы элементов И, выходы D-триггеров первой группы соединены с соответствующими входами второй группы входов первой матрицы элементов И, выходы первой группы которой соединены с соответствующими входами первой группы входов второй матрицы элементов И, выходы второй группы выходов первой матрицы элементов И через вторую группу сумматоров по модулю два соединены с соответствующими входами второй группы входов второй матрицы элементов И, выходы которой соединены с соответствующими входами первой группы входов первой группы сумматоров по модулю два, выходы третьей группы выходов первой матрицы элементов И через третью груп-

пу сумматоров по модулю два соединены с соответствующими входами второй группы входов первой группы сумматоров по модулю два, четвертый выход первой матрицы элементов И соединен с третьим входом первой группы сумматоров по модулю два, третья группа входов второй матрицы элементов И соединена с соответствующими выходами блока регистров сдвига, информационные входы которых соединены с соответствующими выходами элементов И третьей группы, входы синхронизации регистров сдвига блока соединены с соответствующими выходами элементов И четвертой группы, первые входы элементов И третьей и четвертой групп соединены с соответствующими переключателями группы, вторые входы элементов И третьей группы соединены с выходом регистра сдвига с обратными связями, вход которого соединен с выходом генератора одиночных импульсов и вторыми входами элементов И четвертой группы, установочные входы регистра сдвига с обратными связями соединены с выходами четвертого блока тумблеров, установочные входы первого, второго и третьего регистров сдвига соединены с выходами первого, второго и третьего блоков тумблеров соответственно, выходы первого и второго регистров сдвига соединены с входами второго и третьего элементов ИЛИ соответственно, выход третьего элемента ИЛИ соединен с входом элемента НЕ.

1

2

Изобретение относится к импульсной технике.

Известен генератор псевдослучайных чисел, содержащий m -разрядный регистр сдвига с сумматором по модулю два в цепи обратной связи регистра сдвига и группу многоходовых сумматоров по модулю два, соединенных с выходами триггеров регистра сдвига [1].

Указанный генератор не позволяет определить коды, обуславливающие

топологию связей m -входового сумматора по модулю два, на выходе которого получается копия исходной псевдослучайной последовательности, сдвинутая на требуемое количество тактов.

Наиболее близким к предлагаемому является устройство для формирования сдвинутых копий псевдослучайного сигнала, состоящее из генератора тактовых импульсов, первого элемента Запрет, регистра сдвига с

обратной связью, дешифратора, второго элемента Запрет, счетчика, блоков памяти, сумматоров по модулю два и индикаторов [2].

Используя данное устройство, можно определять коды топологии связей m -входного сумматора по модулю два, на выходе которого получается копия исходной псевдослучайной последовательности, сдвинутая на требуемое количество тактов, когда в цепи обратной связи регистра сдвига включен многовходной сумматор по модулю два. Однако устройство имеет низкое быстродействие, так как для определения кодов, определяющих топологию связей многовходного сумматора по модулю два, необходимо выполнить ℓ элементарных тактов работы, (где ℓ - требуемый сдвиг псевдослучайной последовательности).

Цель изобретения - повышение быстродействия устройства.

Поставленная цель достигается тем, что формирователь кодов, содержащий генератор тактовых импульсов, первую группу сумматоров по модулю два, выходы которых соединены с входами блока индикаторов, регистр сдвига с обратными связями и блок памяти, дополнительно содержит первый, второй, третий и четвертый элементы И, вторую и третью группы сумматоров по модулю два, первый, второй и третий регистры сдвига, первый, второй, третий, четвертый, пятый и шестой блоки тумблеров, первый, второй, третий и четвертый элементы ИЛИ, первую и вторую матрицы элементов И, первую, вторую, третью и четвертую группы элементов И, первую и вторую группы D-триггеров, группу элементов ИЛИ, блок регистров сдвига, группу переключателей, генератор одиночных импульсов, элемент индикации, элемент НЕ, выход которого соединен с первым входом первого элемента И и первым входом четвертого элемента И, выход которого соединен с первыми входами элементов И второй группы, вторые входы элементов И второй группы соединены с соответствующими выходами блока памяти, первая группа входов которого соединена с выходами шестого блока тумблеров, вторая группа входов блока памяти соединена с выходами первой группы сумма-

торов по модулю два, вторыми входами соответствующих элементов И первой группы и соответствующими информационными входами D-триггеров, первой группы, установочные входы D-триггеров первой группы соединены с выходами пятого блока тумблеров и установочными входами D-триггеров второй группы, информационные входы D-триггеров второй группы соединены с соответствующими выходами элементов ИЛИ группы, первые входы элементов ИЛИ группы соединены с соответствующими выходами элементов И второй группы, вторые входы элементов ИЛИ группы соединены с соответствующими выходами элементов И первой группы, вторые входы элементов И первой группы соединены с выходом второго элемента ИЛИ и первым входом третьего элемента И, второй вход которого соединен с входом синхронизации блока памяти, вторым входом первого элемента И, входом синхронизации второго регистра сдвига, входом синхронизации первого регистра сдвига и выходом генератора тактовых импульсов, вход которого соединен с входом элемента индикации и выходом четвертого элемента ИЛИ, входы которого соединены с соответствующими выходами третьего регистра сдвига, выход последнего разряда которого соединен с вторым входом четвертого элемента И и первым входом второго элемента И, второй вход которого соединен с входом синхронизации третьего регистра сдвига и выходом первого элемента И, выход второго элемента И соединен с первым входом первого элемента ИЛИ, второй вход которого соединен с выходом третьего элемента И, выход первого элемента ИЛИ соединен с входами синхронизации D-триггеров первой и второй групп, выходы D-триггеров второй группы соединены с соответствующими входами первой группы входов первой матрицы элементов И, выходы D-триггеров первой группы соединены с соответствующими входами второй группы входов первой матрицы элементов И, выходы первой группы которой соединены с соответствующими входами первой группы входов второй матрицы элементов И, выходы второй группы выходов первой матрицы элементов И

через вторую группу сумматоров по модулю два соединены с соответствующими входами второй группы входов второй матрицы элементов И, выходы которой соединены с соответствующими входами первой группы входов первой группы сумматоров по модулю два, выходы третьей группы входов первой матрицы элементов И через третью группу сумматоров по модулю два соединены с соответствующими входами второй группы входов первой группы сумматоров по модулю два, четвертый выход первой матрицы элементов И соединен с третьим входом первой группы сумматоров по модулю два, третья группа входов второй матрицы элементов И соединена с соответствующими выходами блока регистров сдвига, информационные входы которых соединены с соответствующими выходами элементов И третьей группы, входы синхронизации регистров сдвига блока соединены с соответствующими выходами элементов И четвертой группы, первые входы элементов И третьей и четвертой групп соединены с соответствующими переключателями группы, вторые входы элементов И третьей группы соединены с выходом регистра сдвига с обратными связями, вход которого соединен с выходом генератора одиночных импульсов и вторыми входами элементов И четвертой группы, установочные входы регистра сдвига с обратными связями соединены с выходами четвертого блока тумблеров, установочные входы первого, второго и третьего регистров сдвига соединены с выходами первого, второго и третьего блоков тумблеров соответственно, выходы первого и второго регистров сдвига соединены с входами второго и третьего элементов ИЛИ соответственно, выход третьего элемента ИЛИ соединен с входом элемента НЕ.

На фиг.1 приведена структурная схема устройства; на фиг.2 - первая и вторая группы D-триггеров, первая и вторая матрицы элементов И, первая, вторая и третья группы сумматоров по модулю два и два формирователя кодов; на фиг.3 - блок памяти формирования кодов; на фиг.4 - регистр сдвига формирователя кодов; на фиг.5 - блок тумблеров формирователя кодов; на фиг.6 - первая

и вторая группы элементов И и группа элементов ИЛИ формирователя кодов; на фиг.7 - группа переключателей, третья и четвертая группы элементов И и блок регистров сдвига формирователя кодов; на фиг.8 - регистр сдвига и генератор одиночных импульсов формирователя кодов.

Формирователь кодов (фиг.1) содержит генератор 1 тактовых импульсов, первую группу 2 сумматоров по модулю два, выходы которых соединены с входами блока 3 индикаторов, регистр 4 сдвига с обратными связями, блок 5 памяти, первый 6, второй 7, третий 8 и четвертый 9 элементы И, вторую 10 и третью 11 группы сумматоров по модулю два, первый 12, второй 13 и третий 14 регистры сдвига, первый 15, второй 16, третий 17, четвертый 18, пятый 19 и шестой 20 блоки тумблеров, первый 21, второй 22, третий 23 и четвертый 24 элементы ИЛИ, первую 25 и вторую 26 матрицы элементов И, первую 27, вторую 28, третью 29 и четвертую 30 группы элементов И, первую 31 и вторую 32 группы D-триггеров, группу 33 элементов ИЛИ, блок 34 регистров сдвига, группу 35 переключателей, генератор 36 одиночных импульсов, элемент 37 индикации, элемент НЕ 38, выход которого соединен с первым входом первого элемента И 6 и первым входом четвертого элемента И 9, выход которого соединен с первыми входами элементов И второй группы 28, вторые входы элементов И второй группы 28 соединены с соответствующими выходами блока 5 памяти, первая группа входов которого соединена с выходами шестого блока 20 тумблеров, вторая группа входов блока 5 памяти соединена с выходами первой группы 2 сумматоров по модулю два, вторыми входами соответствующих элементов И первой группы 27 и соответствующими информационными входами D-триггеров первой группы 31, установочные входы D-триггеров первой группы 31 соединены с выходами пятого блока 19 тумблеров и установочными входами D-триггеров второй группы 32, информационные входы D-триггеров второй группы 32 соединены с соответствующими выходами элементов ИЛИ группы 33, первые

входы элементов ИЛИ группы 33 соединены с соответствующими выходами элементов И второй группы 28, вторые входы элементов ИЛИ группы 33 соединены с соответствующими выходами элементов И первой группы 27, вторые входы элементов И первой группы 27 соединены с выходом второго элемента ИЛИ 22 и первым входом третьего элемента И 8, второй вход которого соединен с входом синхронизации блока 5 памяти, вторым входом первого элемента И 6, входом синхронизации второго регистра 13 сдвига, входом синхронизации первого регистра 12 сдвига и выходом генератора 1 тактовых импульсов, вход которого соединен с входом элемента 37 индикации и выходом четвертого элемента ИЛИ 24, входы которого соединены с соответствующими выходами третьего регистра 14 сдвига, выход последнего разряда которого соединен с вторым входом четвертого элемента И 9 и первым входом второго элемента И 7, второй вход которого соединен с входом синхронизации третьего регистра 14 сдвига с выходом первого элемента И 6, выход второго элемента И 7 соединен с первым входом первого элемента ИЛИ 21, второй вход которого соединен с выходом третьего элемента И 8, выход первого элемента ИЛИ 21 соединен с входами синхронизации D-триггеров первой 31 и второй 32 групп, выходы D-триггеров второй группы 32 соединены с соответствующими входами первой группы входов первой матрицы 25 элементов И, выходы D-триггеров первой группы 31 соединены с соответствующими входами второй группы входов первой матрицы 25 элементов И, выходы первой группы которой соединены с соответствующими входами первой группы входов второй матрицы 26 элементов И, выходы второй группы выходов первой матрицы 25 элементов И через вторую группу 10 сумматоров по модулю два соединены с соответствующими входами второй группы входов второй матрицы 26 элементов И, выходы которой соединены с соответствующими входами первой группы входов первой группы 2 сумматоров по модулю два, выходы третьей группы выходов первой матрицы 25 элементов И через третью

группу 11 сумматоров по модулю два соединены с соответствующими входами второй группы входов первой группы 2 сумматоров по модулю два, четвертый выход первой матрицы 25 элементов И соединен с третьим входом первой группы 2 сумматоров по модулю два, третья группа входов второй матрицы 26 элементов И соединена с соответствующими выходами блока 34 регистров сдвига, информационные входы которых соединены с соответствующими выходами элементов И третьей группы 29, входы синхронизации регистров сдвига блока 34 соединены с соответствующими выходами элементов И четвертой группы 30, первые входы элементов И третьей 29 и четвертой 30 групп соединены с соответствующими переключателями группы 35, вторые входы элементов И третьей группы 29 соединены с выходом регистра 4 сдвига с обратными связями, вход которого соединен с выходом генератора 36 одиночных импульсов и вторыми входами элементов И четвертой группы 30, установочные входы регистра 4 сдвига с обратными связями соединены с выходами четвертого блока 18 тумблеров, установочные входы первого 12, второго 13 и третьего 14 регистров сдвига соединены с выходами первого 15, второго 16 и третьего 17 блоков тумблеров соответственно, выходы первого 12 и второго 13 регистров сдвига соединены с входами второго 22 и третьего 23 элементов ИЛИ соответственно, выход третьего элемента ИЛИ 23 соединен с входом элемента НЕ 38.

Формирователь кодов работает следующим образом.

Исходной информацией для получения кодов, определяющих топологию связей многовходового сумматора по модулю два, является величина сдвига l , представленная в двоичной системе исчисления:

$$l = d_{n+1} 2^n + d_n 2^{n-1} + \dots + d_3 2^2 + d_2 2^1 + d_1 2^0, \quad (1)$$

где $d_{n+1} = 1$; $d_i \in \{0, 1\}$ ($i = \overline{1, n}$) — двоичные цифры числа l и, кроме того, M — последовательность в виде значения m и коэффициентов $d_i \in \{0, 1\}$ ($i = \overline{1, m}$) определяющих вид полинома, для

которой необходимо сформировать сдвинутую копию.

Используя блоки 15, 17, 16, 19, 20, 18, 36, 29, 30, 35 и 34, устройство подготавливается к работе. При этом выполняются следующие операции. Код числа ℓ (двоичный) с помощью блоков 15 и 17 из $(m-1)$ тумблеров записывается на $(m-1)$ -е разрядные регистры 12 и 14 (фиг.4). Аналогичным образом с помощью блока 16 из $(m-2)$ тумблеров код 100...000 записывается на $(m-2)$ -й разрядный регистр 13 сдвига. Запись кода на регистр осуществляется в два этапа: набор кода на тумблерном наборе и непосредственно запись кода под управлением генератора одиночных импульсов, входящего в состав блоков 15, 17, 16, 19, 20 и 18 (фиг.5). Значение коэффициента α_i ($i = \overline{1, m}$) записывается на D-триггеры двух групп 31 и 32 по m D-триггеров с помощью тумблерного набора блока 19 из тумблеров аналогично записи значения величины ℓ . Коэффициенты α_i ($i = \overline{1, m}$) записываются в блок 5 памяти как первое из $(m-2)$ -х m -разрядных слов, хранимых в блоке 5. Запись осуществляется с помощью блока 20 аналогично записи величины ℓ . При этом учитывается, что α_i и $\alpha_i(1)$ ($i = \overline{1, m}$) равны между собой и составляют коды, определяющие топологию соединения сумматора по модулю два с разрядами сдвига, на выходе которого получается заданная на один такт M -последовательность.

С помощью блока 18 из m тумблеров на регистр 4 сдвига с обратными связями записывается код 000...001, а первый переключатель из группы 35 (фиг.7) устанавливается в единичное положение, разрешая прохождение информации через первый элемент И группы 29 на D-вход первого регистра блока 34, а также прохождение управляющих импульсов через первый элемент И группы 30 на C-вход первого регистра блока 34. Все остальные переключатели группы 35 устанавливаются в нулевое положение.

После нажатия кнопки генератора 36 одиночных импульсов с выхода регистра 4 (фиг.8) значение $V_{1,1} = 1$ записывается в $(m-1)$ -й разряд пер-

вого регистра блока 34. Кроме того, под действием этого импульса состояние регистра 4 сдвига изменяется и становится равным 100...00. По приходу следующего импульса с выхода генератора 36 одиночных импульсов на первом регистре блока 34 будет записан код 000...00 $V_{1,1}, V_{1,2}$ а на регистре 4 - $V_{1,2}, V_{1,1}, 00...00$. По истечении $(m-1)$ -го такта под действием управляющих импульсов с выхода генератора 36 на первом регистре блока 34 сформируется вектор кодов $V_{1,1}, V_{1,2}, V_{1,3}, \dots, V_{1,m-1}$. Формирование кодов в регистре 4 можно описать системой уравнений:

$$V_{1,1} = 1$$

$$V_{1,c} = \sum_{i=1}^{c-1} \alpha_{m-i} V_{1,c-i} \quad (C = \overline{2, m-1}) \quad (2)$$

Для формирования кодов $V_{r,c} \in \{0,1\}$ ($r = \overline{2, m}$) на регистр 4 сдвига с обратными связями записывается начальный код, как и в случае, когда $r = 1$, и под управлением генератора 36 одиночных импульсов и группы 35 переключателей на r -й регистр сдвига блока 34 записывается вектор кодов $\vec{V}_{r,c} = V_{r,1}, V_{r,2}, V_{r,3}, \dots, V_{r,m-1}$. Аналитически формирование коэффициентов описывается уравнениями (3) и (4)

$$V_{r,1} = \alpha_{r-1}$$

$$V_{r,c} = \alpha_{r-1} \oplus \sum_{i=1}^{c-1} \alpha_{m-i} V_{r,c-i} \quad (C = \overline{2, r-1});$$

$$V_{r,r} = 1 \oplus \sum_{i=1}^{r-1} \alpha_{m-i} V_{r,r-i} \quad (3)$$

$$V_{r,c} = \sum_{i=1}^{c-1} \alpha_{m-i} V_{r,c-i} \quad (C = \overline{r+1, m-1}; r = \overline{2, m-1});$$

$$V_{m,1} = \alpha_{m-1} \quad (4)$$

$$V_{m,c} = \alpha_{m-c} \oplus \sum_{i=1}^{c-1} \alpha_{m-i} V_{m,c-i} \quad (C = \overline{2, m-1})$$

Например, для случая, когда $m = 4, \alpha_1 = 1, \alpha_2 = 0, \alpha_3 = 0, \alpha_4 = 1$, получают ($i = \overline{1, 4}, r = \overline{1, 4}, C = \overline{1, 3}$) значения V_{rc}

r/c	1	2	3
1	2	3	4
1	1	0	0
2	1	1	0

1	2	3	4
3	0	1	1
4	0	0	1

Таким образом, в результате простейших операций, выполняемых в блоках 18, 36, 35, 34, 4, 29 и 30, на регистрах сдвига блока регистров сдвига формируются значения кодов $B_{r,c}(2) - (4)$, подаваемых на входы матрицы 26 ($m \times m-1$) элементов И.

После выполнения подготовительных операций переключатель генератора 1 тактовых импульсов переключается в положение, обеспечивающее генерирование тактовых импульсов, так как при этом на вход блока 1 поступает единичный сигнал с выхода $(m-3)$ -входного элемента ИЛИ 24.

На D-триггерах первой и второй групп 31 и 32 предварительно были записаны значения $d_i(1) = d_i$ с помощью блока 19 тумблеров.

Перед включением генератора тактовых импульсов на выходе комбинационной части предлагаемого устройства, состоящей из блоков 25, 11, 10, 26 и 2 (на выходах группы 2), устанавливаются значения единицы или нуля в зависимости от содержания D-триггеров групп 31 и 32. Таким образом, на выходах группы сумматоров 2 по модулю два формируются значения кодов $\sigma_i(2)$, так как для случая, когда $\alpha_i = \beta_i$ (где α_i и β_i - содержимое i -го D-триггера групп 31 и 32), выходные значения комбинационной части устройства (блоки 25, 11, 10, 26 и 2) определяются согласно следующей системе логических уравнений:

$$\sigma_n(2S) = \sigma_{(n+1)/2}^1(S) \oplus \sum_{i=1}^{m/2} B_{n,2i-1} \sigma_{m/2+i}^1(S),$$

n - нечетно

$$\sigma_n(2S) = \sum_{i=1}^{m/2} B_{n,2i-1} \sigma_{m/2+i}^1(S), \quad (5)$$

n - четно, m - четно ($n = \overline{1, m}$),

$$\sigma_n(2S) = \sigma_{(n+1)/2}^1(S) \oplus \sum_{i=1}^{(m-1)/2} B_{n,2i} \sigma_{(m+1)/2+i}^1(S),$$

n - нечетно

$$\sigma_n^1(2S) = \sum_{i=1}^{(m-1)/2} B_{n,2i} \sigma_{(m+1)/2+i}^1(S), \quad (6)$$

5 n - четно, m - нечетно ($m = \overline{1, m}$).

Аналитические выражения (5) и (6) описывают функционирование комбинационных схем 25, 11, 10, 26 и 2.

Численное значение $\sigma_i(2)$ определяется на основании $\sigma_i(1)$ с использованием коэффициентов $B_{r,c}$, предварительно записанных на регистры сдвига блока 34.

10 По приходу первого импульса с выхода генератора 1 в первую ячейку блока 5 памяти записываются коэффициенты $\sigma_i(2)$ ($i = \overline{1, m}$) а из первой ячейки памяти во вторую переписываются коды $\sigma_i(1) = d_i$ (фиг. 1 и 3).

20 Коэффициенты $\sigma_i(2)$ поступают на вход блока 5 памяти с выходов группы 2. Под действием первого импульса, поступающего с выхода генератора 1, информация в регистрах 12 и 13 сдвигается на один разряд (фиг. 4). Первый импульс не проходит через элемент И 6, так как на его второй вход поступает запрещающий сигнал с выхода элемента НЕ

30 38. Это объясняется тем, что на выходе элемента 23 в течение первых $(m-2)$ -х тактов будет единичный сигнал И, наконец, первый импульс с

35 выхода генератора 1, поступающий на С-входы (через элементы 8 и 21) D-триггеров групп 31 и 32 (фиг. 2), запишет на D-триггеры групп 31 и 32 значения кодов $\sigma_i(2)$, поступающих с выходов группы 2 непосредственно на D-входы D-триггеров

40 группы 31 и через группу элементов И 27 и элементов ИЛИ 33 под действием разрешающего потенциала с выхода элемента 22 на D-входы

45 D-триггеров группы 32. По истечении переходных процессов на выходах комбинационной части устройства сформируются значения $\sigma_i(4)$ (аналогично $\sigma_i(2)$ в предшествующем такте).

50 По приходу второго импульса с выхода генератора 1 в первую ячейку блока 5 памяти запишутся коды $\sigma_i(4)$ ($i = \overline{1, m}$), а коды $\sigma_i(2)$ и $\sigma_i(1)$ переписутся соответственно в третью и вторую ячейки блока 5 (фиг. 1 и 3). При $S = 2$ получают, что $\sigma_i(4) = \sigma_i(2) + \sigma_3(2) = 0$;

$d_2(4) = \sigma_3(2) = 1; \sigma_3(4) = \sigma_2(2)$
 $+ \sigma_4(2) = 1; \sigma_4(4) = \sigma_4(2) = 1.$
 Коды $\sigma_i(4)$ ($i = \overline{1,4}$) определяют топологию соединения сумматора по модулю два, на выходе которого получается задержанная на четыре такта копия исходной M -последовательности. Под действием второго импульса, поступающего с выхода генератора, в регистрах 12 и 13 сдвига информация сдвигается еще на один разряд. Второй импульс, поступающий с выхода блока 1 на С-входы D-триггеров групп 31 и 32, запишет в них код $\sigma_i(4)$.

По истечении n тактов, где n определяется разложением величины ℓ в двоичную систему счисления (1), на выходе элемента ИЛИ 22, появляется запрещающий потенциал, который блокирует прохождение тактовых импульсов с выхода генератора 1 через элементы 8 и 21 на входы триггеров групп 31 и 32. При этом на выходах сумматоров группы 2 будут сформированы коэффициенты $\sigma_i(2^n)$. В последующие $(m-3-n)$ такта состояния D-триггеров групп 31 и 31 меняться не будут.

По истечении $(m-3)$ тактов в блоке 5 памяти коды, определяющие топологию связей многовходового сумматора по модулю два, будут расположены следующим образом. В последней $(m-2)$ -й ячейке будут находиться коды $\sigma_i(1) = \alpha_i$ в предпоследней $(m-3)$ -й — $\sigma_i(2)$, в $(m-4)$ -й — $\sigma_i(4)$, в $(m-3-n)$ -й — $\sigma_i(2^n)$, в первой, второй и последующих ячейках до $(m-3-n)$ -й будут храниться коды $\sigma_i(2^n)$.

По истечении $(m-3)$ -х тактов содержимое регистров 13 сдвига обнулится, на выходе элемента ИЛИ 23 появится нулевой, а на выходе элемента НЕ 38 единичный уровень, который разрешит прохождение импульсов с выхода генератора 1 через элемент И 6 на вход регистра 14 сдвига. Разрешающий потенциал также поступает на вход двухвходового элемента И 9.

Последующие импульсы, поступающие с выхода генератора 1 через элемент И 6 на вход $(m-1)$ -разрядного регистра 14 сдвига, будут последовательно сдвигать информацию на один разряд таким образом, что содержимым последнего разряда ре-

гистра 14 сдвига будут символы $d_1 \in \{0,1\}$, являющиеся разложением числа ℓ в двоичную систему счисления.

В момент поступления первого импульса на вход регистра 14 сдвига с выхода элемента И 6 этот импульс проходит или не проходит через элемент И 7 в зависимости от значения величины d_1 . Если $d_1 = 1$, импульс проходит, если $d_1 = 0$, импульс не проходит. В случае, если $d_1 = 0$, содержимое D-триггеров групп 31 и 32 не изменяется, а содержимое последней ячейки блока памяти 5 изменяется на значения кодов $\sigma_i(2)$. В случае, когда $d_1 = 1$, через элемент И 7 проходит импульс, который поступает на вход элемента ИЛИ 21 и далее на С-входы D-триггеров групп 31 и 32. В момент поступления управляющего импульса на эти С-входы, на D-входы триггеров группы 31 поступают значения кодов $\sigma_i(2^n)$, а на D-входы D-триггеров группы 32 значения кодов $\delta_i(1)$, которые поступают с выхода блока 5, через группы 28 и 33. Это объясняется тем, что с выхода последнего разряда регистра 14 сдвига поступает разрешающий потенциал ($d_1 = 1$) на входы группы 28.

Таким образом, по поступлении первого импульса на вход регистра 14 содержимое D-триггеров групп 31 и 32 в случае, когда $d_1 = 1$, изменится. На D-триггерах блока 31 будут храниться коды $\sigma_i(2^n)$, а на D-триггерах блока 32 — коды $\delta_i(1)$. Кроме того, содержимое последнего разряда регистра 14 станет равным d_2 .

После окончания переходных процессов на выходах сумматоров по модулю два сформируются значения кодов $\sigma_i(d_{n+1} 2^n + d_1 2^0 = \sigma_i(2^n + 1))$ для случая, когда $d_1 = 1$, так как, когда $\alpha_i \neq \beta_i$, выходные значения комбинационной части устройства (блоки 25, 11, 10, 26, 2, 19, 7, 6, 20 и 5) будут определяться согласно следующей системе логических уравнений:

$$\sigma_n(\xi + 5) = \sum_{i=1}^n \sigma_i(S) \sigma_{n+1-i}(S) \oplus \sum_{i=1}^{m-1} B_{n,i} \sum_{p=i+1}^m \sigma_p(S) \sigma_{m+i+1-p}(\xi), \quad (7)$$

где $\xi \neq S$.

Числовые значения кодов $d_i(2^{n+1})$ определяются на основании $d_i(2^n)$ и $d_i(1)$ с использованием кодов V, Γ, C предварительно записанных на регистры блока 34.

Под действием второго импульса, поступающего на вход регистра 14, в последнем разряде регистра 14 сдвига изменяется информация. Вместо значения d_2 хранится значение d_3 . Кроме того, в случае когда $d_2 = 1$, на выходах сумматоров группы 2 формируются значения кода $d_i(2^{n+1+2})$, в случае, когда $d_2 = 0$, на этих выходах формируются значения $d_i(2^{n+1})$.

По истечении определенного количества тактовых импульсов, когда символ $d_{n+1} = 1$ будет находиться в предпоследнем разряде регистра 14, на выходах сумматоров группы 2 будут сформированы значения кодов

$$d_i(d_{n+1}2^n + d_n2^{n-1} + \dots + d_32^2 + d_22^1 + d_12^0 = d_i(\ell))$$

- Одновременно с моментом получения значений $d_i(\ell)$ на выходе элемента 24 появится нулевой уровень, который отключит генератор 1 тактовых импульсов и, кроме того, погасит элемент 37 индикации. Гашение элемента 37 индикации означает, что требуемые коды получены, причем числовое их значение определяется в блоке 3, m индикаторов которого определяют значения кодов $d_i(\ell)$.
- Если $d_i(\ell) = 1$ для конкретного i , то i -й индикатор блока 3 светится и, наоборот, в случае, если $d_i(\ell) = 0$, i -й индикатор блока 3 не светится.

Таким образом, быстродействие предлагаемого устройства по сравнению с известным повышается практически в $2^{k-1} / k$ раз.

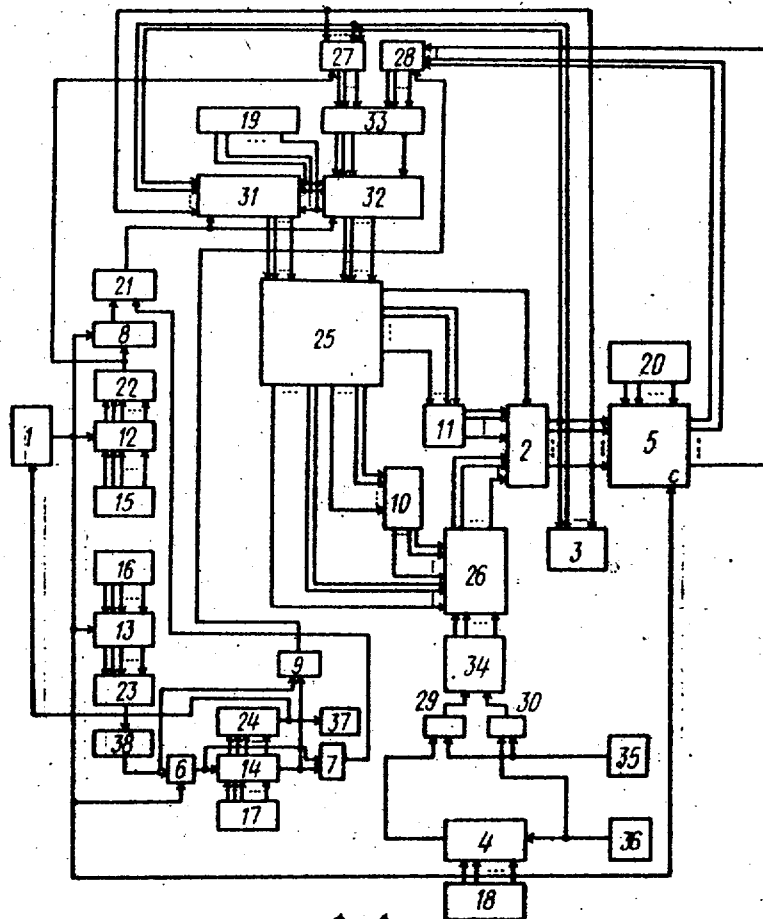
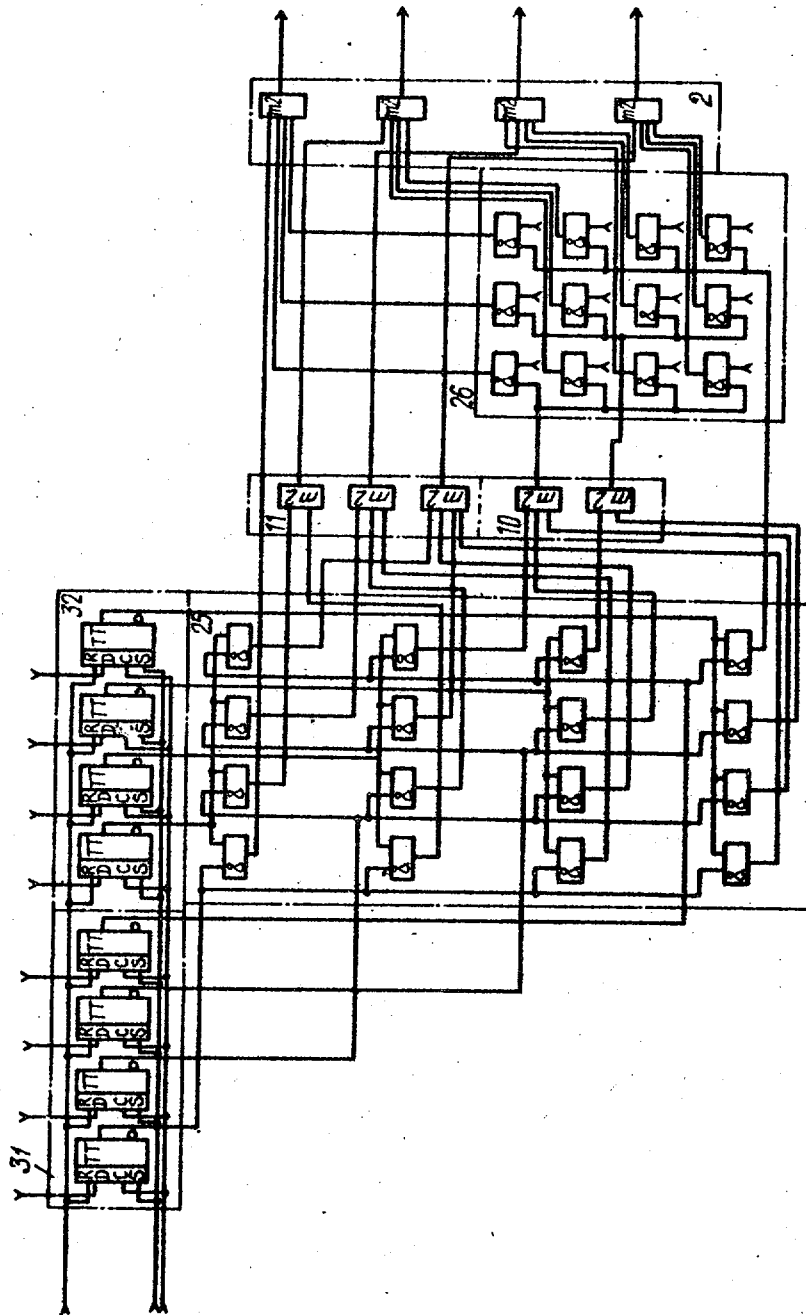
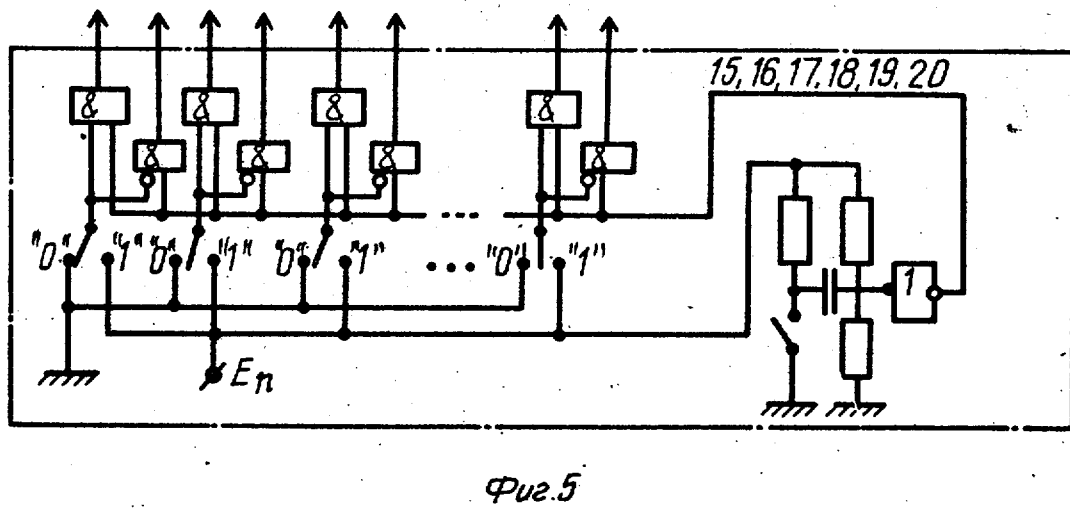
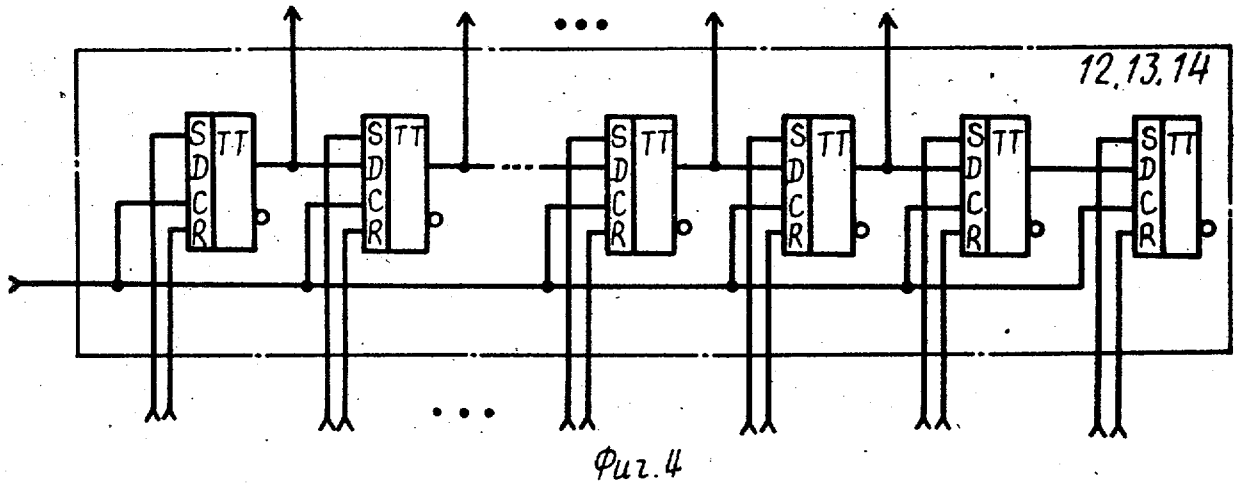
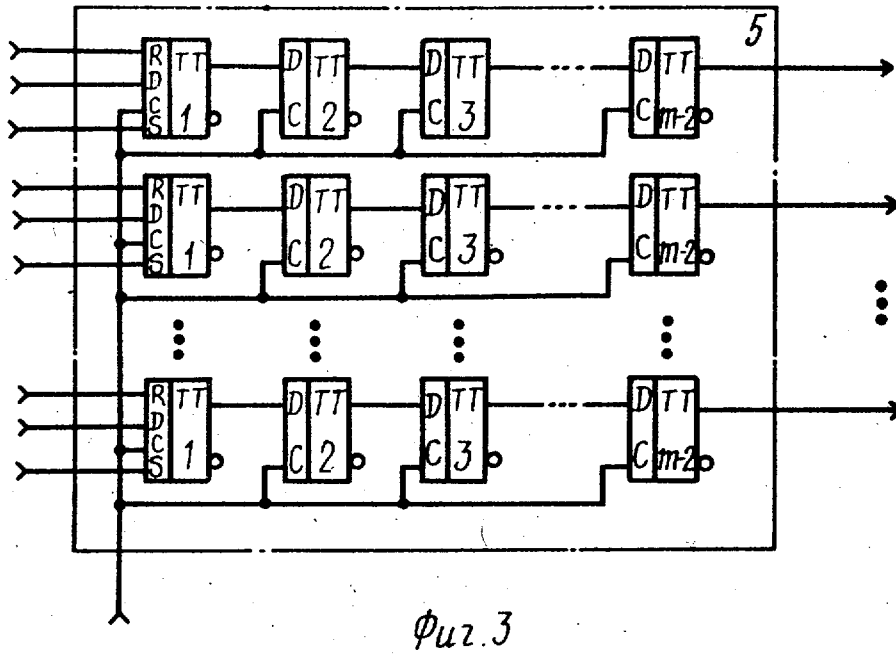
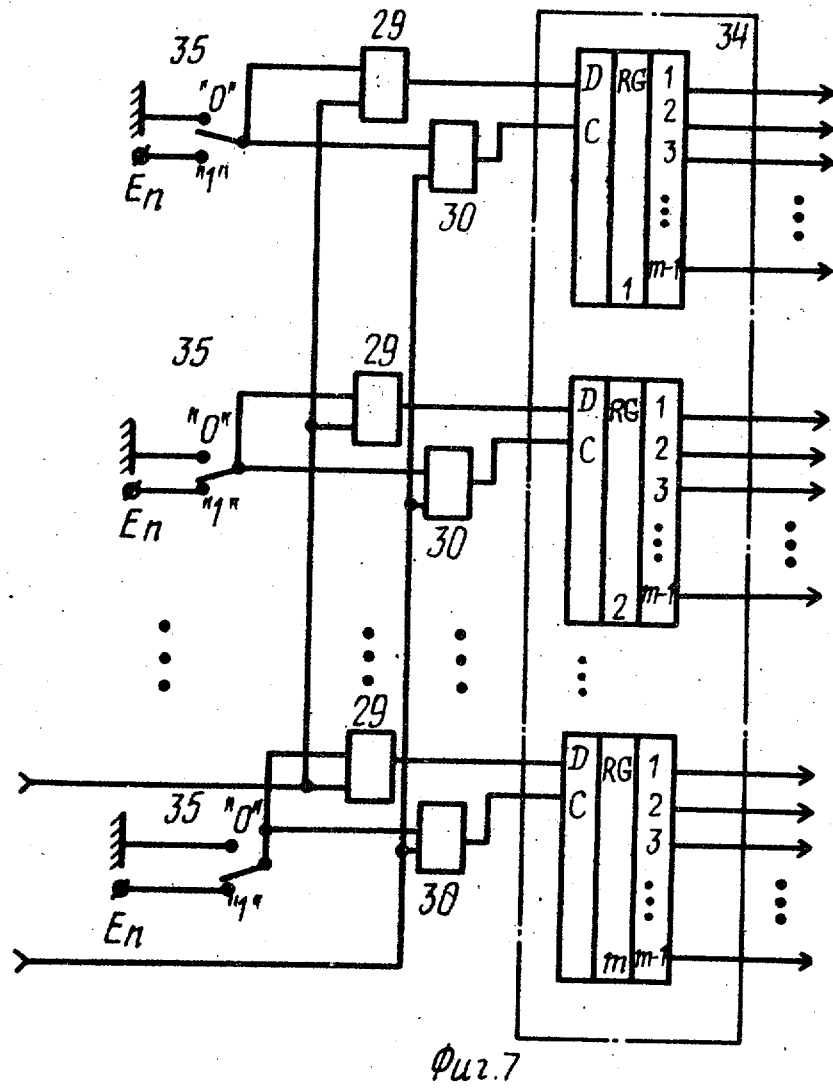
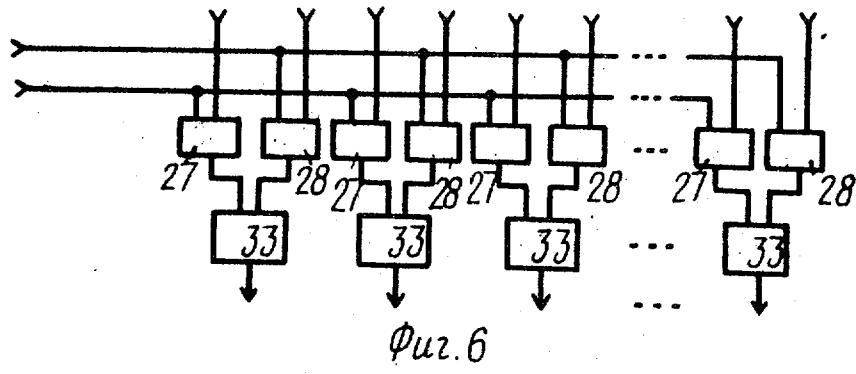


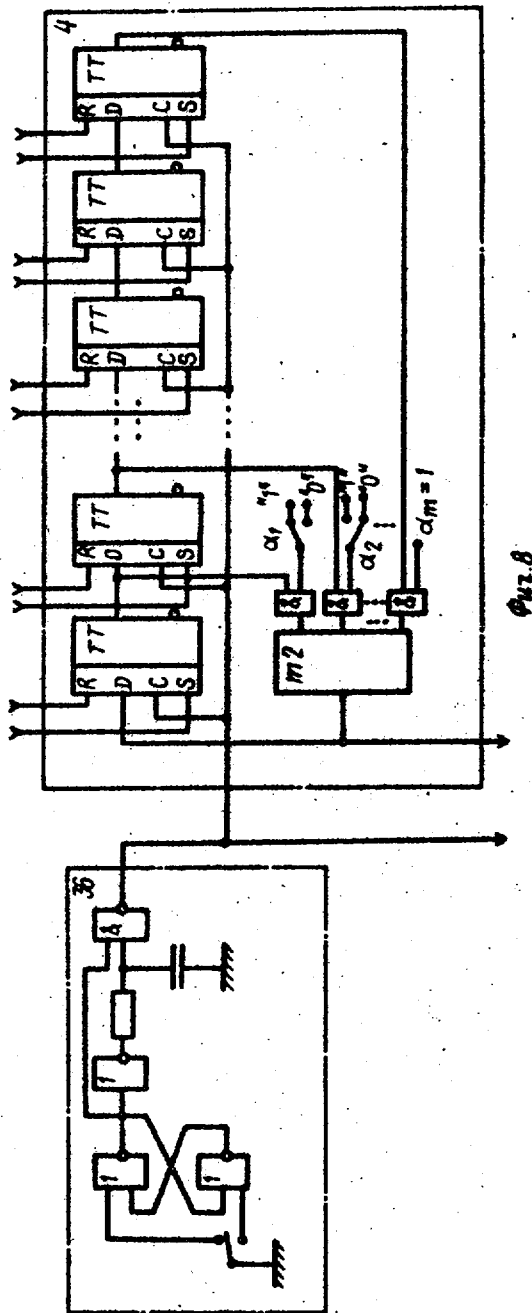
Fig. 1



Фиг. 2







Фиг. 8

ВНЧПИ Заказ 1187/42
 Тираж 872 Подписное

Фирма ИИИ "Патент",
 г. Ужгород, ул. Проектная, 4