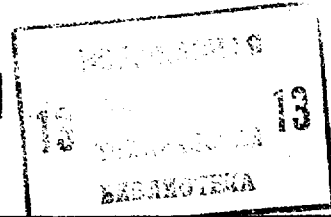




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3405697/24-09
 (22) 05.03.82
 (46) 23.06.85. Бюл. № 23
 (72) А.П.Ткаченко, Г.М.Родов
 и А.Б.Скляр
 (71) Минский радиотехнический институт
 (53) 621.397(088.8)
 (56) 1. Авторское свидетельство СССР
 № 646467, кл. Н 04 N 5/14, 1979.
 2. Авторское свидетельство СССР
 № 902321, кл. Н 04 N 7/12, 1981
 (прототип).

(54)(57) 1. ФОРМИРОВАТЕЛЬ ЦИФРОВОГО ТЕЛЕВИЗИОННОГО СИГНАЛА, содержащий аналого-цифровой преобразователь, вход которого объединен с входами обнаружителя одноэлементных деталей, обнаружителя фронтов и обнаружителя групповых структур и является входом формирователя цифрового телевизионного сигнала, элемент ИЛИ, первый и второй входы которого подключены к выходам соответственно обнаружителя одноэлементных деталей и обнаружителя фронтов, и формирователь разрядов признака режима, выход которого подключен к первому информационному входу коммутатора, отличающийся тем, что, с целью повышения точности формирования цифрового телевизионного сигнала, в него введены преобразователь кода, формирователь информационных разрядов, блок запрета и счетчик импульсов, вход которого является входом сигнала управления, а выходы подключены к управляющим входам коммутатора, второй информационный вход которого

соединен с выходом формирователя информационных разрядов, первый вход преобразователя кода подключен к выходу аналого-цифрового преобразователя, пять входов - к соответствующим входам формирователя разрядов признака режима и формирователя информационных разрядов, информационный вход блока запрета соединен с выходом элемента ИЛИ, управляющий вход объединен с вторым входом преобразователя кода, с первыми управляющими входами формирователя разрядов признака режима и формирователя информационных разрядов и подключен к выходу обнаружителя групповых структур, а выход подключен к третьему входу преобразователя кода и к второму управляющему входу формирователя информационных разрядов.

2. Формирователь по п. 1, отличающийся тем, что преобразователь кода содержит линию задержки, входы которой объединены и являются первым входом преобразователя кода, а выходы подключены к информационным входам блока перераспределения разрядов, информационные выходы которого соединены с соответствующими информационными входами первого, второго и третьего блоков памяти, управляющие входы которых соединены с соответствующими выходами распределителя импульсов, выходы первого блока памяти являются первым выходом преобразователя кода и подключены к соответствующим входам формирователя разрядов признака режима и формирователя информационных разрядов, выходы второго и

третьего блоков памяти являются соответственно вторым и третьим выходами преобразователя кода и подключены к соответствующим входам формирователя информационных разрядов, выход элемента ИЛИ является четвертым выходом преобразователя кода и подключен к первому управляющему входу блока перераспределения разрядов, второму управляющему входу формирователя разрядов признака режима и к третьему управляющему входу формирователя информационных разрядов, вы-

ход элемента ИЛИ подключен к входу инвертора, выход которого является пятым выходом формирователя кода и подключен к второму управляющему входу блока перераспределения разрядов, к третьему управляющему входу формирователя разрядов признака режима и к четвертому управляющему входу формирователя информационных разрядов, первый вход элемента ИЛИ является вторым входом преобразователя кода, а второй вход элемента ИЛИ - третьим входом преобразователя кода.

1

Изобретение относится к телевизионной технике и может использоваться в вещательном и прикладном телевидении для передачи сигналов в цифровой форме.

Цель изобретения - повышение точности формирования цифрового телевизионного сигнала.

На фиг. 1 представлена структурная электрическая схема формирователя цифрового телевизионного сигнала; на фиг. 2 - структурная электрическая схема блока перераспределения разрядов; на фиг. 3 - структурные электрические схемы блоков памяти и формирователей признаков режима и информационных разрядов; на фиг. 4 и 5 - временные диаграммы, поясняющие работу формирователя цифрового телевизионного сигнала.

Формирователь цифрового телевизионного сигнала (фиг. 1) содержит аналого-цифровой преобразователь (АЦП) 1, выход которого подключен к первому входу преобразователя 2 кода, а вход через последовательно соединенные дифференцирующий усилитель 3, обнаружитель 4 одноэлементных деталей, элемент ИЛИ 5 и блок 6 запрета - к третьему входу преобразователя 2 кода. К выходу дифференцирующего усилителя 3 подключен обнаружитель 7 фронтов, выход которого соединен с вторым входом элемента ИЛИ 5, и обнаружитель 8 групповых структур, выход которого соединен с управляющим входом блока 6

2

запрета, вторым входом преобразователя 2 кода, первым управляющим входом формирователя 9 информационных разрядов и первым управляющим входом формирователя 10 разрядов признаков режима. Выход блока 6 запрета подключен к второму управляющему входу формирователя 9 информационных разрядов. Выходы формирователей 9 и 10 подключены к информационным входам коммутатора 11, управляющие входы которого подключены к выходам счетчика 12 импульсов, управляемого частотой импульсов, в $8/3$ раза большей частоты дискретизации F_{δ} .

Преобразователь 2 кода содержит линию 13 задержки, блок 14 перераспределения разрядов, первый, второй и третий блоки 15-17 памяти, распределитель 18 импульсов, управляемый частотой дискретизации F_{δ} , элемент ИЛИ 19 и инвертор 20.

Блок 14 перераспределения разрядов (фиг. 2) содержит элементы ИЛИ 21-32 и элементы И-ИЛИ 33-35. При этом первым управляющим входом 36 блока 14 является первый вход элемента ИЛИ 21 и первый вход элемента ИЛИ 22, а вторым управляющим входом 37 является один из входов элемента И-ИЛИ 33.

Блок 15 памяти (фиг. 3) содержит регистры 38-1 - 38-7 сдвига, блок 16 памяти - регистры 39-1 - 39-3 сдвига, блок 17 памяти - регистры 40-1 и 40-2 сдвига. При этом выходы 41-47 являются выходом блока 14 и

подключен к соответствующим входам блоков 15-17 памяти.

Формирователь 10 разрядов признаков режима (фиг. 3) выполнен на элементе И-ИЛИ 48, формирователь 9 информационных разрядов (фиг. 3) - на элементах И-ИЛИ 49-54.

Обнаружитель 4 одноэлементных деталей содержит первую и вторую линии задержки, смеситель, фазоинверсный каскад, первую и вторую схемы совпадения, усилитель с регулируемым коэффициентом усиления, двухсторонний ограничитель по максимуму и детектор, обнаружитель 7 фронтов содержит ограничитель по максимуму, детектор уровня помех, фильтр нижних частот, фазоинверсный блок, первый и второй пороговые блоки, первый и второй блоки сжатия длительности импульсов, первый и второй ограничители по минимуму, обнаружитель 8 групповых структур состоит из первого и второго фазоинверсных каскадов, первой и второй линии задержки, первой и второй схемы совпадения, первого и второго ограничителей и смесителя.

Формирователь цифрового телевизионного сигнала работает следующим образом.

Телевизионный аналогичный сигнал с верхней граничной частотой $F_B = 6$ МГц (фиг. 4а) поступает на АЦП 1, где дискретизируется с частотой $F_g = 2F_B$ и преобразуется в цифровую форму. При этом в случае 8-разрядного квантования ($n = 8$) выходная скорость будет равна (фиг. 4б)

$$V = F_g n = 2F_B n = 2 \cdot 6 \cdot 8 = 96 \text{ Мбит/с.}$$

Полученный цифровой поток подается на преобразователь 2 кода. Одновременно входной сигнал поступает на вход анализатора структуры сигнала. Для удобства анализа сигнал дифференцируется в дифференцирующем усилителе 3 и поступает на обнаружители 4, 7 и 8 одноэлементных деталей, фронтов и групповых структур соответственно. На выходе элемента ИЛИ 5 будут появляться импульсы, соответствующие прохождению в сигнале одноэлементных деталей, фронтов и групповых структур, на выходе обнаружителя 8 групповых структур - импульсы, соответствующие прохождению только групповых структур, которые в целях однознач-

ности анализа подаются на управляющий вход блока 6 запрета и запрещают прохождение импульсов на третий вход преобразователя 2 кода во времени следования групповых структур, а сами проходят на второй вход преобразователя 2 кода. Последний преобразует исходный цифровой сигнал в зависимости от режима кодирования следующим образом.

1. В случае отсутствия сигнала на выходе обнаружителей 4, 7 и 8, т.е. при передаче участков постоянной и медленно изменяющейся яркости, преобразование осуществляется так, что из трех подряд следующих 8-разрядных кодовых комбинаций $K-1$, K и $K+1$ передается информация только об одной из них путем формирования новой 8-разрядной кодовой комбинации, содержащей один разряд ("0") признака первого режима кодирования и семь разрядов (разряды 8-2) $(K-1)$ -ой кодовой комбинации. При этом скорость выходного цифрового потока составит (фиг. 4в)

$$V = \frac{1}{3} n F_g = \frac{1}{3} \cdot 8 \cdot 12 = 32 \text{ Мбит/с.}$$

2. В случае, когда обнаруживаются мелкоструктурные компоненты, выбирается один из двух режимов преобразования кода:

а) при обнаружении фронтов видеоимпульсов и одноэлементных деталей обеих полярностей из кодовых комбинаций $m-1$, m и $m+1$ формируется новая 8-разрядная кодовая комбинация, содержащая два разряда ("1" и "0") признака второго режима кодирования и по три старших разряда каждой из кодовых комбинаций $m-1$ и m . Общая скорость сигнала на выходе будет равна (фиг. 4г)

$$V = \frac{1}{3} (2 + 3 + 3) 12 = 32 \text{ Мбит/с.}$$

б) при обнаружении групповых структур передают информацию о каждой из трех исходных кодовых комбинаций $E-1$, E и $E+1$ путем формирования новой 8-разрядной кодовой комбинации, содержащей два разряда ("1" и "1") признака третьего режима кодирования и по два старших разряда каждой из кодовых комбинаций $E-1$, E и $E+1$. Скорость передачи цифрового сигнала составит (фиг. 4)

$$V = \frac{1}{3} (2 + 2 + 2 + 2) \cdot 12 = 32 \text{ Мбит/с.}$$

Под старшим в режимах 2 понимается группа их трех (или двух) разрядов, причем первым из этих разрядов является наивысший единичный разряд из разрядов $8_0-3_0^1$ исходной кодовой комбинации, либо разряд 2_0 , если в разрядах $8-3$ единичные разряды отсутствуют. Два других (или один) разряда берутся те же, что и в исходной кодовой комбинации после первого выбранного разряда; а если старшим является разряд 2_0 , то после него передается разряд 1_0 (и добавляется "0" для режима 2). Для этого в преобразователе 2 кода осуществляются соответствующие перераспределения разрядов в каждой комбинации. Благодаря такому выбору старших разрядов, малые изменения яркости на темном фоне (т.е. изменения в младших разрядах) воспроизводятся на приеме как большие, что приводит к контрастному подчеркиванию таких участков. Пропущенные кодовые комбинации в режимах 1 и 2 восстанавливаются на приемной стороне путем экстраполяции.

Преобразователь 2 кода работает следующим образом.

Исходные кодовые комбинации сигнала от АЦП 1 в параллельном 8-разрядном коде задерживаются линией 13 задержки на время анализа и поступают на блок 14 перераспределения разрядов. Одновременно с появлением на его входах разрядов каждой первой кодовой комбинации из трех объединяемых, на втором и третьем входах преобразователя 2 кода начинают действовать сигналы признака режима кодирования (фиг. 5ж, з), вырабатываемые анализатором структуры сигнала, из которых в элементе ИЛИ 19 формируются необходимые управляющие сигналы. На фиг. 5 в качестве примера рассматриваются две формируемых кодовых комбинации и каждая из трех исходных, причем первая формируемая кодовая комбинация кодируется в режиме а, другая - в режиме б. В блоке 14 для режима 1 разряды 8_0-2_0 исходной кодовой комбинации передаются без изменений, а для режимов 2 разряды каждой кодовой комбинации перераспределяются по указанному правилу. В элементах ИЛИ 21-32 для этих режимов определяются три разряда каждой кодовой комбинации, которые являются старшими. Эти разряды и проходят да-

лее через элементы И-ИЛИ 33-35, в качестве новых разрядов $8-6$ каждой кодовой комбинации. Разряды $5-2$ проходят на выход без изменения. При этом в выходной 7-разрядной кодовой комбинации только в режиме 1 используются в дальнейшем все семь разрядов. Для режимов 2 используются разряды соответственно $8-6$ и $8, 7$ перераспределенных кодовых комбинаций.

Полученные 7-разрядные кодовые комбинации далее поступают на блоки 15-17 памяти, в которых с помощью импульсов с трех выходов распределителя 18 (фиг. 5 а, б, в), управляемого частотой $F_c = 12$ МГц, осуществляется объединение каждых трех кодовых комбинаций. Причем число входов блока 15 памяти для первой кодовой комбинации равно семи, для блока 16 памяти - трем, для блока 17 памяти - двум, что соответствует максимально-используемому числу разрядов в этих комбинациях, которые и записываются в них. На выходах блоков 15-17 памяти последовательно появляются указанные разряды в параллельном коде для каждой комбинации (фиг. 5г, д, е).

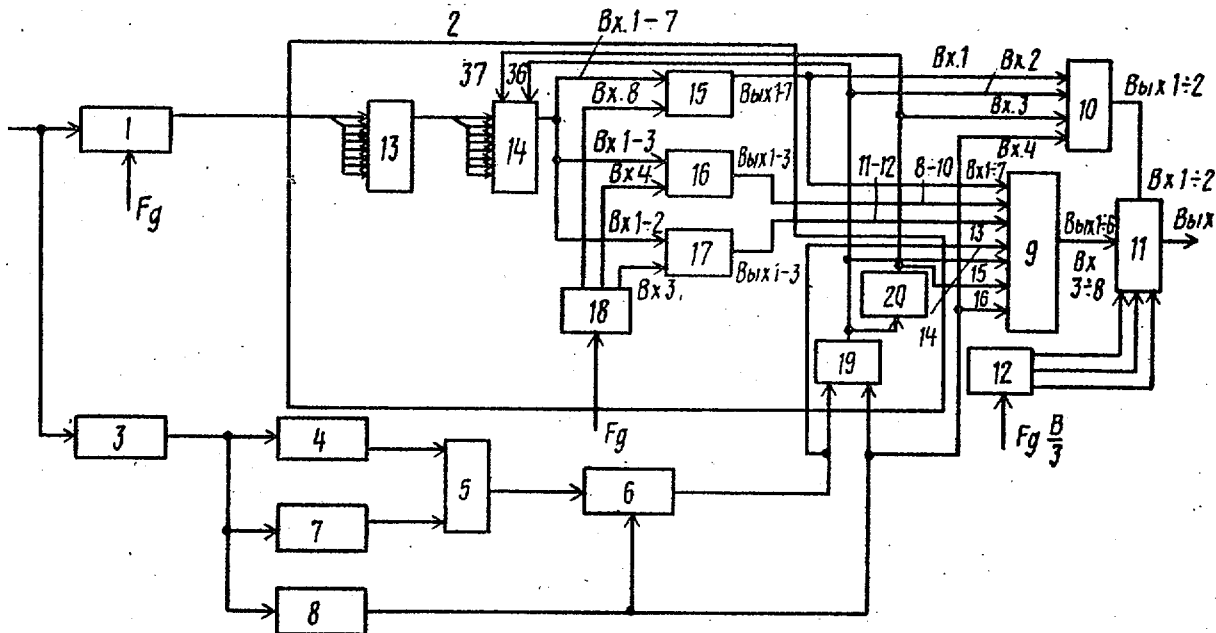
В зависимости от режима необходимые информационные разряды будут появляться согласно описанному алгоритму на выходе формирователя 9 в параллельном коде для каждой комбинации и будут сохраняться в течение трех интервалов дискретизации. Выбор разрядов осуществляется элементами И-ИЛИ 49-54 формирователя 9, управляемых сигналами признака режима с второго и третьего входов преобразователя 2 кода. Разряды признака режима формируются на выходе формирователя 10.

Считывание разрядов происходит путем воздействия на коммутатор 11 сигналов со счетчика 12 импульсов, управляемого импульсами частоты $\frac{8}{3} F_c = \frac{8}{3} 12 = 32$ МГц (фиг. 5и). При каждом импульсе счетчик 12 импульсов переключается в одно из восьми состояний и отпирает соответствующий канал коммутатора 11. При этом последовательно передаются сначала разряды признака режима, далее - информационные разряды. Таким образом, на выходе образуется равномерный двоичный поток информации со

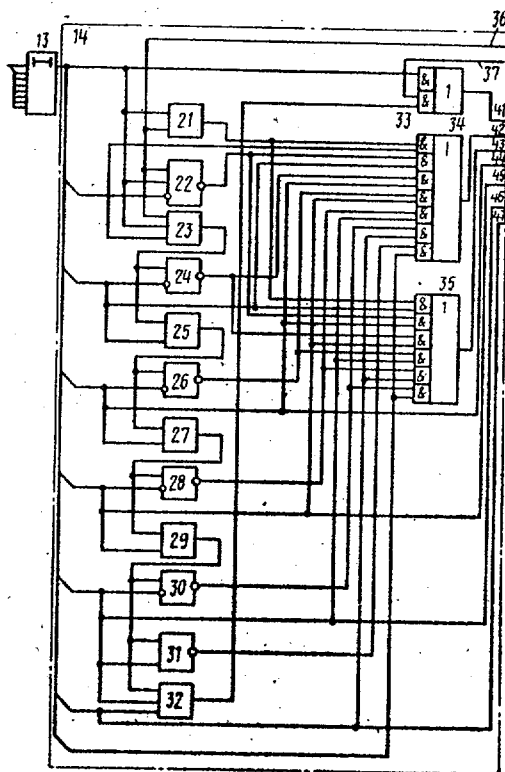
скоростью, втрое меньшей, чем у исходного (фиг. 5к).

Предлагаемый формирователь цифрового телевизионного сигнала благодаря введению в него блока запрета

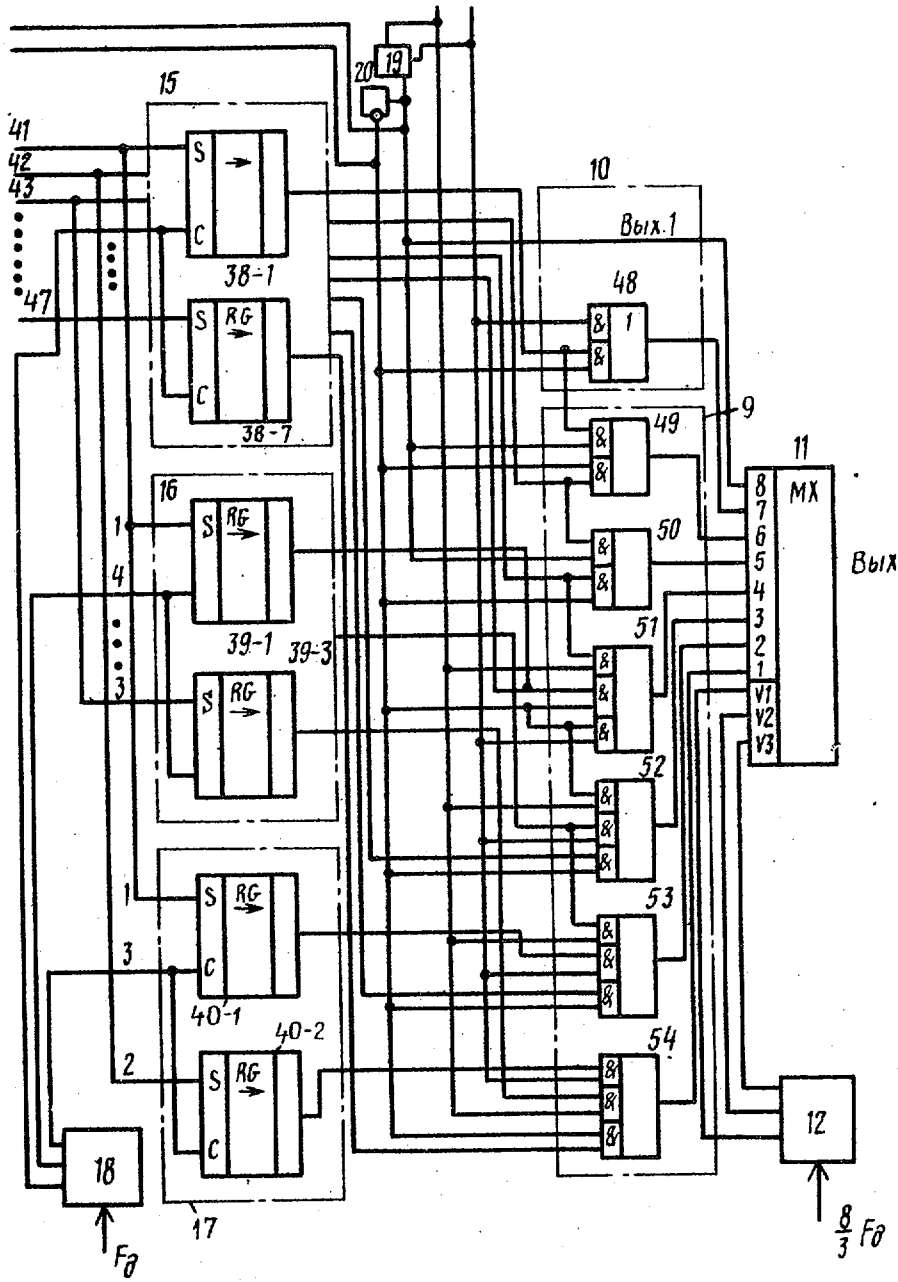
и преобразователя кода с перераспределением разрядов позволяет при той же степени уменьшения избыточности цифрового телевизионного сигнала повысить точность его формирования без ухудшения качества.



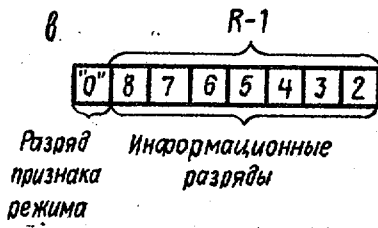
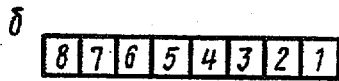
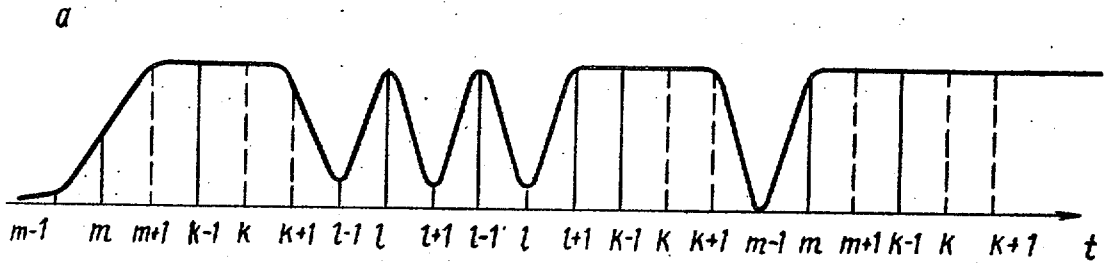
Фиг.1



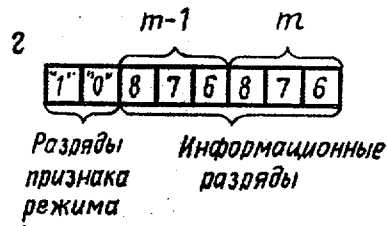
Фиг.2



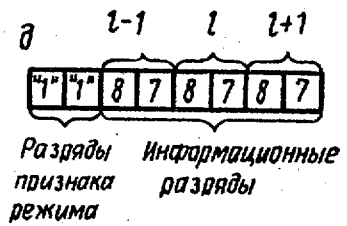
Фиг. 3



Режим кодирования участков постоянной яркости

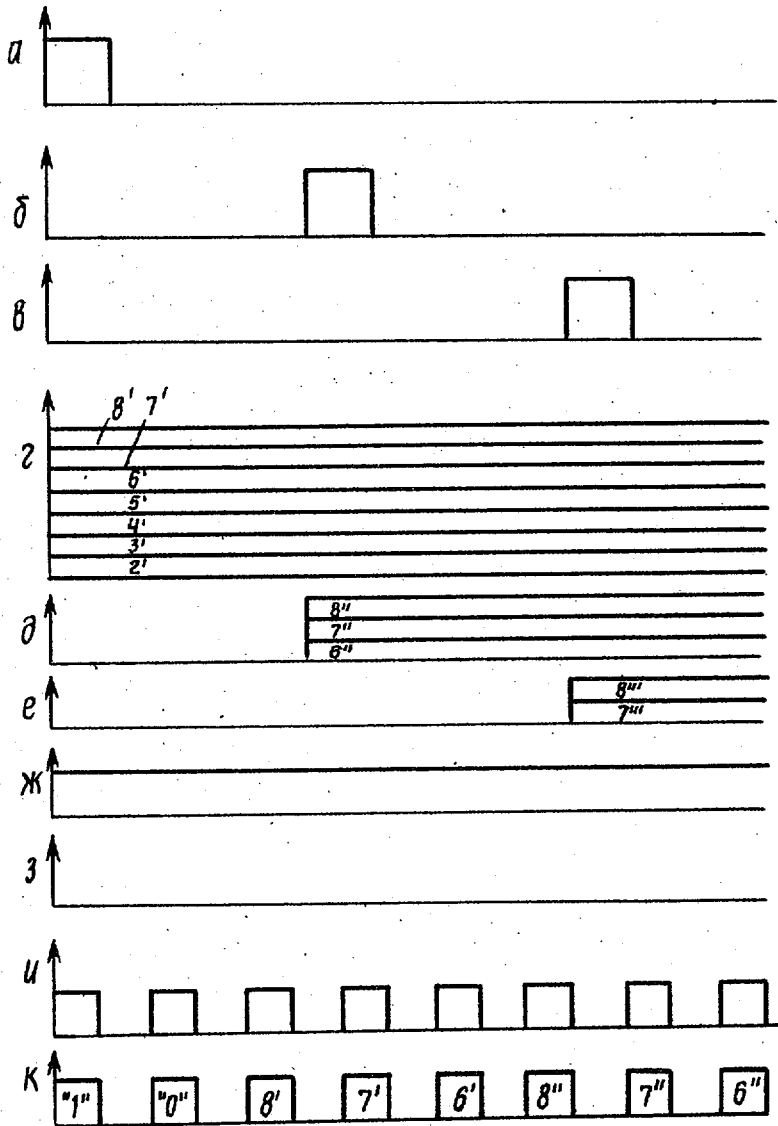


Режим кодирования фронтов и одноэлементных деталей



Режим кодирования групповых структур

Фиг. 4



Фиг. 5

Редактор Н.Яцولا Составитель Т.Афанасьева
 Техред А.Ач Корректор М.Розман

Заказ 4114/56 Тираж 659 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Б-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4