



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1167710 A

(5D) 4 Н 03 К 3/84

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3622451/24-21
(22) 13.07.83
(46) 15.07.85. Бюл. № 26
(72) В. Н. Ярмолик, В. И. Фомич, И. П. Кобяк,
Н. В. Шмарук и А. И. Подгорский
(71) Минский радиотехнический институт
(53) 621.374.2(088.8)
(56) Авторское свидетельство СССР
№ 920718, кл. G 06 F 7/58, 1982.

Авторское свидетельство СССР № 767743,
кл. G 06 F 1/02, 1978.

(54) (57) ГЕНЕРАТОР ПСЕВДОСЛУЧАЙНЫХ КОДОВ, содержащий выходной регистр, управляющий вход которого соединен с первым выходом блока синхронизации, второй выход которого соединен с входом синхронизации регистра маски, регистр сдвига с сумматором по модулю два в цепи обратной связи, входы синхронизации которого соединены с третьим и четвертым выходами блока синхронизации соответственно, блок памяти, вход синхронизации которого соединен с пятым выходом блока синхронизации, отличающийся тем, что, с целью увеличения быстродействия генератора и расширения его функциональных возможностей за счет изменения параметров генерируемых кодов, в него введены первый и второй регистры, первый и второй блоки элементов И, блок двухвходовых сумматоров по модулю два, блок трехвходовых сумматоров по модулю два, селектор, счетчик, вход синхронизации которого соединен с шестым выходом блока синхронизации, а выходы счетчика соединены с первой группой входов селектора соответственно, вторая группа входов селектора соединена с l соответствующими выходами регистра сдвига с

сумматором по модулю два в цепи обратной связи, n выходов которого соединены с первыми входами второго блока элементов И, входы которого соединены с соответствующими выходами блока памяти, адресные входы которого соединены с выходами селектора, управляющий вход которого соединен с седьмым выходом блока синхронизации, первая группа из n выходов которого соединена с информационными входами блока памяти, вторая, третья и четвертая группы из n выходов блока синхронизации соединены соответственно с информационными входами первого регистра, второго регистра и регистра маски, выходы которого соединены с первыми входами сумматоров блока двухвходовых сумматоров по модулю два, вторые входы сумматоров которого соединены с восьмым выходом блока синхронизации, девятый выход которого соединен с входом синхронизации первого регистра, выходы которого соединены с первыми входами сумматоров блока трехвходовых сумматоров по модулю два, вторые входы сумматоров которого соединены с выходами первого блока элементов И, первые входы которого соединены с выходами выходного регистра, первые входы разрядов которого соединены с выходами блока двухвходовых сумматоров по модулю два, а вторые входы разрядов которого соединены с выходами блока трехвходовых сумматоров по модулю два, третьи входы сумматоров которого соединены с выходами второго блока элементов И, десятый выход блока синхронизации соединен с входом синхронизации второго регистра, выходы которого соединены с вторыми входами первого блока элементов И.

(19) SU (11) 1167710 A

Изобретение относится к импульсной технике.

Цель изобретения — увеличение быстродействия генератора и расширение его функциональных возможностей за счет изменения параметров генерируемых им кодов.

На фиг. 1 приведена структурная схема генератора псевдослучайных кодов; на фиг. 2 — блок синхронизации; на фиг. 3 — временные диаграммы работы блока синхронизации; на фиг. 4 — регистр сдвига с сумматором по модулю два в цепи обратной связи.

Генератор псевдослучайных кодов (фиг. 1) содержит выходной регистр 1, управляющий вход которого соединен с первым выходом блока 2 синхронизации, второй выход которого соединен с входом синхронизации регистра 3 маски, регистр 4 сдвига с сумматором по модулю два в цепи обратной связи, входы синхронизации которого соединены с третьим и четвертым выходами блока 2 синхронизации соответственно, блок 5 памяти, вход синхронизации которого соединен с пятым выходом блока 2 синхронизации, первый 6 и второй 7 регистры, первый 8 и второй 9 блоки элементов И, блок 10 двухвходовых сумматоров по модулю два, блок 11 трехвходовых сумматоров по модулю два, селектор 12, счетчик 13, вход синхронизации которого соединен с шестым выходом блока 2 синхронизации, выходы счетчика 13 соединены с первой группой входов селектора 12 соответственно, вторая группа входов селектора 12 соединена с l соответствующими выходами регистра 4 сдвига с сумматором по модулю два в цепи обратной связи, n выходов которого соединены с первыми входами второго блока 8 элементов И, вторые входы которого соединены с соответствующими выходами блока 5 памяти, адресные входы которого соединены с выходами селектора 12, управляющий вход которого соединен с седьмым выходом блока 2 синхронизации, первая группа из n выходов которого соединена с информационными входами блока 5, вторая, третья и четвертая группы из n выходов блока 2 синхронизации соединены соответственно с информационными входами первого регистра 6, второго регистра 7 и регистра 3 маски, выходы которого соединены с первыми входами сумматоров блока 10 двухвходовых сумматоров по модулю два, вторые входы сумматоров которого соединены с восьмым выходом блока 2 синхронизации, девятый выход которого соединен с входом синхронизации первого регистра 6, выходы которого соединены с первыми входами сумматоров блока 11 трехвходовых сумматоров по модулю два, вторые входы сумматоров которого соединены с выходами первого блока 8 элементов И, первые входы которого соединены с выходами выходного регистра 1, первые входы разрядов которого соединены с выходами блока 10

двухвходовых сумматоров по модулю два, а вторые входы разрядов которого соединены с выходами блока 11 трехвходовых сумматоров по модулю два, третьи входы сумматоров которого соединены с выходами второго блока 9 элементов И, десятый выход блока 2 синхронизации соединен с входом синхронизации второго регистра 7, выходы которого соединены с вторыми входами первого блока 8 элементов И.

Блок 2 синхронизации (фиг. 2) содержит генераторы одиночных импульсов и тумблерные регистры для записи информации в регистры 3, 6, 7 и блок 5 памяти, а также схему синхронизации, формирующую тактовые импульсы (фиг. 3а), осуществляющую их задержку (фиг. 3г), выделяющую из последовательности тактовых импульсов сигналы такта работы (фиг. 3в) и его частей (фиг. 3б), формирующую сигналы синхронизации (фиг. 3д) для счетчика 13.

Регистр 4 сдвига с сумматором по модулю два в цепи обратной связи (фиг. 4) строится в соответствии с порождающим полиномом и содержит схему начальной установки.

Генератор псевдослучайных кодов в каждом из следующих режимов работает следующим образом.

Генерирование произвольной последовательности синхросигналов по i -му каналу генератора.

Формируемые синхросигналы выдаются на выход генератора в первой фазе машинного такта (фиг. 3б), а во второй фазе происходит изменение информации на i -ом выходе генератора. Для генерирования синхросигналов по i -му каналу необходимо предварительно записать «1» на i -ый триггер регистра 3 маски и «0» на i -ый триггер первого 6 и второго 7 регистров, а в i -ые разряды всех ячеек блока 5 памяти записывается, начиная с первой ячейки, циклически повторяющаяся последовательность синхроимпульсов. Для определенности в данном режиме работы и в последующих режимах предположим, что блок 5 памяти состоит из восьми n -разрядных ячеек. Далее допустим, что необходимо сформировать последовательность синхроимпульсов, состоящую из четырех чередующихся импульсов. Таким образом, в i -ые разряды всех ячеек блока 5 памяти записывается последовательность 10101...10. При этом в течение первой фазы на вход i -го триггера регистра 1 будет подана логическая единица, на второй вход i -го двухвходового элемента И блока 9 также будет подана логическая единица, а на адресные входы блока 5 памяти через селектор 12 будут подключены выходы счетчика 13, который последовательно, начиная с нулевого кода, меняет свое состояние. Под действием импульсов синхронизации с выходов блока 2 синхронизации на i -м выходе регистра 1 будет сформирована последовательность

синхроимпульсов, состоящая из четырех импульсов.

Генерирование псевдослучайной последовательности Y с вероятностью $P(Y=1) = 0,5$ по i -му каналу генератора.

Изменение информации на i -ом триггере выходного регистра 1, т. е. изменение значения Y будет происходить при этом во второй фазе такта работы генератора.

Для генерирования псевдослучайной последовательности Y с вероятностью $P(Y=1) = 0,5$ по i -му каналу предварительно необходимо записать «0» на i -ые триггеры регистра 3 маски, первого 6 и второго 7 регистров, а в i -ые разряды всех ячеек блока 5 памяти записать значения единицы.

В течение второй фазы на вход i -го триггера регистра 1 будет подана логическая единица и на первый вход i -го двухвходового элемента И блока 9 с блока 5 памяти постоянно будет считываться логическая единица. На второй вход i -го элемента И блока 9 с i -го разряда регистра 4 во второй фазе такта работы будет подаваться значение равновероятностной двоичной цифры $R(X_i=1) = 0,5$, значение которой в каждом такте работы записывается в i -ый разряд выходного регистра 1.

Генерирование псевдослучайных последовательностей Y с вероятностью $P(Y=1) = 0,5$ по i -му каналу генератора.

Для генерирования псевдослучайной последовательности Y с вероятностью $P(Y=1) \neq 0,5$ по i -му каналу предварительно необходимо записать «0» на i -ые триггеры регистра 3 и второго регистра 7. На i -ый триггер первого регистра 6 записывается «0», если $R(Y=1) < 0,5$ и записывается «1», если $R(Y=1) > 0,5$.

Для случая, когда $P(Y=1) < 0,5$, в i -ые разряды всех ячеек блока 5 памяти записывается такое количество единиц, которое определяется заданной вероятностью $R(Y=1)$. Рассматриваемый генератор позволяет задавать любую вероятность $P(Y=1)$ из следующего ряда вероятностей:

$$0, \frac{1}{2b}, \frac{2}{2b}, \frac{3}{2b}, \dots, \frac{b-1}{2b}, \frac{b}{2b}, \frac{b+1}{2b}, \dots, \frac{2b-2}{2b}, \frac{2b-1}{2b}, 1,$$

где b — количество ячеек памяти блока 5 памяти.

Любую вероятность при этом можно представить в следующем виде:

$$P(Y=1) = \frac{g}{2b}, \text{ если } P(Y=1) < 0,5$$

$$P(Y=1) = 1 - \frac{g}{2b}, \text{ если } P(Y=1) > 0,5$$

$$g = \overline{0,5}.$$

Величина g определяет количество единиц, которое необходимо записать в i -ые разряды всех ячеек памяти.

В течение второй фазы на вход i -го триггера регистра 1 будет подана логическая

единица. На первый вход i -го трехвходового сумматора по модулю два блока 11 подана логическая единица, на второй — логический ноль, на третий вход подключен выход i -го элемента И блока 9, на первый вход которого подключен i -ый выход регистра 4 а на второй вход — i -ый выход блока 5 памяти, на адресные входы которого подключены i выходов регистра 4.

Так как адрес ячейки памяти задается регистром 4, то с равной вероятностью считывается содержимое той или иной ячейки памяти блока 5, т. е. $P(Z_1=1)$ будет определяться количеством ячеек памяти блока 5 и количеством записанных в них единиц.

В общем случае $P(Z_1=1) = \frac{g}{b}, g = \overline{0,5}$, где b — количество ячеек блока 5 памяти.

$$\text{Можно показать, что } P(Z_2=1) = P(Z_1=1) \cdot P(X_i=1) = \frac{g}{b} \cdot \frac{1}{2} = \frac{g}{2b}.$$

Так как на один из входов трехвходового сумматора по модулю два подана логическая единица, то

$$P(Z_3=1) = 1 - P(Z_2=1) = 1 - \frac{g}{2b}.$$

Генерирование псевдослучайной последовательности Y с вероятностью $P(Y=1) = 0,5$ по i -ому каналу генератора и с вероятностью $R(f)$ изменения выходного сигнала Y на противоположный в каждом такте работы генератора.

Для организации работы генератора псевдослучайных кодов в данном режиме предварительно необходимо записать «0» на i -ые триггеры регистров 3 маски и первого регистра 6. На i -ый триггер второго регистра 7 записывается «1».

Вероятность $P(f)$ изменения выходного сигнала Y на противоположный в каждом такте работы генератора определяется величиной

$$P(f) = P(Z_2=1) = P(Z_1=1) \cdot P(X_i=1) = \frac{g}{b} \times \frac{1}{2} = \frac{g}{2b}.$$

При этом выход i -го триггера регистра 1 через i -ый элемент И блока 8 подключается к входу трехвходового сумматора по модулю два блока 11. Таким образом, i -ый триггер регистра 1 вместе с сумматором по модулю два блока 11 представляет собой триггер со счетным входом, который меняет свое состояние на противоположное только в том случае, когда на его вход поступает логическая единица.

Таким образом, на выходе i -го канала генератора генерируется последовательность Y с вероятностью $P(Y=1) = 0,5$ и с вероятностью изменения выходного сигнала на противоположный $P(f)$.

Генерирование импульсной последовательности типа меандр.

Для работы генератора псевдослучайных кодов в данном режиме необходимо предварительно записать «0» на i -ый триггер ре-

гистра 3 маски и «1» на i -ые триггеры первого 6 и второго 7 регистров. В i -ые разряды всех ячеек блока 5 памяти записать «0».

В течение второй фазы на вход i -го триггера регистра 1 будет подана логическая единица, а на первый вход i -го двухвходового элемента И блока 9 с блока 5 памяти постоянно будет считываться логический ноль. Таким образом, на выходе элемента И блока 9 также будет логический ноль, т. е. на i -м выходе регистра 1 будет сформирована импульсная последовательность типа меандр.

Генерирование псевдоциклических кодов.

Псевдоциклические коды — это такие псевдослучайные коды, которые имеют одно общее свойство с циклическими кодами: в данный момент времени возможно изменение значения только одного двоичного разряда кода. Соседние коды псевдоциклической последовательности кодов могут отличаться только в своем разряде.

Для работы генератора псевдослучайных кодов в данном режиме по некоторым C каналам необходимо определить номера каналов, на выходах которых должен генерироваться псевдоциклический код. Предположим, псевдоциклический код необходимо генерировать по выходам i -го ($i+1$), ($i+2$) ... $i+(C-1)$ канала, хотя в общем случае генерирование псевдоциклического кода может осуществиться и по выходам каналов с произвольными номерами.

На i , ($i+1$), ($i+2$), ... $i+(C-1)$ триггеры регистра 3 маски и на i , ($i+1$), ..., $i+(C-1)$ триггеры первого регистра 6 записывается логический ноль, а на i , ($i+1$), ($i+2$), ..., $i+(C-1)$ триггеры второго регистра 7 записывается логическая единица. В первую ячейку блока 5 памяти, начиная с i -го по $i+(C-1)$ -ый разряды записывается код 100...0, во вторую ячейку — код 010...0, в третью 001...0 и так далее до C -ой ячейки, в которую записывается код 000...1. В $C+1$ -ую ячейку блока 5 памяти записывается код 100...0 и так процедура записи продолжается до тех пор, пока во все ячейки памяти не будет записана информация подобным образом.

По приходе кода адреса на адресные входы блока 5 памяти из одной из ячеек 5 памяти считывается код, который состоит из логических нулей и единицы. Таким образом, только через один элемент И блока 9 значение равновероятностного символа поступит на вход сумматора по модулю два блока 11 и при равенстве этого сигнала логической единице значение выходного

символа изменится на противоположное. Таким образом, в каждый такт работы возможно изменение значения только одного выходного символа на противоположное.

5 Генерирование последовательности типа «бегущая единица».

Под последовательностью типа «бегущая единица» понимается последовательность кодов, у которых значение только одного разряда может быть равным единице, а значения остальных разрядов равняются нулю.

10 Для работы генератора псевдослучайных кодов в данном режиме на i , $i+1$, $i+2$, $i+3$, ... $i+(C-1)$ в триггеры регистра 3 маски, первого 6 и второго 7 регистров записывается значение логического нуля, а в разряды ячеек блока 5 памяти, с i -го по $i+(C-1)$ -ые разряды, записывается (циклически) последовательность кодов, содержащих только одну логическую единицу.

20 Таким образом, в результате функционирования генератора псевдослучайных кодов только на один из триггеров регистра 1 записывается значение логической единицы.

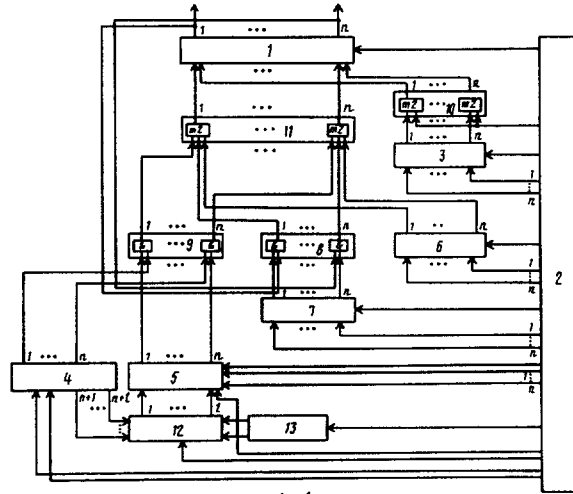
Генерирование последовательности типа «бегущий ноль».

25 Этот режим работы генератора отличается от предыдущего только тем, что в память C каналов генератора записывается (циклически) последовательность кодов, содержащих только один логический ноль.

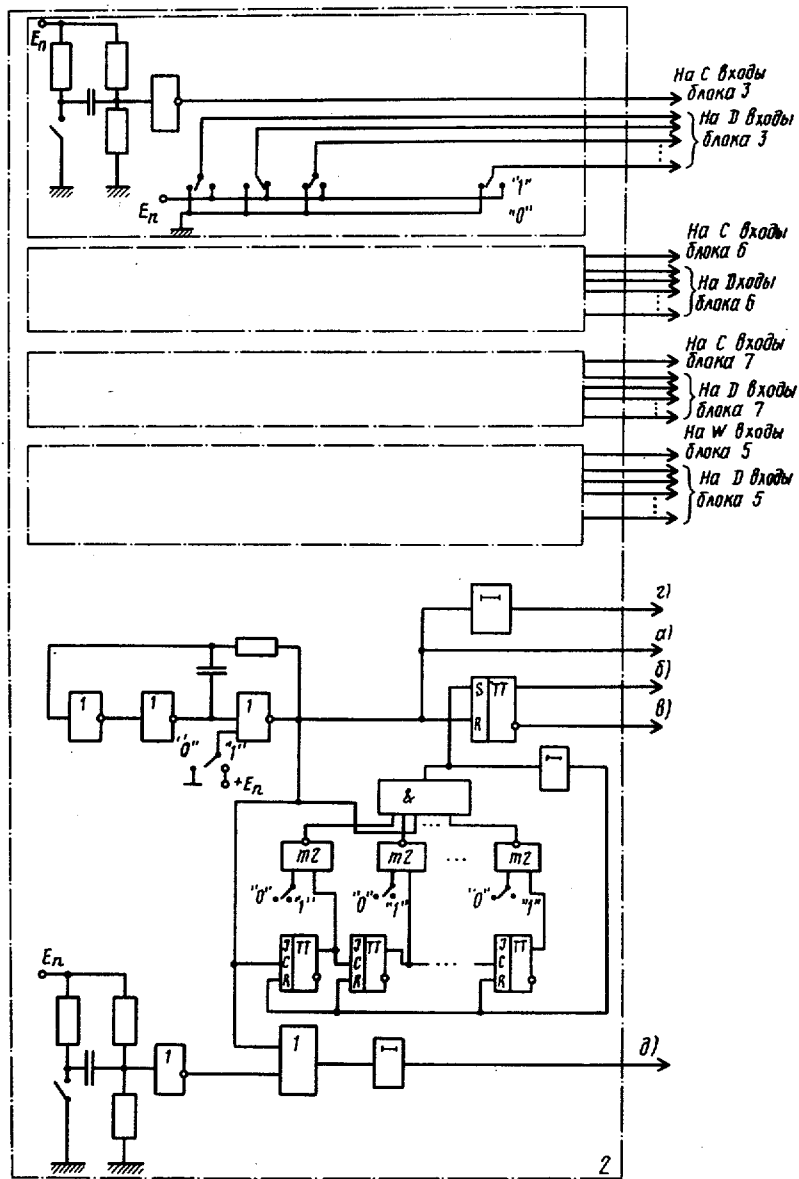
30 Генерирование псевдослучайной последовательности, в которой отсутствует один или несколько возможных кодов.

35 Предположим, по $C=4$ выходам генератора псевдослучайных кодов необходимо запретить появление кода типа 1010. Тогда в ячейки блока 5 памяти записываются (циклически) коды типа «бегущий ноль», а на триггеры регистра 6 записывается код, обратный коду 1010.

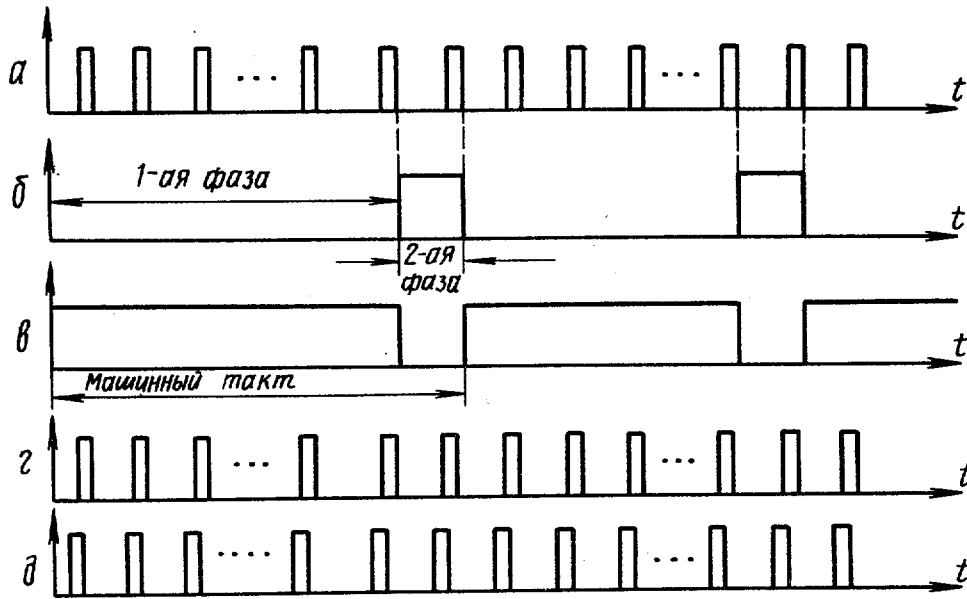
40 Из рассмотренных режимов работы генератора псевдослучайных кодов видно, что, если в известном устройстве для формирования последовательности Y с вероятностью $P(Y=1) \neq 0,5$, необходимого для случая $P(Y=1) = 1/16$, выполняют четыре такта работы, то в предлагаемом — только один такт работы генератора псевдослучайных кодов. При этом в предлагаемом устройстве наряду со всеми последовательностями, формируемыми в известном, формируются также последовательности с запрещением появления в них определенных комбинаций и расширением диапазона изменения вероятности выходных сигналов генератора.



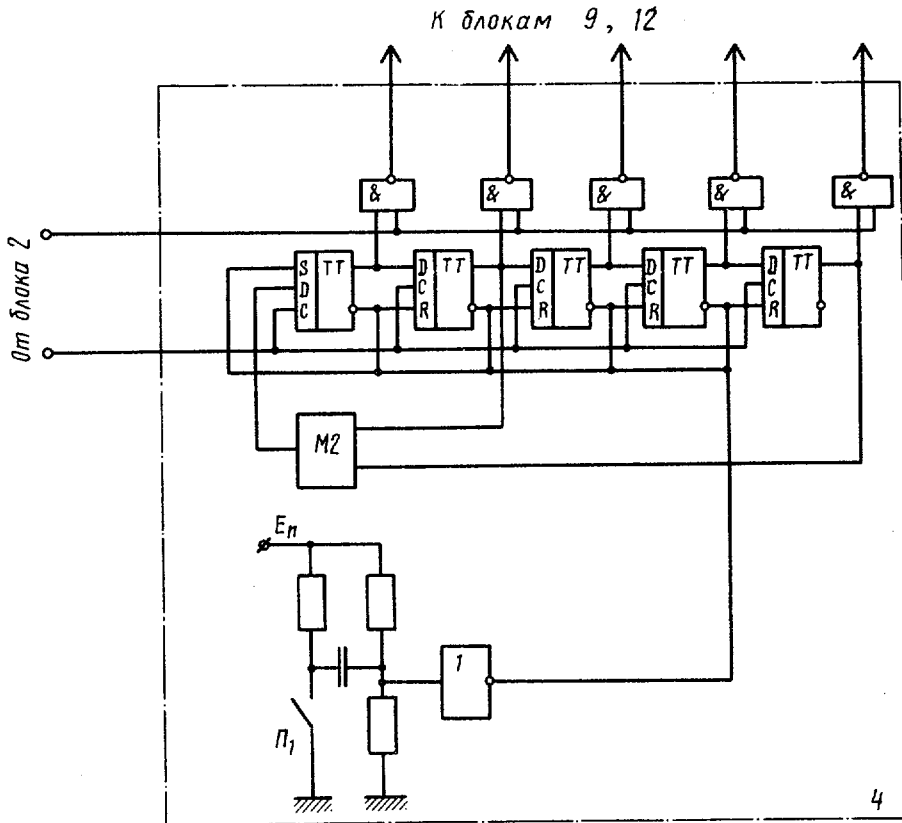
Фиг.1



Фиг.2



Фиг.3



Фиг.4

Составитель Ю. Бурмистров
 Редактор И. Ковальчук Техред И. Верес Корректор М. Пожо
 Заказ 4443/52 Тираж 872 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5
 Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4