



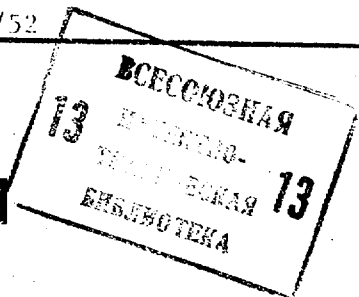
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1180881 A

(51)4 G 06 F 7/52

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3586484/24-24
(22) 29.04.83
(46) 23.09.85. Бюл. № 35
(72) Л.Г. Лопато и А.А. Шостак
(71) Минский радиотехнический институт
(53) 681,325.5(088.8)
(56) Авторское свидетельство СССР № 729587, кл. G 06 F 7/52, 1977.
Авторское свидетельство СССР № 1035600, кл. G 06 F 7/52, 1981.

(54)(57) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ, содержащее регистры множимого, множителя и произведения, матрицу блоков умножения, двоичные сумматоры, преобразователи двоичного кода в десятичный и десятичный сумматор, причем первые входы блоков умножения каждой строки матрицы соединены с выходами тетрад регистра множимого, вторые входы блоков умножения каждого столбца матрицы соединены с выходами соответствующих тетрад регистра множителя, причем входы k -го двоичного сумматора ($k = 1, \dots, N+M-3$; N - число десятичных разрядов множимого; M - число десятичных разрядов множителя) соединены с выходами младших тетрад i -х блоков умножения j -х строк матрицы ($i = 1, \dots, N$; $j = 1, \dots, M$; $i + j = k + 2$), выходы двоичных сумматоров с первого по $(N+M-2)$ -й соединены с входами соот-

ветствующих преобразователей двоичного кода в десятичный, p -й выход g -го преобразователя двоичного кода в десятичный соединен с входом $(p+g-2)$ -го разряда десятичного сумматора ($p = 1, \dots, l$; l - число выходов данного преобразователя двоичного кода в десятичный; $g = 1, \dots, N+M-2$), отличающееся тем, что, с целью сокращения количества оборудования, блоки умножения выполнены десятичными, выходы младшей и старшей тетрад первого блока умножения первой строки матрицы соединены соответственно с входом первой тетрады регистра произведения и входом первого двоичного сумматора, первый выход первого преобразователя двоичного кода в десятичный соединен с входом второй тетрады регистра произведения, выходы младшей и старшей тетрад N -го блока умножения M -й строки матрицы соединены соответственно с входом $(N+M-2)$ -го двоичного сумматора и входом $(N+M-2)$ -й тетрады десятичного сумматора, выходы старших тетрад i -х блоков умножения j -х строк матрицы соединены с входами $(k+1)$ -го двоичного сумматора, выходы разрядов с первого по $(N+M-2)$ -й десятичного сумматора соединены с входами тетрад соответственно с третьей по $(N+M)$ -ю регистра произведения.

(19) SU (11) 1180881 A

Изобретение относится к вычислительной технике и может быть использовано для быстрого умножения десятичных чисел, а также применено в качестве основы при разработке универсальных быстродействующих устройств умножения двоичных и десятичных чисел.

Цель изобретения - сокращение количества оборудования устройства за счет упрощения используемых в нем преобразователей двоичного кода в десятичный из-за обеспечения меньшего диапазона преобразуемых в них чисел.

На чертеже приведена структурная схема предлагаемого устройства (для случая, когда число десятичных разрядов у множимого и у множителя равно трем).

Устройство содержит регистры 1 - 3 множимого, множителя и произведения соответственно, матрицу блоков 4 умножения, двоичные сумматоры 5, преобразователи 6 двоичного кода в десятичный и десятичный сумматор 7. Первые входы блоков 4 умножения каждой строки матрицы соединены с выходами соответствующих тетрад регистра 1 множимого, вторые входы блоков 4 умножения каждого столбца матрицы соединены с выходами соответствующих тетрад регистра 2 множителя, входы k -го двоичного сумматора 5 ($k = 1, 2, 3, 4$) соединены с выходами младших тетрад i -х блоков 4 умножения j -х строк матрицы ($i = 1, 2, 3; j = 1, 2, 3; i + j = k + 2$), выходы старших тетрад которых соединены с входами $(k+1)$ -го двоичного сумматора 5, выходы двоичных сумматоров 5 с первого по четвертый соединены с входами соответствующих преобразователей 6 двоичного кода в десятичный, p -й выход q -го преобразователя 6 двоичного кода в десятичный соединен с входом $(p+q-2)$ -го разряда десятичного сумматора 7 ($p = 1, 2; q = 1, 2, 3, 4$), выходы младшей и старшей тетрад первого блока 4 умножения первой строки матрицы соединены соответственно с входом первой тетрады регистра 3 произведения и входом первого двоичного сумматора 5, первый выход первого преобразователя 6 двоичного кода в десятичный соединен с входом второй тетрады регистра 3 произведения, выходы младшей и старшей тетрад третьего блока 4 умножения третьей строки матрицы соединены соответ-

ственно с входом четвертого двоичного сумматора 5 и входом четвертой тетрады десятичного сумматора 7, выходы разрядов с первого по четвертый десятичного сумматора 7 соединены с входами тетрад соответственно с третьей по шестую регистра 3 произведения.

В устройстве блоки 4 умножения матрицы, двоичные сумматоры 5, преобразователи 6 двоичного кода в десятичный и десятичный сумматор 7 являются комбинационными схемами.

Блок 4 умножения матрицы предназначен для перемножения двух десятичных цифр (цифры множимого и цифры множителя). На его выходах формируется двухразрядное произведение в десятичном коде. Пусть, например, цифра множимого равна 9, цифра множителя равна 7, и для представления десятичных цифр используется код прямого замещения $8 - 4 - 2 - 1$. Тогда на выходах старшей тетрады блока 4 умножения сформируется код 0110, а на выходах его младшей тетрады - код 0011. Блок 4 умножения может быть реализован по соответствующей таблице истинности на ПЗУ или в виде совокупности двоичного множителя и преобразователя двоичного кода в десятичный, причем выходы множителя подключены соответствующим образом к входам преобразователя двоичного кода в десятичный или же другими известными методами и средствами.

В каждом сумматоре 5 осуществляется двоичное суммирование младших цифр произведений, сформированных на выходах всех тех блоков 4 умножения, которые расположены в той же весовой десятичной позиции, что и данный сумматор 5, и старших цифр произведений, сформированных на выходах всех тех блоков 4 умножения, которые расположены в соседней младшей весовой позиции по отношению к весовой десятичной позиции данного сумматора 5.

С помощью преобразователей 6 осуществляется преобразование двоичных сумм, сформированных на выходах сумматоров 5, в десятичные суммы.

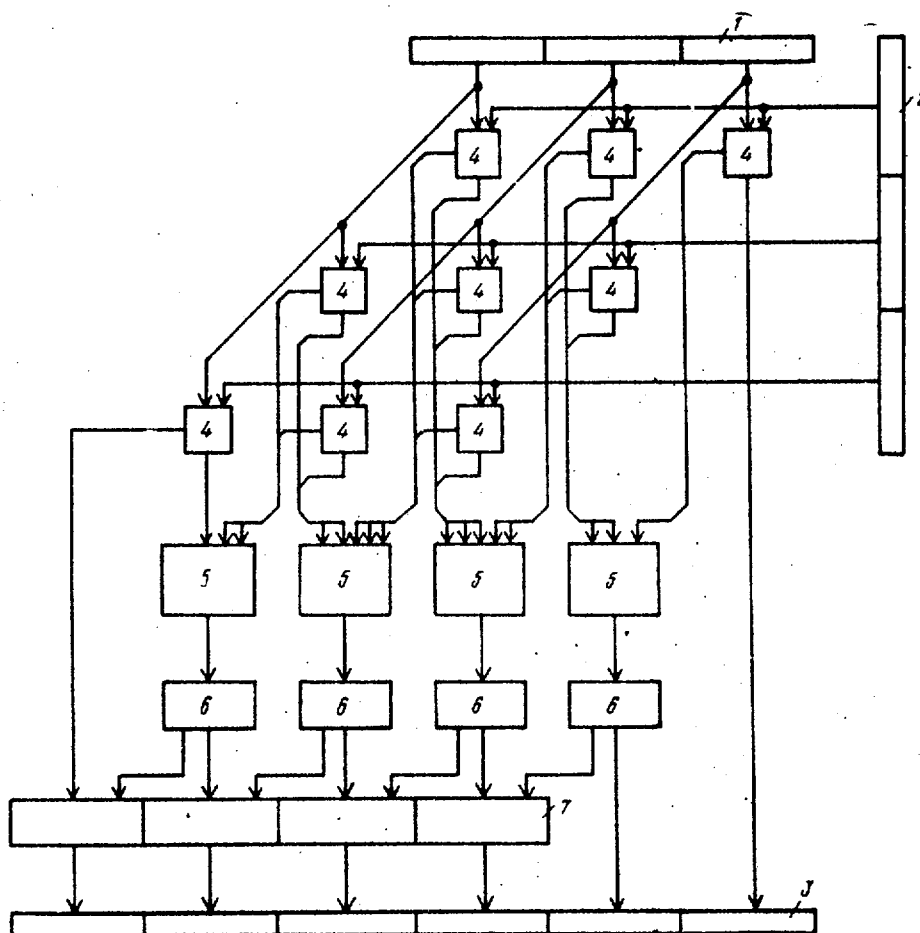
Десятичный сумматор 7 выполняет суммирование с распространением переноса результатов, образованных на выходах преобразователей 6 двоичного кода в десятичный.

Устройство работает следующим образом.

Одновременно или последовательно во времени в регистры 1 и 2 соответственно множимого и множителя загружаются десятичные сомножители. После загрузки операндов во входные регистры 1 и 2 устройства начинают работать блоки 4 умножения матрицы, с помощью которых формируются в десятичном коде двухразрядные произведения десятичных цифр множимого и множителя. Сформированные на выходах блоков 4 умножения матрицы значения младших и старших тетрад двухразрядных произведений поступают далее на равновесовые входы сумматоров 5, где осуществляется их двоичное суммирование. Образованные на выходах сумматоров 5 двоичные суммы посредством преобразователей 6 преобразуются в десятичные суммы, которые поступают на равновесовые входы десятичного сумматора 7. Сформированная на выходах десятичного сумматора 7 сумма записывается в соответствующие разряды регистра 3 произведения, в первый разряд которого поступает значение младшей тетрады с выхода первого

блока 4 умножения первой строки матрицы, а во второй разряд регистра 3 произведения подается результат, образованный на первом выходе первого преобразователя 6 двоичного кода в десятичный.

Таким образом, предложенное устройство для умножения может быть принято за основу при разработке универсального быстродействующего устройства умножения двоичных и десятичных чисел. Для этого необходимо в его блоках 4 умножения матрицы предусмотреть формирование значений тетрадных произведений как в десятичном коде, так и в двоичном, а вместо десятичного сумматора 7 использовать универсальный сумматор для сложения двоичных и десятичных чисел. Это устройство при умножении десятичных чисел работает так же, как и рассмотренное выше. Основное отличие при умножении на нем двоичных чисел состоит в том, что на входы сумматора 7 информация поступает не с выходов преобразователей 6 двоичного кода в десятичный, а непосредственно с выходов двоичных сумматоров 5.



Составитель А. Шостак
 Редактор Г. Волкова Техред М. Гергель Корректор И. Муска

Заказ 5926/47 Тираж 709 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4