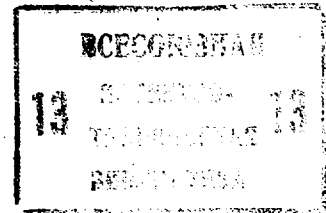




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3559494/24-09
(22) 24.02.83
(46) 07.11.85. Бюл. № 41
(71) Минский радиотехнический институт
(72) А.Н.Морозевич, В.Н.Мухаметов, С.П.Новик и И.А.Прищепенок
(53) 621.374.44(088.8)
(56) Авторское свидетельство СССР № 690609, кл. Н 03 В 19/10, 15.08.77.
Авторское свидетельство СССР № 1034146, кл. Н 03 К 23/00, 28.09.82.

(54)(57) ЦИФРОВОЙ УМНОЖИТЕЛЬ ЧАСТОТЫ, содержащий генератор импульсов, первый и второй элементы И, первые входы которых объединены, первый и второй элементы ИЛИ, формирователь импульсного сигнала, вход которого является входом цифрового умножителя частоты, первый, второй и третий счетчики, первый и второй буферный регистры, первый элемент задержки, при этом выход формирователя импульсного сигнала соединен с управляющим входом первого буферного регистра, управляющим входом второго буферного регистра и входом первого элемента задержки, выход которого подключен к установочным входам первого и второго счетчиков и первому входу второго элемента ИЛИ, второй вход которого подключен к выходу третьего счетчика, установочный вход третьего счетчика подключен к выходу второго элемента ИЛИ, информационные выходы второго счетчика подключены к информационным входам второго буферного регистра, информационные выходы ко-

торого подключены к информационным входам третьего счетчика, информационные выходы первого счетчика соединены с информационными входами первого буферного регистра, суммирующий вход второго счетчика подключен к выходу переполнения первого счетчика, отличающемся тем, что, с целью повышения точности умножения, введены первый и второй триггеры, третий, четвертый и пятый элементы ИЛИ, четвертый, пятый и шестой счетчики, третий элемент И и второй элемент задержки, при этом вход второго элемента задержки подключен к выходу первого элемента ИЛИ, а выход к суммирующему входу третьего счетчика, вычитающий вход третьего счетчика подключен к суммирующему входу первого счетчика и выходу четвертого счетчика, установочный вход четвертого счетчика подключен к выходу первого элемента задержки и первым входам третьего и четвертого элементов ИЛИ, выход генератора импульсов подключен к первому входу третьего элемента И и суммирующему входу четвертого счетчика, второй вход третьего элемента И подключен к неинверсному выходу первого триггера, выход третьего элемента И подключен к первому входу первого элемента И, прямой и инверсный входы первого триггера подключены соответственно к выходу третьего счетчика и выходу пятого элемента ИЛИ, который является выходом цифрового умножителя частоты, выход четвертого элемента ИЛИ подключен к первому входу пятого эле-

мента ИЛИ, инверсному входу второго триггера и установочному входу шестого счетчика, информационные выходы первого буферного регистра соединены с информационными входами пятого и шестого счетчиков, выход первого элемента И подключен к суммирующему входу пятого счетчика и вычитающему входу шестого счетчика, выход второго элемента И подключен к вычитающему входу пятого счетчика и суммирующему входу шестого счетчика, второй вход первого элемента И подключен к прямому выходу второго триггера, второй вход второго элемента И подключен к инверсному выходу второго триггера,

выход отрицательного переполнения пятого счетчика подключен к прямому входу второго триггера, второму входу третьего элемента ИЛИ и второму входу пятого элемента ИЛИ, выход положительного переполнения пятого счетчика подключен к первому входу первого элемента ИЛИ, выход отрицательного переполнения шестого счетчика подключен к второму входу четвертого элемента ИЛИ, выход положительного переполнения шестого счетчика подключен к второму входу первого элемента ИЛИ, выход третьего элемента ИЛИ подключен к входу перезаписи кода пятого счетчика.

1

Изобретение относится к вычислительной, измерительной и радиотехнике и может быть использовано для получения последовательности импульсов, частота следования которых в заданное число раз превышает частоту следования входных импульсов.

Цель изобретения - повышение точности умножения.

На чертеже изображена структурная электрическая схема цифрового множителя частоты.

Предлагаемое устройство содержит генератор 1 импульсов, первый 2 и второй 3 элементы И, первый элемент ИЛИ 4, формирователь 5 импульсного сигнала, первый 6 и второй 7 буферные регистры, первый элемент 8 задержки, первый 9 и второй 10 счетчики, второй элемент ИЛИ 11, третий счетчик 12, первый 13 и второй 14 триггеры, третий элемент И 15, третий 16, четвертый 17 и пятый 18 элементы ИЛИ, четвертый 19, пятый 20 и шестой 21 счетчики, второй элемент 22 задержки.

Цифровой множитель частоты работает следующим образом.

Входной периодический сигнал с периодом $T_{вх}$ поступает на формирователь 5, формирующий короткие прямоугольные импульсы, период ко-

2

торых равен $T_{вх}$. Генератор 1 вырабатывает стабильные импульсы с периодом следования T_0/K , которые поступают на суммирующий вход четвертого счетчика 19. На его выходе формируется импульсная последовательность с периодом $(T_0/K) \cdot K = T_0$, где K - коэффициент деления четвертого счетчика 19, равный коэффициенту умножения частоты. Эти импульсы поступают на суммирующий вход первого счетчика 9 и вычитающий вход третьего счетчика 12.

Первый импульс с выхода формирователя 5 осуществляет перезапись кодов из первого 9 и второго 10 счетчиков в первый 6 и второй 7 буферные регистры соответственно. Этот же сигнал, но задержанный в первом элементе 8 задержки на время перезаписи кодов, устанавливает в четвертом счетчике 19 код 00...0, в первом счетчике 9 - код 11...1, во втором счетчике 10 - код 011...1. Кроме того, этот же сигнал, проходя через второй элемент ИЛИ 11, осуществляет перезапись кода из второго буферного регистра 7 в третий счетчик 12 и, проходя через третий элемент ИЛИ 16, осуществляет перезапись кода из первого буферного регистра 6 в пя-

тый счетчик 20. В то же время сигнал с выхода первого элемента 8 задержки, проходя через четвертый элемент ИЛИ 17, осуществляет перезапись кода из первого буферного регистра 6 в шестой счетчик 21, устанавливает второй триггер 14 в нулевое состояние. Этот же сигнал с выхода четвертого элемента ИЛИ 17, проходя через пятый элемент ИЛИ 18 устанавливает первый триггер 13 в нулевое положение.

За период времени $T_{вх}$ на вход четвертого счетчика 19 поступает $T_{вх} (T_0/K)$ импульсов. Следовательно на суммирующий вход первого счетчика 9 поступает $N_1 = [T_{вх}/T_0]$ импульсов. Поэтому с учетом начального состояния первого счетчика 9, на суммирующий вход второго счетчика 10 поступает $N_2 = [(N_1 - 1)/K]$ импульсов. С учетом того, что исходным состоянием первого счетчика 9 является код 11...1, в нем за период $T_{вх}$, зафиксируется код, равный дробной части результата деления $N_1 - 1$ на K , т.е. $(N_1 - 1)/K - N_2$. $N_1 - 1$, а не N_1 , так как первый импульс с выхода четвертого счетчика 19 устанавливает код 00...0 в первом счетчике 9. За время $T_{вх}$ во втором счетчике 10 фиксируется код $N_2 - 2$, так как его исходное состояние 011...1 (слева младший разряд), т.е. первый импульс, поступивший на вход второго счетчика 10 с выхода первого счетчика 9, — это первый импульс, поступивший на вход первого счетчика 9, устанавливает в нем код 11...1, а второй — код 00...0.

Следующий импульс с выхода формирователя 5 также осуществляет перезапись кодов из первого 9 и второго 10 счетчиков в первый 6 и второй 7 буферные регистры соответственно. При этом в первом буферном регистре 6 оказывается записанный уменьшенный на единицу код ошибки измерения $T_{вх}$, а во втором буферном регистре 7 — уменьшенный на два код измеряемой величины $T_{вх}$.

Задержанный сигнал с выхода первого элемента 8 задержки опять устанавливает в исходное состояние первый 9, второй 10 и четвертый 19 счетчики и первый 13 и второй 14 триггеры. При этом в третьем счетчи-

ке 12 переписывается код $N_2 - 1$. Состояние первого 6 и второго 7 буферных регистров не изменяется в течение времени $T_{вх}$, т.е. до прихода следующего импульса с формирователя 5.

Импульсы с выхода четвертого счетчика 19 с периодом следования T_0 продолжают поступать на вычитающий вход третьего счетчика 12 и суммирующий вход первого счетчика 9. При этом каждый импульс, поступающий на вычитающий вход третьего счетчика 12 уменьшает содержимое последнего на единицу. Следовательно, через время $(N_2 - 1) \cdot T_0$ код третьего счетчика 12 становится нулевым, а следующий импульс вызывает его отрицательное переполнение и на его выходе возникает сигнал (импульс). Этот импульс, проходя через второй элемент 11 ИЛИ, осуществляет запись в третий счетчик 12 кода $N_2 - 1$.

Интервал времени между моментом появления импульса на выходе формирователя 5 и моментом появления импульса на выходе третьего счетчика 12 равен $N_2 \cdot T_0$. Если величина $T_{вх}$ такова, что $T_{вх}/T_0 = [T_{вх}/T_0] = N_1$ и $(N_1 - 1)/K = [(N_1 - 1)/K] = N_2$, то $N_2 \cdot T_0 = \frac{T_{вх}}{K} - \frac{T_0}{K}$, т.е. погрешность преобразования (умножения) частоты определяется лишь периодом следования тактовых импульсов. Такое условие выполняется крайне редко, поэтому погрешность преобразования, если не вводить коррекцию, может оказаться существенно большей и достигать значения T_0 .

Коррекция положения во времени выходного импульса осуществляется следующим образом.

Сигнал с выхода третьего счетчика 12, который осуществляет перезапись кода из второго буферного регистра 7 в третий счетчик 12, поступает на прямой вход первого триггера 13, который при этом переходит в единичное состояние — сигнал с его инверсного выхода открывает элемент И 15 для прохождения через него высокочастотных импульсов с генератора 1. Эти импульсы с периодом T_0/K проходят через открытый второй элемент И 3 (второй триггер 14 находится в нулевом по-

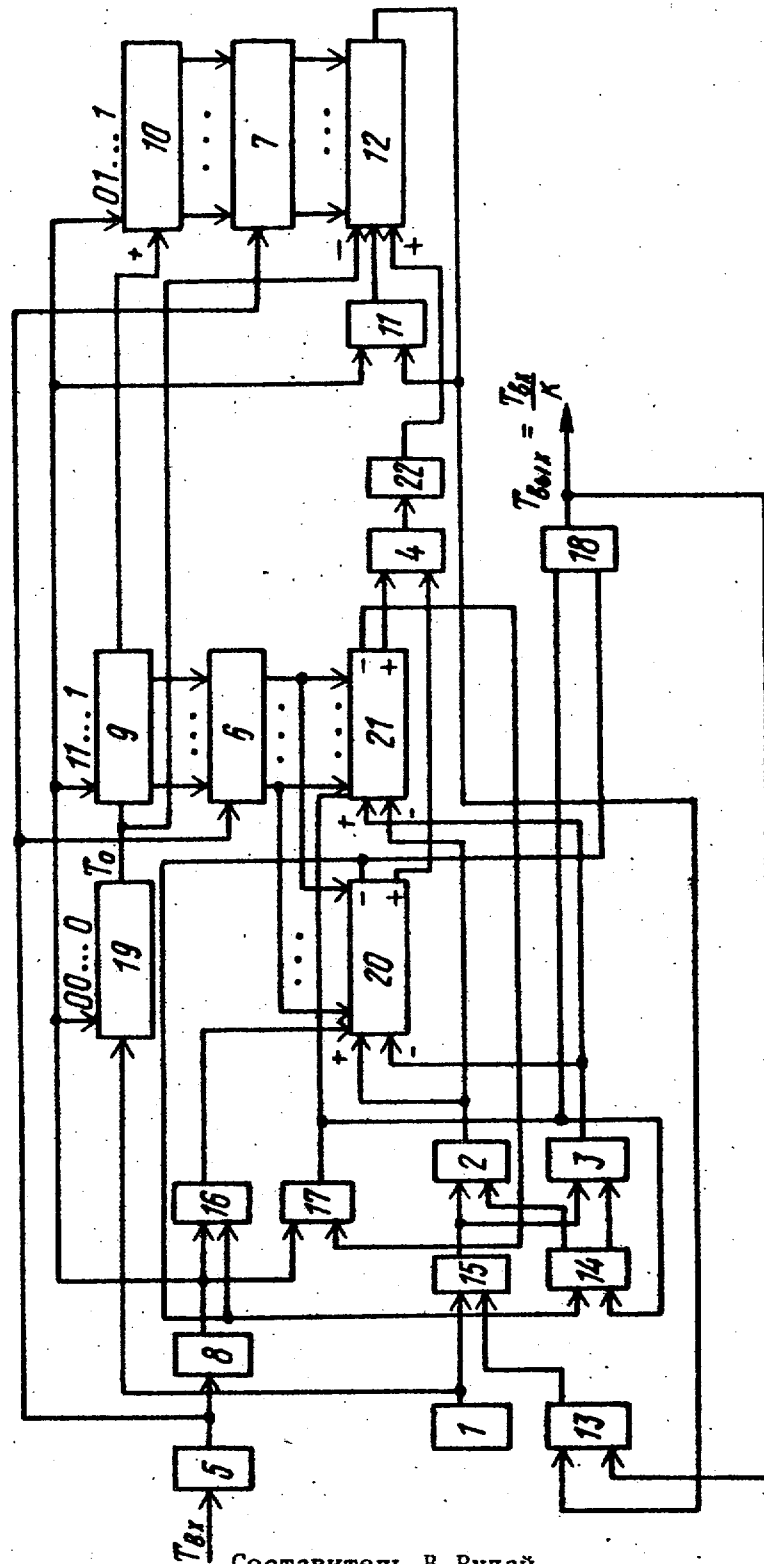
ложении) на вычитающий вход пятого счетчика 20 и суммирующий вход шестого счетчика 21. При этом в пятом 20 и шестом 21 счетчиках содержится код $N_2 - 1$. Поэтому после поступления $N_1 - 1$ импульсов на вычитающий вход пятого счетчика 20 он обнуляется, а следующий импульс вызывает его отрицательное переполнение.

Этот сигнал отрицательного переполнения пятого счетчика 20, проходя через пятый элемент ИЛИ 18 поступает далее на выход устройства и на инверсный вход первого триггера 13, блокируя прохождение импульсов через элемент И 15. Коррекция положения во времени одного импульса закончена. Сигнал отрицательного переполнения пятого счетчика 20, проходя через третий элемент ИЛИ 16 осуществляет перезапись кода из первого регистра 6 в пятый счетчик 20, а второй триггер 14 переводит в "единицу". Коррекция протекает за время меньше T_0 (т.е. между тактами T_0) и поэтому на работу третьего счетчика 12 влияния не оказывает.

Для уменьшения погрешности преобразования положение первого выходного импульса смещено на $N_1 \cdot T_0 / K$ относительно импульса, возникшего на выходе третьего счетчика 12. Поэтому следующий импульс должен быть смещен на $2N_1 \cdot T_0 / K$ и т.д. Код величины смещения второго (и последующих четных) импульса формируется на шестом счетчике 21. В исходном состоянии в последнем записан код $N_1 - 1$. К моменту формирования первого выходного импульса на суммирующий вход шестого счетчика 21 и на вычитающий вход пятого счетчика 20 поступает N_1 импульс. Следовательно

но, код должен быть $2N_1 - 1$. Если $2N_1 - 1 < K$ (K - емкость счетчика, равная коэффициенту умножения частоты), этот код $2N_1 - 1$ хранится до прихода второго импульса с выхода третьего счетчика 12. Если же $2N_1 > K$, то в момент достижения кодом шестого счетчика 21 величины K происходит его положительное переполнение. При этом возникает сигнал на соответствующем выходе шестого счетчика 21, который проходит через первый элемент ИЛИ 4 и, задержавшись на втором элементе 22 задержки, поступает на суммирующий вход третьего счетчика 12. При этом происходит увеличение содержимого кода третьего счетчика 12 на единицу. Последнее влечет за собой увеличение интервала времени между первым и вторым сигналами с выхода третьего счетчика 12 на величину T_0 . Остальные $2N_1 - 1 - K$ импульсов коррекции с периодом T_0 / K фиксируются на шестом счетчике 21.

Второй импульс с выхода третьего счетчика 12 опять переводит первый триггер 13 в единичное состояние. Импульсы с периодом T_0 / K с выхода генератора 1 опять начинают поступать на пятый 20 и шестой 21 счетчики. Однако в этот промежуток времени импульсы проходят через первый элемент И 2 на суммирующий вход пятого счетчика 20 (на нем накапливается код величины коррекции положения во времени третьего выходного сигнала) и на вычитающий вход шестого счетчика 21, при отрицательном переполнении которого формируется второй выходной импульс. Он и проходит через пятый элемент ИЛИ на выход устройства. В дальнейшем работа цифрового умножителя частоты протекает аналогично описанному.



Составитель В. Рудай
 Редактор М. Бланар Техред А. Бабинец Корректор В. Гирняк

Заказ 6999/55 Тираж 871 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИИИ "Патент", г. Ужгород, ул. Проектная, 4