

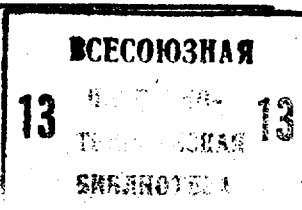


СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) SU (11) 1196853 A

(5D) 4 G 06 F 7/52

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3753850/24-24  
(22) 14.06.84  
(46) 07.12.85. Бюл. № 45  
(71) Минский радиотехнический институт  
(72) А.И.Нозик и А.А.Шостак  
(53) 681.325 (088.8)  
(56) Карцев М.А. Арифметика цифровых машин. М. 1969. с.532-536.

Stefanelly Renato. A suggestion for a high-speed parallel binary divider. IEEE Trans Comput, 1972, V 21, № 1, pp 42-55, fig.1,2,11.

(54)(57) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ ОБРАТНОЙ ВЕЛИЧИНЫ, содержащее вычитатель, треугольную матрицу из  $(n-2)(n-1)/2$  сумматоров и  $(n-2)$

$(n-1)/2$  умножителей ( $n$ -разрядность операнда) и преобразователь избыточного кода в двоичный, причем  $i$ -ая строка матрицы ( $i=1, \dots, n-2$ ) содержит  $(n-i-1)$  сумматоров и  $(n-i-1)$  умножителей, первый вход  $(i, j)$ -го умножителя ( $j=1, \dots, n-2$ ) соединен с входом  $k$ -го разряда операнда устройства ( $k=2, \dots, n-1$ ), разрядные выходы результата которого соединены с выходами преобразователя избыточного кода в двоичный, вход второго разряда операнда устройства соединен с первым входом вычитателя, выход  $(i, j)$ -го умножителя - с входом первого слагаемого соответствующего  $(i, j)$ -го сумматора, отличающемся тем, что, с целью повышения быстродействия, в него введены  $(n-2)$  преобразователей двоич-

ного кода в обратный, причем вход кода значения числа "2" устройства соединен с вторым входом вычитателя, выход которого соединен с вторыми входами  $(1, l)$ -х умножителей ( $l$ -номера нечетных столбцов матрицы), первым входом преобразователя избыточного кода в двоичный и входом первого преобразователя двоичного кода в обратный, выход которого соединен с вторыми входами  $(1, m)$ -ых умножителей ( $m$ -номера четных столбцов матрицы), вход  $t$ -го разряда операнда устройства ( $t=3, \dots, n$ ) соединен с входом второго слагаемого  $(1, j)$ -го сумматора соответственно, выход  $(i, 1)$ -го сумматора, кроме  $(n-2, 1)$ -го сумматора, соединен с вторыми входами  $(i+1, l)$ -х умножителей и входом  $r$ -го преобразователя двоичного кода в обратный ( $r=2, \dots, n-2$ ) соответственно, выход  $(n-2, 1)$ -го сумматора соединен с  $(n-1)$ -ым входом преобразователя избыточного кода в двоичный, четные входы которого соединены соответственно с выходами четных преобразователей двоичного кода в обратный, а нечетные входы, кроме первого, соединены с выходами четных сумматоров первого столбца матрицы, выходы  $S$ -го преобразователя двоичного кода в обратный ( $S=2, \dots, n-3$ ) соединены соответственно с вторыми входами  $(S, m)$ -х умножителей, выход  $(i, r)$ -го сумматора соединен с входом второго слагаемого  $(i+1, r-1)$ -го сумматора.

(19) SU (11) 1196853 A

Изобретение относится к вычислительной технике и может быть использовано для быстрого вычисления обратной величины и при реализации операции деления.

Целью изобретения является повышение быстродействия устройства.

На чертеже представлена структурная схема устройства для вычисления обратной величины (для случая, когда  $n=r=6$ , где  $n$  - разрядность операнда,  $r$  - число избыточных цифр обратной величины).

Устройство для вычисления обратной величины содержит треугольную матрицу, состоящую из десяти умножителей 1-10 и десяти сумматоров 11-20, вычитатель 21, преобразователь 22 избыточного кода в двоичный, четыре преобразователя 23-26 двоичного кода в обратный, вход 27 кода значения числа "2" устройства, вход 28 операнда устройства, выход 29 результата устройства.

Алгоритм вычисления обратной величины заключается в следующем. Пусть исходный операнд  $A=0, a_1 a_2 a_3 a_4 a_5 a_6$  - нормализованная двоичная дробь, а значение его обратной величины представляется в виде

$$Q = \frac{1}{A} = g_0, g_1 g_2 g_3 g_4 g_5,$$

где  $g_i$  -  $i$ -я избыточная цифра обратной величины  $Q (0 \leq i \leq 5)$ .

Из условия  $A \cdot Q = 1$  находятся выражения для определения значений избыточных цифр обратной величины. Для этого необходимо приравнять значения сумм соответствующих разрядных произведений произведения  $A \cdot Q$  значениям равновесовых разрядов числа "1", представленного в предлагаемом устройстве следующим образом

$$1 = 0,120000 = 1 \cdot 2^{-1} + 2 \cdot 2^{-2}.$$

В результате получим следующую систему уравнений.

$$a_1 g_0 = 1;$$

$$a_1 g_1 + a_2 g_0 = 2;$$

$$a_1 g_2 + a_2 g_1 + a_3 g_0 = 0;$$

$$a_1 g_3 + a_2 g_2 + a_3 g_1 + a_4 g_0 = 0;$$

$$a_1 g_4 + a_2 g_3 + a_3 g_2 + a_4 g_1 + a_5 g_0 = 0;$$

$$a_1 g_5 + a_2 g_4 + a_3 g_3 + a_4 g_2 + a_5 g_1 + a_6 g_0 = 0.$$

С учетом того, что  $a_1 = 1$ , так как операнд нормализован, выражения для

определения значений избыточных цифр обратной величины  $Q$  принимают вид

$$g_0 = 1;$$

$$5 \quad g_1 = 2 - a_2;$$

$$g_2 = -(a_3 + a_2 g_1);$$

$$g_3 = -(a_4 + a_3 g_1 + a_2 g_2);$$

$$g_4 = -(a_5 + a_4 g_1 + a_3 g_2 + a_2 g_3);$$

$$g_5 = -(a_6 + a_5 g_1 + a_4 g_2 + a_3 g_3 + a_2 g_4).$$

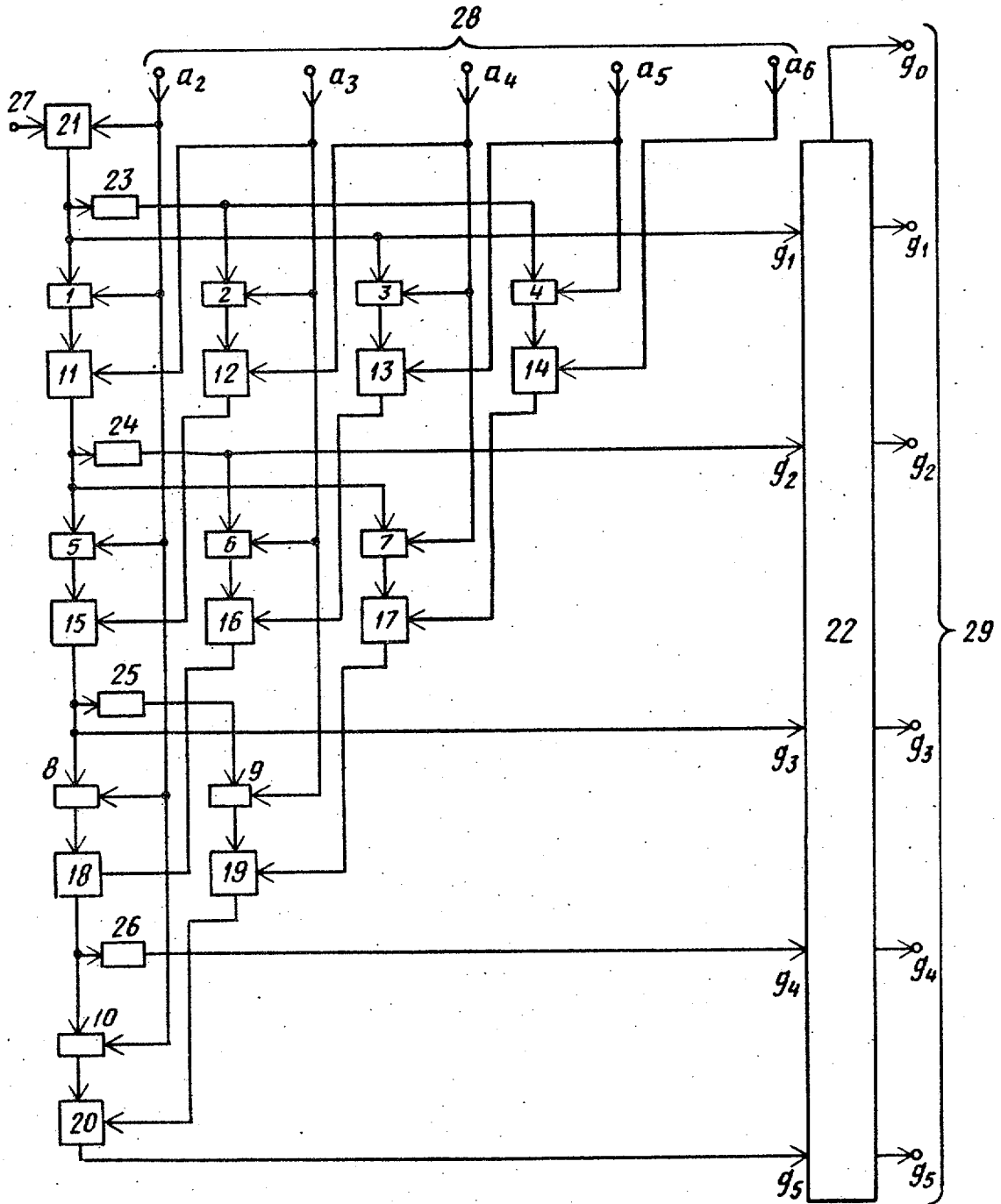
- 10 В устройстве избыточные цифры результата формируются в соответствии с приведенными выражениями. Так, цифра  $g_1$  образуется на выходе вычитателя 21, вход уменьшаемого которого
- 15 подключен к входу 27, а вход вычитаемого соединен с входом второго разряда  $a_2$  операнда  $A$ . Цифра  $g_2$  формируется на выходе преобразователя 24 следующим образом. С помощью умно-
- 20 жителя 1 вычисляется значение  $a_2 g_1$ , которое далее поступает на первый вход сумматора 11, на второй вход которого подается значение третьего разряда  $a_3$  исходного операнда  $A$ .
- 25 На выходе сумматора 11 образуется результат  $a_3 + a_2 g_1$ , который отличается только знаком от соответствующего результата в приведенной системе управлений. Преобразователь 24
- 30 изменяет знак этого результата на противоположный, в результате чего на его выходе формируется значение второй избыточной цифры результата  $g_2 = -(a_3 + a_2 g_1)$ . Подобным образом
- 35 вычисляются в устройстве значения и других избыточных цифр результата  $g_3, g_4, g_5$ . Значение цифры  $g_0$  результата всегда равно единице, а поэтому она явно в устройстве не формируется. Но ее значение обязательно учитывается в преобразователе 22
- 40 при формировании окончательного значения обратной величины в простом двоичном коде  $Q = g'_0, g'_1 g'_2 g'_3 g'_4 g'_5$  на выходе 29 устройства.

45 Устройство для вычисления обратной величины работает следующим образом.

- 50 На входе 28 устройства одновременно подаются значения  $a_2 a_3 a_4 a_5 a_6$  пяти младших разрядов исходного операнда  $A$  (значение старшего разряда  $a_1 = 1$  непосредственно не участвует в формировании избыточных цифр результата и на вход устройства не поступает). Далее последовательно
- 55 во времени с помощью умножителей 1-10, сумматоров 11-20, преобразователей 23-26, вычитателя 21 формиру-

ются значения пяти избыточных цифр результата  $g_1 g_2 g_3 g_4 g_5$  в соответствии с выражениями, приведенными выше (сначала формируется значение цифры  $g_1$ , потом  $g_2$  и т.д.). Далее значения всех избыточных цифр посту-

пают на соответствующие входы преобразователя 22, в котором осуществляется их алгебраическое суммирование и на выходе 29 устройства формируется результат  $Q = g'_0 g'_1 g'_2 g'_3 g'_4 g'_5$  в простом двоичном коде.



Составитель Е. Захарченко  
 Редактор С. Патрушева      Техред М. Надь      Корректор С. Черни

---

Заказ 7564/47      Тираж 709      Подписное

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

---

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4