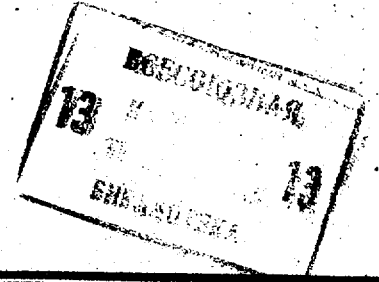




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3654664/24-24
(22) 31.08.83
(46) 23.12.85. Бюл. № 47
(71) Минский радиотехнический институт
(72) Е.А.Багаев, В.Г.Беляев, М.А.Орлов, В.Н.Орлова и А.Н.Попов
(53) 681.325 (088.8)
(56) Авторское свидетельство СССР № 185569, кл. G 06 F 7/58, 1965.
Авторское свидетельство СССР № 888115, кл. G 06 F 7/58, 1980.
Авторское свидетельство СССР № 430368, кл. G 06 F 1/02, 1972.
- (54) (57) ДАТЧИК СЛУЧАЙНЫХ ЧИСЕЛ, содержащий блок управления, элемент ИЛИ, элемент ИЛИ-НЕ, первый регистр памяти, блок памяти, группа выходов которого соединена с группой входов вероятностного преобразователя соответственно, отличающийся тем, что, с целью упрощения датчика, он содержит сумматор, схему сравнения, два коммутатора, второй регистр памяти, регистр сдвига, наборное поле, а блок управления содержит триггер, переключатель, счетчик, регистр сдвига, распределитель импульсов, восемь элементов И, генератор импульсов, элемент задержки, элемент ИЛИ-НЕ и пять элементов ИЛИ, выходы первого элемента ИЛИ и первого и второго элементов И блока управления соединены соответственно с первым, вторым и третьим входами второго элемента ИЛИ блока управления, выход которого соединен с синхронизирующим входом блока памяти,

группа выходов которого соединена с группой информационных входов второго регистра памяти соответственно, выход третьего элемента И блока управления соединен с синхронизирующим входом второго регистра памяти и с первым входом элемента ИЛИ-НЕ блока управления, выход которого соединен с синхронизирующим входом регистра сдвига, выход четвертого элемента И блока управления соединен с вторым входом элемента ИЛИ-НЕ блока управления и с управляющим входом вероятностного преобразователя, выход которого соединен с первым входом элемента ИЛИ, выход которого соединен с информационным входом регистра сдвига, установочный вход которого является входом "Пуск" датчика и соединен с информационным входом регистра сдвига блока управления, с единичным входом триггера и с прямым входом третьего элемента ИЛИ блока управления, выход которого соединен с синхронизирующим входом регистра сдвига блока управления, установочный вход которого является входом "Сброс" датчика и соединен с первым входом элемента ИЛИ-НЕ, с первым входом четвертого элемента ИЛИ блока управления и с установочным входом счетчика, выход переполнения которого соединен с вторым входом четвертого элемента ИЛИ блока управления, выход которого соединен с нулевым входом триггера, единичный выход которого соединен с прямым входом второго элемента И блока управления и с

входом элемента задержки, выход которого соединен с входом "Пуск" генератора импульсов, выход которого соединен с входом распределителя импульсов, первый выход которого соединен с первым входом третьего элемента И блока управления, выход пятого элемента И блока управления соединен с первым инверсным входом третьего элемента ИЛИ блока управления, второй инверсный вход которого подключен к выходу шестого элемента И, выход седьмого элемента И блока управления соединен с входом переключателя, первый выход которого соединен с третьим входом четвертого элемента ИЛИ блока управления, а второй выход переключателя соединен с третьим инверсным входом третьего элемента ИЛИ блока управления, четвертый инверсный вход которого подключен к выходу первого элемента И блока управления, выход восьмого элемента И блока управления соединен с первым входом пятого элемента ИЛИ блока управления, второй вход которого подключен к второму выходу переключателя, а выход пятого элемента ИЛИ блока управления соединен со счетным входом счетчика и с вторым входом элемента ИЛИ-НЕ, выход которого соединен с синхронизирующим входом первого регистра памяти, группа информационных входов которого соединена с группой выходов первого коммутатора соответственно, управляющий вход которого подключен к выходу первого элемента ИЛИ блока управления, второй выход распределителя импульсов соединен с первыми входами четвертого и пятого элементов И блока управления, третий выход распределителя импульсов соединен с первыми входами первого, шестого, седьмого и восьмого элементов И блока управления, выход первого разряда регистра сдвига блока управления соединен с вторым входом элемента ИЛИ и с вторыми входами пятого и третьего элементов И блока управления, выход второго разряда регистра сдвига блока управления соединен с вторыми входами четвертого и шестого элементов И блока управ-

ления, третий вход которого объединен с инверсным входом второго элемента И блока управления и подключен к выходу схемы сравнения, выход третьего разряда регистра сдвига блока управления соединен с вторым входом первого элемента И блока управления, с управляющим входом блока памяти и с первым управляющим входом второго коммутатора, группа выходов которого соединена с первой группой входов сумматора соответственно, вторая группа входов которого соединена с группой выходов первого регистра памяти соответственно, выход четвертого разряда регистра сдвига блока управления соединен с первым входом первого элемента ИЛИ блока управления и вторым входом седьмого элемента И блока управления, выход пятого разряда регистра сдвига блока управления соединен с вторыми входами первого элемента ИЛИ и восьмого элемента И блока управления и с вторым управляющим входом второго коммутатора, первая группа информационных входов которого объединена с первой группой входов схемы сравнения и подключена к группе выходов второго регистра памяти соответственно, а вторая группа информационных входов второго коммутатора объединена с второй группой входов схемы сравнения и подключена к группе выходов регистра сдвига соответственно, группа выходов схемы сравнения подключена к группе выходов регистра сдвига соответственно, группа выходов схемы сравнения подключена к первой группе информационных входов блока памяти соответственно и является первой группой выходов случайных чисел датчика, второй группой выходов случайных чисел которого является группа выходов блока памяти, группа выходов наборного поля соединена с первой группой информационных входов первого коммутатора соответственно, вторая группа информационных входов которого объединена с второй группой информационных входов блока памяти и подключена к группе выходов сумматора соответственно.

Изобретение относится к вычислительной и испытательной технике, может быть использовано для моделирования случайных процессов и полей на универсальных и специализированных вычислительных машинах, а также для формирования многопараметрических сигналов в испытательных системах и особенно эффективно при генерировании дискретных случайных величин, представляемых двоично-кодированными числами в форме с фиксированной либо с плавающей точкой переменной (ординарной или двойной) точности, а также случайных величин, представляемых набором параметров, например, при воспроизведении сложных функций распределения, составленных из конечного множества взвешенных по вероятности первичных распределений.

Цель изобретения - упрощение датчика, повышение его точности и расширение функциональных возможностей за счет увеличения класса воспроизводимых статистических характеристик.

На фиг.1 представлена функциональная схема датчика случайных чисел; на фиг.2 - пример содержимого части памяти, поясняющий процесс формирования случайного числа в форме с фиксированной точкой; на фиг.3 - пример содержимого части памяти, поясняющий процесс чтения из памяти параметров случайной величины, в частности, мантиссы и порядка случайного числа в форме с плавающей точкой; на фиг.4-7 - временные диаграммы сигналов при работе датчика в режимах "Установка", "Подготовка", "Формирование случайного числа" и "Чтение параметров случайной величины" соответственно; на фиг.8 - временная диаграмма синхронизирующих импульсов, вырабатываемых распределителем импульсов блока управления.

Датчик содержит первый коммутатор 1, блок 2 управления, элемент ИЛИ-НЕ 3, первый регистр 4 памяти, сумматор 5, блок 6 памяти, вероятностный преобразователь 7, элемент ИЛИ 8, второй регистр 9 памяти, регистр 10 сдвига, второй коммутатор 11, схему 12 сравнения.

Первый коммутатор 1 содержит элементы ИЛИ 13 и элементы И 14.

Блок 2 управления содержит распределитель 15 импульсов, генератор 16 импульсов, элемент 17 задержки, регистр 18 сдвига, элемент ИЛИ 19, триггер 20, элементы ИЛИ 21₁ и 21₂, элементы И 22₁-22₇, элементы ИЛИ 23₁-23₃, элемент И 24, переключатель 25, счетчик 26.

Второй коммутатор 11 содержит элементы ИЛИ 27 и элементы И 28.

Схема 12 сравнения содержит элемент ИЛИ 29 и элементы И 30 и 31. Кроме того, датчик содержит наборное поле 32. Вероятностный преобразователь 7 выполнен, как в известном устройстве.

Датчик случайных чисел работает следующим образом.

В основу работы датчика положен метод условных вероятностей (МУВ), согласно которому формирование случайного числа в форме с фиксированной точкой осуществляется последовательно, разряд за разрядом, начиная со старшего. Коды условных вероятностей появления в результате работы датчика определенного значения разрядной цифры случайного числа рассчитываются по известным вероятностям появления всего случайного числа (СЧ) из полного их набора, подчиняющегося заданному закону распределения; эти рассчитанные коды вероятностей заносятся в блок 6 памяти и хранятся там.

С целью пояснения метода условных вероятностей рассмотрим следующий пример. Пусть закон распределения задан таблично для восьми значений СЧ.

СЧ	Код СЧ	Безусловная вероятность появления кода СЧ
1	000	$P_1 = P(000)$
2	001	$P_2 = P(001)$
3	010	$P_3 = P(010)$
4	011	$P_4 = P(011)$
5	100	$P_5 = P(100)$

Продолжение таблицы

СЧ	Код СЧ	Безусловная вероятность появления кода СЧ
6	101	$P_6 = P(101)$
7	110	$P_7 = P(110)$
8	111	$P_8 = P(111)$

Согласно МУВ вероятность появления единичной цифры в старшем разряде кода СЧ равна сумме вероятностей всех кодов СЧ, имеющих единицу в старшем разряде, т.е.

$$P(X) = P_5 + P_6 + P_7 + P_8.$$

При условии, что $X = 0$ или $X = 1$, для формирования второй цифры следует рассмотреть две условные вероятности, а именно $P(0X)$ и $P(1X)$ соответственно.

Расчет $P(0X)$ осуществляется делением суммы абсолютных вероятностей СЧ, имеющих единицу во втором разряде при нулевом первом, на сумму вероятностей $P(0)$, т.е. вероятностей всех СЧ с нулевым первым разрядом.

$$P(0X) = (P_3 + P_4) / (P_1 + P_2 + P_3 + P_4).$$

Аналогично определяется $P(1X)$ при зафиксированном в этом обозначении условии равенства единице кодовой цифры СЧ

$$P(1X) = (P_7 + P_8) / (P_5 + P_6 + P_7 + P_8).$$

Видно, что количество получаемых значений пропорционально степени основания 2. Всего настроечный массив включает до $N = 2^9 - 1$ кодов вероятностей.

Таким образом, алгоритм генерирования случайного числа сводится к алгоритму формирования и выборки адресов кодов условных вероятностей при известном исходе предыдущих испытаний. Анализ соответствия значений и кодов случайного числа позволяет использовать следующий эффективный алгоритм управления адресацией блока 6 памяти при специальном размещении кодов условных вероятностей в последнем: коды условных вероятностей в блоке 6 памяти

расположены последовательно с соблюдением принципа первоочередного размещения тех кодов вероятностей, которые соответствуют меньшим значениям кодов случайного числа в каждой группе кодов (т.е. при одной, двух, трех и т.д. известных цифрах). Первым разместим код $P(X)$, затем - коды $P(0X)$ и $P(1X)$, далее - коды $P(00X)$, $P(01X)$, $P(10X)$, $P(11X)$ и т.д. (фиг.2).

Определяющие преимущества используемого алгоритма управления адресацией можно получить, если номера слов памяти с кодами вероятностей закодировать последовательно, начиная с $0...01$, т.е. с единицей в младшем разряде кода относительного адреса. Тогда для формирования кода очередного исполнительного адреса блок 6 памяти достаточно к коду некоторого базового адреса добавить код старших уже сформированных разрядов случайного числа, располагая перед ними (т.е. в дополнительном фиктивном старшем разряде) специальную единичную цифру - динамическую метку (фиг.2). На фиг.2 показано, что в слове памяти по базовому адресу удобно располагать служебную информацию (код статической метки) и формировать код исполнительного адреса (ИА) блока 6 памяти, прибавляя к коду базового адреса (БА) код старших разрядов случайного числа, образующих вместе с динамической меткой (ДМ) код относительного адреса согласно следующим выражениям:

$$ИА = БА + ОА \quad (1)$$

$$ОА = ДМ + СЧ \quad (2)$$

Метка названа динамической потому, что, как видно из фиг.2, она смещается в сторону старших разрядов по мере формирования случайного числа и по окончании формирования S -го разряда последнего динамическая метка оказывается за пределами разрядной сетки случайного числа, т.е. в $(S+1)$ -м разряде.

Итак, алгоритм адресации при формировании случайного числа в форме с фиксированной точкой реализуется следующим образом (фиг.2). В начале работы согласно выражению (2) значение $ОА = ДМ = 1$; при этом согласно выражению (1) значение $ИА = БА + 1$ (на фиг.2 этому испол-

нительному адресу соответствует конец перехода 1). Осуществляется первое испытание с кодом условной вероятности $P(X)$ (расположенным по указанному исполнительному адресу), исходом которого является случайное событие, предположим, с единичным значением. Эта сформированная единица представляет собой старший разряд случайного числа. После этого последний вместе с динамической меткой сдвигается на один разряд в сторону старших (на фиг.2 - влево). Тем самым в соответствии с выражениями (1) и (2) формируется очередной ИА = $BA + 10 + 01$ (на фиг.2 этому исполнительному адресу соответствует конец перехода II).

Далее осуществляется следующее испытание с кодом условной вероятности $P(1X)$ (расположенным по указанному исполнительному адресу), исходом которого является случайное событие, предположим, с нулевым значением. Этот сформированный нуль представляет собой очередной разряд случайного числа. После этого динамическая метка вместе с уже сформированными разрядами случайного числа снова сдвигаются на один разряд в сторону старших. Тем самым в соответствии с выражениями (1) и (2) формируется очередной ИА = $BA + 100 + 010$ (на фиг.2 этому исполнительному адресу соответствует конец перехода III). Далее осуществляется следующее испытание с кодом условной вероятности $P(10X)$ (расположенным по указанному исполнительному адресу), и т.д.

Описанный алгоритм функционирует до тех пор, пока после очередного сдвига в сторону старших разрядов динамическая метка не займет определенного местоположения, которое распознается при помощи кода статической метки. После этого не происходит очередного испытания, и имеют окончательно сформированное случайное число в форме с фиксированной точкой, подчиняющееся тому или иному закону распределения.

Таким образом, в использованном алгоритме осуществлено совмещение процедур формирования случайного числа и исполнительных адресов выборки из блока 6 памяти кодов условных вероятностей для формирования

очередной разрядной цифры случайного числа. Кроме того, примененное специальное расположение кодов условных вероятностей в блоке 6 памяти, необходимое для реализации указанного алгоритма, позволяет эффективно использовать весь объем памяти, так как в нем отсутствуют пропуски между отдельными частями информации (в общем случае различной величины), относящимися к различным законам распределения, что повышает эффективность работы датчика случайных чисел в целом.

Расширение эксплуатационных возможностей датчика случайных чисел, а именно возможность формирования случайных величин, представляемых набором параметров, достигается тем, что для формирования кодов необходимых исполнительных адресов блока 6 памяти, по которым хранятся заранее занесенные туда параметры случайных величин, применяется специальное расположение в блоке 6 памяти этих параметров, а также используются коды сформированного случайного числа в форме с фиксированной точкой и динамической метки. При этом 1-й исполнительный адрес блока 6 памяти, по которому из последнего читается 1-й параметр случайной величины, определяется выражениями (1) и (2) при полностью сформированном случайном числе в форме с фиксированной точкой, входящем в выражение (2), а 2-й и последующие исполнительные адреса, по которым читаются соответствующие параметры, определяются следующим выражением:

$$IA = IA_{i-1} + DM, \quad (3)$$

где $i = 2, 3, 4, \dots$

Пусть (фиг.3) двухразрядное случайное число в форме с фиксированной точкой используется для чтения из блока 6 памяти его эквивалента - случайной величины, представляемой двумя параметрами n_j и λ_j ($j = 1, 2, 3, 4$; максимальная величина $j=2^5$). Эти два параметра можно рассматривать, например, соответственно как мантиссу и порядок случайного числа в форме с плавающей точкой.

Допустим, что при формировании двухразрядного случайного числа в форме с фиксированной точкой, исхо-

дом последнего испытания с кодом условной вероятности $P(IX)$ (расположенным по последнему исполнительному адресу - на фиг.3 этому исполнительному адресу соответствует начало перехода 1) является случайное событие с нулевым значением. Этот сформированный нуль представляет собой последний (младший) разряд случайного числа в форме с фиксированной точкой, использование которого оказывается удобным для формирования необходимого исполнительного адреса и выборки по нему из блока 6 памяти мантииссы n_3 . Для этого динамическая метка вместе с уже сформированными двумя разрядами случайного числа сдвигаются, как и ранее, на один разряд в сторону старших. Тем самым в соответствии с выражениями (1) и (2) формируется $IA_1 = BA + 100 + 010$ (на фиг.3 этому исполнительному адресу соответствует конец перехода 1). По этому исполнительному адресу из блока 6 памяти читается параметр n_3 .

Для чтения соответствующего порядка λ_3 достаточно последовательно упорядоченного расположения величины λ_3 в блоке 6 памяти непосредственно за массивом величин n_i и формирования необходимого исполнительного адреса параметра λ_3 путем прибавления к коду исполнительного адреса параметра n_i кода динамической метки. Тем самым для рассматриваемого примера в соответствии с выражением (3) $IA_2 = (BA + 0110) + 0100$ (на фиг.3 этому исполнительному адресу соответствует конец перехода II). По этому исполнительному адресу из блока 6 памяти читается следующий параметр λ_3 . Процесс формирования следующего исполнительного адреса согласно выражению (3) может быть продолжен сколь угодно число раз.

Таким образом, для каждого сформированного случайного числа в форме с фиксированной точкой из блока 6 памяти выбирается набор параметров, представляющих случайную величину, причем последняя при этом является случайным сформированным числом.

Применяя этот принцип формирования исполнительных адресов добавлением к предыдущему исполнительному адресу динамической метки согласно

выражению (3), можно использовать предлагаемый датчик случайных чисел для получения либо случайных чисел в форме с фиксированной точкой повышенной точности, либо случайных чисел в форме с плавающей точкой, либо случайных величин, представляемых набором параметров; все это расширяет эксплуатационные возможности датчика.

Описание динамики функционирования предлагаемого датчика случайных чисел.

Перед началом работы в блок 6 памяти занесена необходимая информация, а на информационных входах "Базовый адрес" датчика присутствует выставленный с наборного поля код необходимого базового адреса (а именно расположенного в начале той части памяти, в которой записаны коды вероятностей требуемого закона распределения, фиг.2).

В последующей работе датчика можно выделить следующие режимы, которые датчик реализует последовательно в следующем порядке: 1 - "Сбор"; 2 - "Установка"; 3 - "Подготовка"; 4 - "Формирование случайного числа"; 5 - "Чтение параметров случайной величины".

Режимы с второго по пятый включительно иллюстрируются временными диаграммами сигналов (фиг.4-7 соответственно).

Режим "Сброс" начинается при появлении на первом сигнальном входе "Сброс" датчика импульса единичного значения. Передний (положительный) фронт этого импульса, пройдя через вход X1 блока 2 управления, поступает на входы сброса R регистра 18, счетчика 26 и триггера 20 (для последнего - через элемент ИЛИ 21), обнуляя их содержимое. При этом на выходе U8 блока 2 устанавливается единичное значение сигнала, а на выходах U1-U7, U9 и U10 - нулевые значения. Нулевое значение сигнала с выхода U6 блока 2, присутствуя на входе режима блока 6 памяти, соответствует режиму чтения информации из последнего и, присутствуя на входе стробирования второго коммутатора 11, открывает последний. Нулевые значения сигналов с выходов U4 и U5 блока 2, присутствуя на входах коммутации первого 1 и второго 11 коммутаторов

соответственно, настраивают их на пропускание информации с их первых групп информационных входов: для блока 1 - базового адреса, для блока 11 - относительного адреса от регистра 10.

Импульс сброса, пройдя через первый вход элемента ИЛИ-НЕ 3 (где он инвертируется), своим задним (положительным) фронтом (чем достигается необходимая задержка) заносит с выхода первого коммутатора 1 в первый регистр 4, код базового адреса, который при этом появляется на входах сумматора 5 в качестве первой составляющей исполнительного адреса.

Режим "Установка" (фиг.4) начинается при появлении на втором сигнальном входе "Пуск" датчика импульса единичного значения, который по входу сброса R регистра 10 обнуляет его содержимое. Нулевой код с выхода блока 10 через второй коммутатор 11 появляется на входах сумматора 5, на выходах которого при этом формируется код исполнительного адреса, равный базовому. Через вход X2 блока 2 управления единичное значение сигнала пуска появляется на информационном входе DR регистра 18 и через задержку, обусловленную прохождением сигнала через элемент ИЛИ 19, своим передним (положительным) фронтом заносит единицу в первый разряд регистра 18. Тем самым на первом выходе последнего (фиг.1, крайний верхний) появляется сигнал единичного значения, который через выход У9 блока 2 и элемент ИЛИ 8 поступает на информационный вход DR регистра 10. Импульс пуска, поступая также на установочный вход S триггера 20, своим передним (положительным) фронтом взводит его; при этом на его выходе появляется сигнал единичного значения, который через элементы И 22₂ (по второму инверсному входу этот элемент открыт сигналом нулевого значения, поступающим с выхода совпадения меток схемы 12 сравнения) и ИЛИ 21₂ и выход У10 блока 2 поступает на вход стробирования блока 6 памяти, вызывая тем самым появление на его выходе информации, хранящейся по исполнительному (базовому) адресу (фиг.2).

Кроме того, сигнал единичного значения с выхода триггера 20 поступает на вход элемента 17 задержки и, по истечении некоторого времени, определяемого последней и необходимым для установки на выходе блока 6 памяти информации, появляется на управляющем входе генератора 16 импульсов, вызывая его запуск; при этом на его выходе появляется последовательность импульсов, длительность периода которой определяется быстродействием используемой элементной базы датчика. Импульсы единичного значения с выхода генератора 16 поступают на вход распределителя 15 импульсов, с выходов которого снимаются три последовательности синхронизирующих импульсов СИ1, СИ2 и СИ3 (фиг.8).

Режим "Подготовка" (фиг.5) начинается при появлении на выходе У7 блока 2 управления импульса единичного значения, источником которого является сигнал СИ1 с первого выхода распределителя 15 импульсов, проходящий через элемент И 22₃ (по второму входу этот элемент открыт сигналом единичного значения с первого выхода регистра 18). Этот импульс поступает на вход записи С второго регистра 9 и своим передним (положительным) фронтом заносит в него информацию с выхода блока 6 памяти, хранящуюся в последнем по базовому адресу. При этом на выходах регистра 9 появляется код статической (неподвижной) метки, так как у регистра 9 используются только те его выходы, которые соответствуют расположению в нем кода статической метки (фиг.2, правая часть слова памяти по базовому адресу). Этот код представляет собой единственную единицу в каком-либо разряде на выходах регистра 9.

Сигнал СИ1 через элементы И 22₃ и ИЛИ 23₂ (в последнем сигнал инвертируется) и через выход У8 блока 2 поступает на вход записи С регистра 10 и своим задним (положительным) фронтом (чем достигается необходимая задержка) заносит в его первый (младший) разряд (фиг.1, крайний верхний) единицу, присутствующую на его информационном входе DR. Эта единица представляет собой динамическую метку, в дальнейшем пе-

ремещающуюся в регистре 10 в сторону его старших разрядов (на фиг.1 - вниз). Код динамической метки с выходов регистра 10 через второй коммутатор 11 поступает на сумматор 5 и складывается там с базовым адресом, так что на выходе последнего появляется код исполнительного адреса, равный увеличенному на единицу коду базового адреса. Поскольку по-прежнему сигнал на входе режима блока 6 памяти имеет нулевое значение (что соответствует режиму чтения), а на его входе стробирования - единичное (что соответствует разрешению выборки информации), то на его выходе появляется информация, хранящаяся по сформированному исполнительному адресу (на фиг.2 этому исполнительному адресу соответствует конец перехода 1). Эта информация представляет собой код условной вероятности $P(X)$, который поступает на вероятностный преобразователь 7.

Сигнал СИ2 через элементы И 22₅ (по второму входу эта схема открыта сигналом единичного значения с первого выхода регистра 18) и ИЛИ 19 (в последнем сигнал инвертируется) поступает на вход записи С регистра 18 и своим задним (положительным) фронтом (чем достигается необходимая задержка) сдвигает в последнем единицу из первого разряда во второй; при этом сигнал на информационном входе DR регистра 10 принимает нулевое значение.

Режим "Формирование случайного числа" (фиг.6) начинается при появлении на выходе У1 блока 2 импульса единичного значения, источником которого является сигнал СИ2, проходящий через элемент И 22₄ (по второму входу эта схема открыта сигналом единичного значения с второго выхода регистра 18). Этот импульс поступает на вход записи вероятностного преобразователя 7 и своим передним (положительным) фронтом заносит в него код условной вероятности, присутствующий на выходе блока 6 памяти (считанный по исполнительному адресу последнего). При этом на выходе вероятностного преобразователя 7 устанавливается код случайного события (сигнал нулевого или единичного значения), представляющий

собой очередной разряд случайного числа, подчиняющегося тому или иному закону распределения, а именно тому, коды условных вероятностей которого находятся в той части блока 6 памяти, которая начинается соответствующим базовым адресом. Этот код случайного события через элемент ИЛИ 8 поступает на информационный вход DR регистра 10 (сигнал на фиг.6) соответствует случаю, когда код случайного события, возникающий на выходе вероятностного преобразователя 7 при его первом срабатывании, представлен единичным значением).

Сигнал СИ2 через элементы И 22₄ и ИЛИ 23₂ (в последнем он инвертируется) и выход У8 блока 2 поступает на вход записи С регистра 10 и своим задним (положительным) фронтом (чем достигается необходимая задержка) заносит в его первый разряд код случайного события, присутствующий на его информационном входе DR (выработанный вероятностным преобразователем 7). При этом динамическая метка в регистре 10 сдвигается в его второй разряд. Появляющийся при этом на выходе регистра 10 код, представляющий собой относительный адрес согласно выражению (2), через второй коммутатор 11 поступает на сумматор 5 и складывается там с базовым адресом, так что на выходе последнего появляется код исполнительного адреса согласно выражению (1). При этом на выходе блока 6 памяти появляется очередной код условной вероятности (фиг.2), который поступает на вероятностный преобразователь 7.

Появляющийся на выходе регистра 10 после своего очередного сдвига код динамической метки сравнивается на совпадение с кодом статической метки, хранящимся во втором регистре 9. Такое сравнение происходит на элементах И 31 схемы 12 сравнения. Если совпадение не имеет места, то на инверсных выходах всех элементов И 31 сохраняются сигналы единичного значения и, следовательно, на выходе элемента ИЛИ 29 сигнал совпадения меток по-прежнему имеет нулевое значение. При этом описанный выше этап формирования очередного разряда случайного числа повторяется, что приводит к очередному сдвигу

гу динамической метки в регистре 10 в сторону его старших разрядов.

Наконец, после очередного сдвига в регистре 10 динамической метки в схеме 12 происходит совпадение местоположений статической и динамической меток (что означает окончание формирования случайного числа в форме с фиксированной точкой); при этом на инверсном выходе соответствующего элемента И 31 появляется сигнал нулевого значения, который через соответствующий инверсный вход элемента ИЛИ 29 единичным значением, свидетельствующим о совпадении меток, поступает в блок 2 через его вход X3. При этом элемент И 22₂ закрывается и сигнал на выходе Y10 блока 2 (на входе стробирования блока 6 памяти) принимает нулевое значение, чем запрещается обращение к блоку 6 памяти.

Сигнал СИЗ через элемент И 24 (по второму и третьему входам открыт сигналами высокого уровня, поступающими с второго выхода регистра 18 и с выхода совпадения меток схемы 12 сравнения соответственно) и ИЛИ 19 (в последнем сигнал инвертируется) поступает на вход записи С регистра 18 и своим задним (положительным) фронтом (чем достигается необходимая задержка) сдвигает в последнем единицу из второго разряда в третий; при этом сигнал, принимающий на выходе У6 блока 2 единичное значение, соответствует для блока 6 памяти режиму записи, а для второго коммутатора 11 — запрету передачи через него информации, вследствие чего сумматор 5 формирует на своем выходе код исполнительного адреса, равный базовому.

К этому моменту времени на выходах элементов И 30 схемы 12 сравнения присутствует код сформированного случайного числа (кроме его младшего разряда), который проходит через элементы И 30 от регистра 10. В этом коде отсутствует единица, соответствующая динамической метке: сигнал нулевого значения, возникающий на инверсном выходе соответствующего элемента И 31 при совпадении меток, либо закрывает соответствующий элемент И 30, если сформированное случайное число имеет меньше S разрядов (т.е. динамическая

метка, присутствующая в старшем разряде кода, принимаемого от регистра 10, оказывается замаскированной статической меткой), либо оказывается за пределами разрядной сетки случайного числа, если последнее имеет S разрядов (в последнем случае совпадение меток происходит на крайнем правом на фиг. 1 элементе И 31 схемы 12).

Таким образом, изменяя местоположение единицы в той части слова памяти по базовому адресу блока 6 памяти, которая отведена под код статической метки (фиг. 2), можно в конечном итоге сформировать случайные числа в форме с фиксированной точкой различной разрядности по одному и тому же закону распределения, что определяется требуемой точностью в том или ином случае.

Следующий сигнал СИЗ через элементы И 22₁ (по второму входу открыт сигналом единичного значения с третьего выхода регистра 18) и ИЛИ 21₂ и выход Y10 блока 2 поступает на вход стробирования блока 6 памяти, осуществляя тем самым запись в него кода сформированного случайного числа по базовому адресу (схема блока 6 памяти организована таким образом, что запись по базовому адресу осуществляется только в ту часть слова памяти, которая отведена под код случайного числа, фиг. 2).

С выхода элемента И 22₁ сигнал одновременно через выход Y2 блока 2 поступает на выход датчика в виде первого импульса сопровождения (ИС1), по переднему (положительному) фронту которого другие устройства могут принять сформированное случайное число, присутствующее на выходах "Вых. 1" датчика. Это случайное число с целью увеличения его разрядности может быть дополнено младшими разрядами, например, снимаемыми с выхода блока формирования равномерно распределенных случайных чисел, входящего в состав вероятностного преобразователя 7 (на фиг. 1 соответствующие схемы не показаны).

С выхода элемента И 22₁ сигнал одновременно через элемент ИЛИ 19 (где он инвертируется) поступает на вход записи С регистра 18 и своим задним (положительным) фронтом (чем достигается необходимая задерж-

ка) сдвигает в последнем единицу из третьего разряда в четвертый; при этом сигнал, принимающий на выходе У6 блока 2 нулевое значение, возвращает блок 6 памяти в режим чтения и открывает второй коммутатор 11, вследствие чего сумматор 5 формирует на своем выходе код исполнительного адреса в соответствии с выражениями (1) и (2); на фиг.3 этому исполнительному адресу соответствует конец перехода 1.

Сигнал единичного значения с четвертого выхода регистра 18 через элементы ИЛИ 23₁ и ИЛИ 21₂ и выход У10 блока 2 разрешает выборку информации из блока 6 памяти, хранящейся по исполнительному адресу. Одновременно сигнал единичного значения с выхода элемента ИЛИ 23, через выход У4 блока 2 поступает на вход коммутации первого коммутатора 1, настраивая его на пропускание информации с второй группы информационных входов (кода исполнительного адреса с выхода сумматора 5).

Дальнейшая работа датчика определяется положением переключателя 25. Если последний находится в левом положении (фиг.1), то очередной сигнал СИЗ, проходя через элемент И 22₆ (по второму входу открыт сигналом единичного значения с четвертого выхода регистра 18), переключатель 25 и элемент ИЛИ 21₁ на вход сброса R триггера 20, своим передним (положительным) фронтом сбрасывает его, вследствие чего генератор 16 импульсов прекращает свою работу.

В дальнейшем работа датчика по формированию очередного случайного числа в форме с фиксированной точкой повторяется аналогичным образом.

Режим "Чтение параметров случайной величины" (фиг.7) реализуется в том случае, если переключатель 25 находится в правом положении (фиг.1). Этот режим начинается при появлении на выходе У3 блока импульса единичного значения, источником которого является сигнал СИЗ, проходящий через элемент И 22₆ (по второму входу открыт сигналом единичного значения с четвертого выхода регистра 18), переключатель 25 и элемент ИЛИ 23₃. Этот импульс на выходе датчика представляет собой второй импульс сопровождения (ИС2),

по которому другие устройства могут принять первый параметр случайной величины, присутствующий на выходах "Вых.2" датчика. Этот первый параметр представляет собой информацию, прочитанную из блока 6 памяти по исполнительному адресу, сформированному в конце предыдущего режима "Формирование случайного числа" и определяемому выражениями (1) и (2) при полностью сформированном случайном числе, входящем в выражение (2); на фиг.3 этому исполнительному адресу соответствует конец перехода 1).

Одновременно сигнал с выхода У3 блока 2 поступает на второй вход элемента ИЛИ-НЕ 3, где он инвертируется, и своим задним (положительным) фронтом (чем достигается необходимая задержка) заносит в первый регистр 4 код исполнительного адреса с выхода сумматора 5 через первый коммутатор 1.

Одновременно сигнал с выхода элемента И 22₆ через переключатель 25 и элемент ИЛИ 19 (где он инвертируется) поступает на вход записи С регистра 18 и своим задним (положительным) фронтом (чем достигается необходимая задержка) сдвигает в последнем единицу из четвертого разряда в пятый; при этом на выходе У5 блока 2 появляется сигнал единичного значения, который настраивает второй коммутатор 11 на пропускание информации с второй группы информационных входов, а именно кода статической метки с выхода второго регистра 9. Поскольку при этом статическая метка проходит через тот же разряд коммутатора 11, через который проходила и динамическая метка перед его переключением, то в данном случае код статической метки равнозначен коду динамической.

Сигнал единичного значения с пятого выхода регистра 18 по-прежнему через элемент ИЛИ 23₁ и выход У4 блока 2 удерживает первый коммутатор 1 на пропускание кода исполнительного адреса с выхода сумматора 5 и далее через элемент ИЛИ 21₂ и выход У10 блока 2 разрешает выборку информации из блока 6 памяти.

После переключения второго коммутатора 11 на выходе сумматора 5 формируется код следующего испол-

нительного адреса (в данном случае ИА₂) согласно выражению (3); на выходе блока 6 памяти появляется следующий, в данном случае второй, параметр случайной величины, расположенный по этому исполнительному адресу (фиг.3 последнему соответствует конец перехода II).

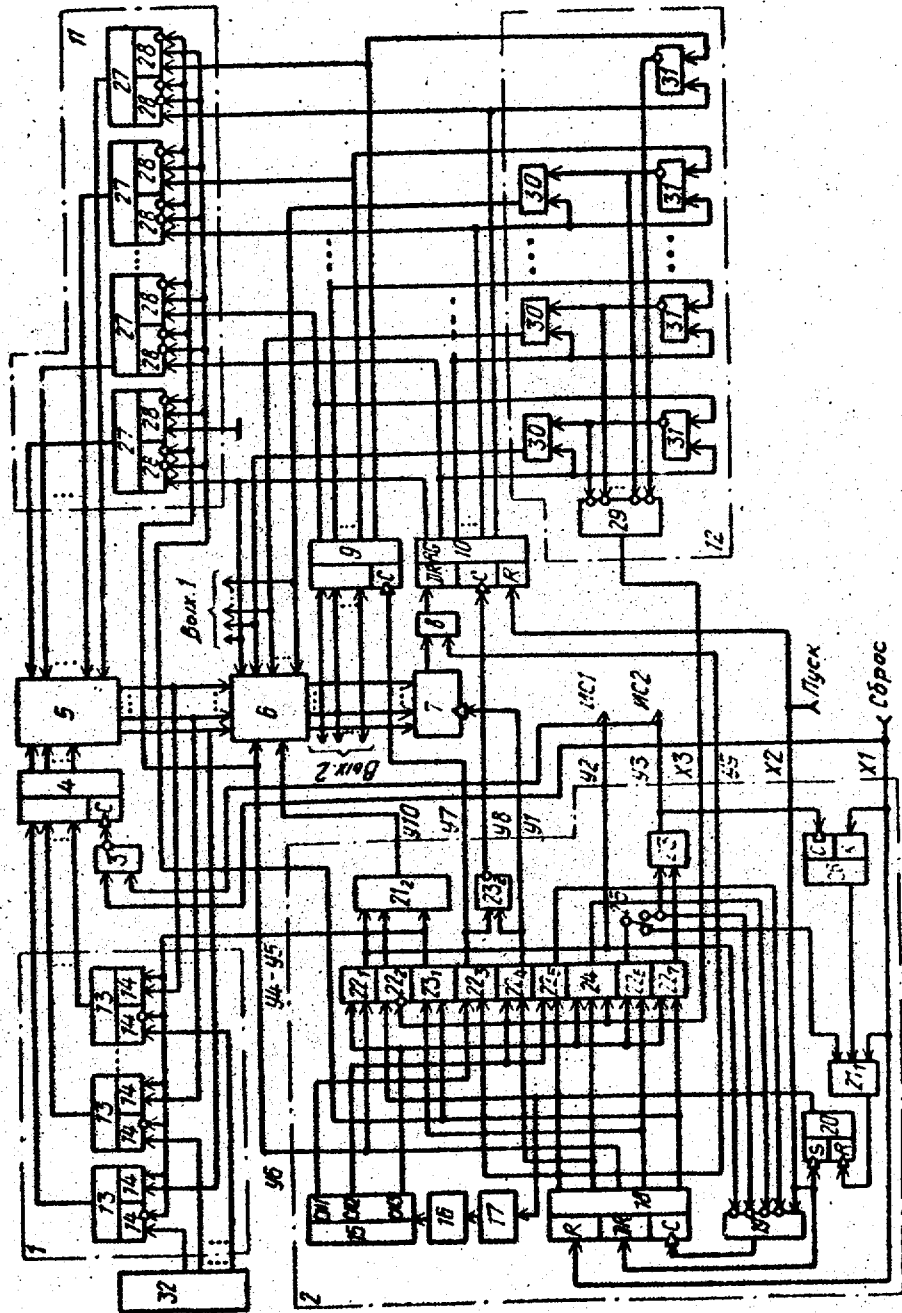
На выходе У3 блока 2 вновь появляется импульс единичного значения, источником которого является следующий сигнал СИЗ, проходящий через элемент И 22₇ (по второму входу этот элемент открыт сигналом единичного значения с пятого выхода регистра 18) и ИЛИ 23₃. Этот импульс является очередным сигналом ИС2, по которому другие устройства могут принять второй параметр случайной величины, присутствующий на выходах "Вых.2" датчика. Одновременно сигнал с выхода У3 блока 2 вновь заносит в первый регистр 4 код исполнительного адреса с выхода сумма-

тора 5; при этом на выходе последнего формируется код очередного исполнительного адреса согласно выражению (3), по которому из блока 6 памяти вновь читается очередной параметр случайной величины и т.д.

С выхода элемента ИЛИ 23₃ сигналы одновременно поступают на счетный вход С счетчика 26 и своим задним (отрицательным) фронтом (чем достигается необходимая задержка) прибавляет в него единицу.

Описанный процесс чтения параметров случайной величины из блока 6 памяти повторяется аналогичным образом до тех пор, пока счетчик 26 не переполнится и не выдаст сигнала положительного перепада, который через элемент ИЛИ 21, своим положительным фронтом сбросит триггер 20, вследствие чего генератор 16 импульсов прекращает свою работу.

В дальнейшем работа датчика повторяется аналогичным образом.



Датчик случайных чисел
Слова памяти

Базовый адрес (БА)		СЧ.	Статическая метка
БА + 0...0001			P(X)
БА + 0... 0010			P(0X)
БА + 0... 0011			P(1X)
БА + 0... 10100			P(00X)
БА + 0... 10101			P(01X)
БА + 0... 10110			P(10X)
БА + 0... 0111			P(11X)
БА + 0... 1 000			P(000X)
БА + 0... 1 001			P(001X)
БА + 0... 1 010			P(010X)
БА + 0... 1 011			P(011X)
БА + 0... 1 100			P(100X)
БА + 0... 1 101			P(101X)
БА + 0... 1 110			P(110X)
БА + 0... 1 111			P(111X)
Динамическая метка (ДМ)	Старшие разряды СЧ		P(0000X)
			P(0001X)
			P(1111X)
Относительные адреса (ОА = ДМ + СЧ)			P(1111... X)

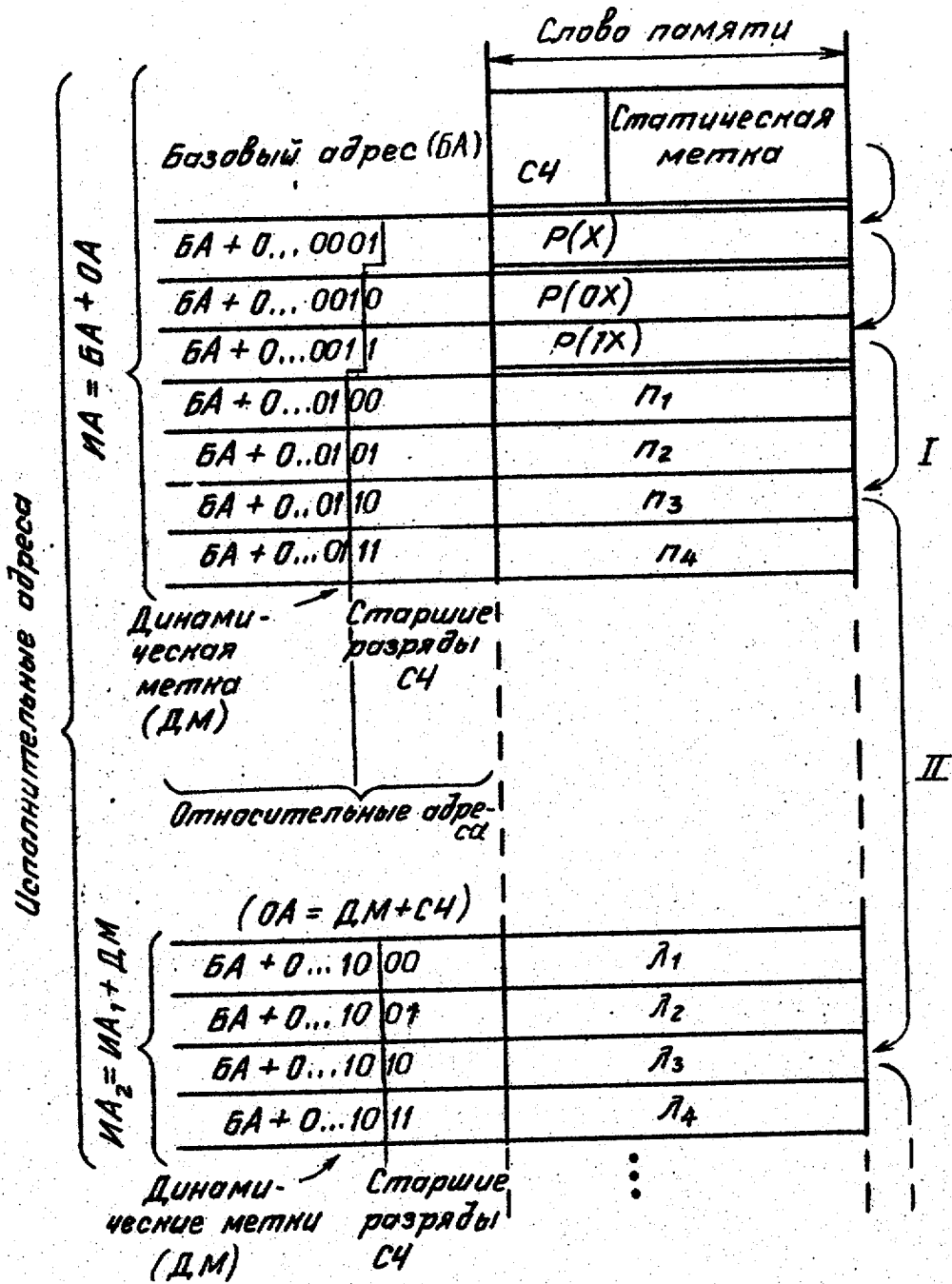
Исполнительные адреса (ИА = БА + ОА)

I

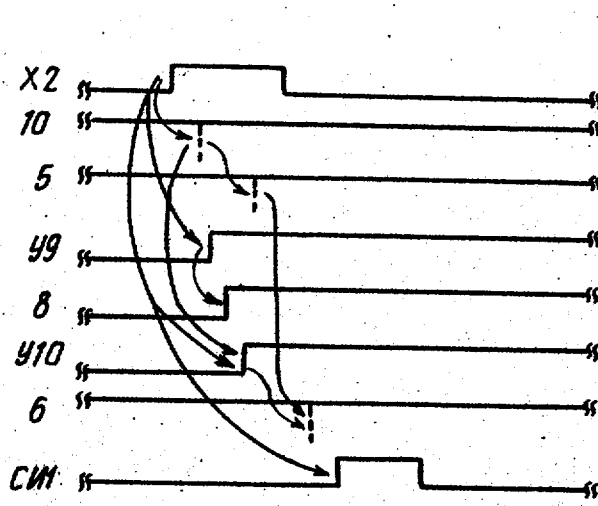
II

III

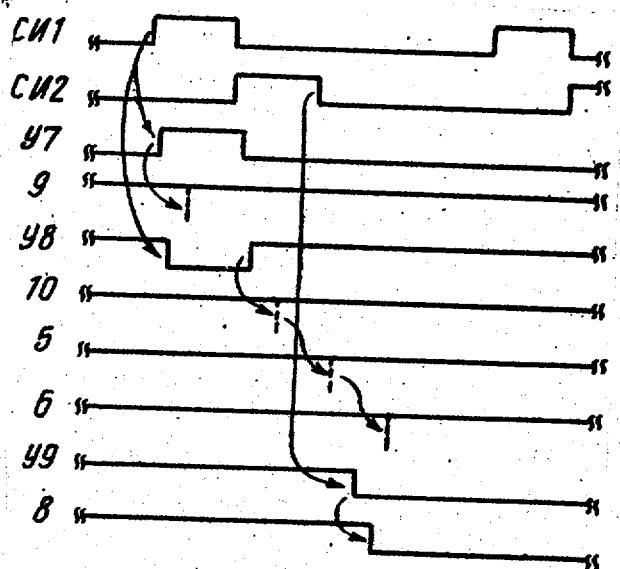
Фиг. 2



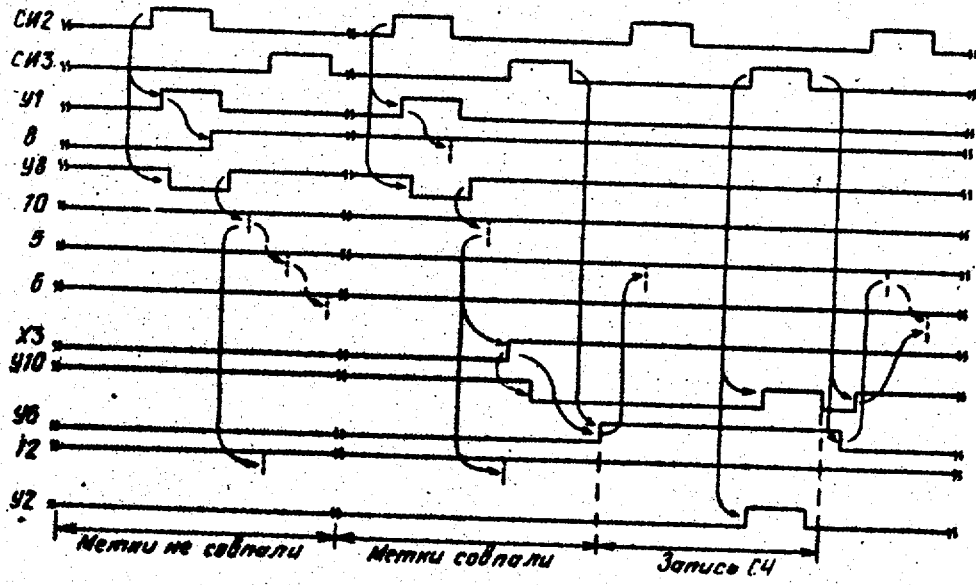
Фиг. 3



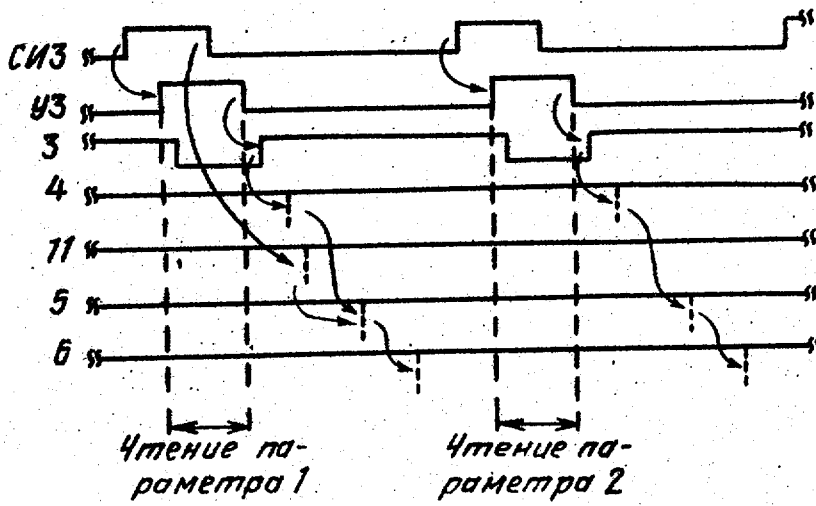
Фиг. 4



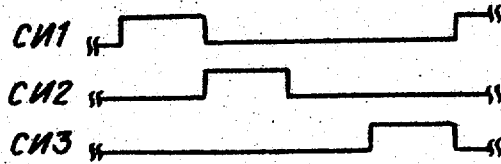
Фиг. 5



Фиг. 6



Фиг. 7



Фиг. 8

Редактор В.Петраш Составитель А.Карасов Техред М.Гергель Корректор В.Синицкая

Заказ 7868/54 Тираж 709 Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4