



СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) SU (11) 1211731 A

(5D) 4 G 06 F. 11/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3794112/24-24  
(22) 16.07.84.  
(46) 15.02.86.Бюл.№ 6  
(71) Минский радиотехнический институт  
(72) В.Н.Ярмолик, В.И.Фомич,  
В.Н.Борисов, Н.В.Шмарук  
и А.И.Подгорский  
(53) 681.3 (088.8)  
(56) Заславский В.И. и др. Многоканальный сигнатурный анализатор для проверки многовыходных цифровых устройств. - Вопросы радиоэлектроники, серия ТПО, вып.1, 1982, с.114-119.  
COMPCON Spring 83, 26IEEE Comput Soc. I nt. Conf. San-Francisko, Calif, Febr.28-March 3. 1983. Dig. Pap. pp.440-445.

## (54) МНОГОКАНАЛЬНЫЙ СИГНАТУРНЫЙ АНАЛИЗАТОР

(57) Изобретение относится к вычислительной технике и предназначено для поиска неисправностей в аппаратных средствах цифровой вычис-

лительной техники, в том числе для анализа выходных последовательностей при тестовом контроле многовыходных цифровых узлов ЭВМ. Целью изобретения является повышение быстродействия анализатора. Для обеспечения данной цели анализатор содержит  $n$  D-триггеров, где  $n$  - число входов анализатора,  $n$  сумматоров по модулю два, группу из  $n$  элементов И, группу из  $n$  элементов 2И-ИЛИ, два блока переключателей, блок из  $n$ -разрядных регистров сдвига, группу из  $n$  триггеров, элемент ИЛИ и элемент индикации. Вновь введенные элементы и связи устройства позволяют по частным сигнатурам одноканальных последовательностей получать результирующую сигнатуру многовыходного цифрового узла, а за счет введения режима произвольной коммутации частных сигнатур обеспечивается быстрая диагностика контролируемого узла с точностью до выхода. 1 з.п.ф-лы, 3 ил.

(19) SU (11) 1211731 A

Изобретение относится к вычислительной технике и предназначено для поиска неисправностей в аппаратных средствах цифровой вычислительной техники, в том числе для анализа выходных последовательностей при тестовом контроле многовыходных цифровых узлов ЭВМ.

Цель изобретения — повышение быстродействия анализатора.

На фиг. 1 изображена функциональная схема предлагаемого многоканального сигнатурного анализатора для  $n = 4$ ; на фиг. 2 — функциональная схема блока синхронизации многоканального сигнатурного анализатора; на фиг. 3 — временная диаграмма функционирования блока синхронизации.

Многоканальный сигнатурный анализатор содержит блок 1 синхронизации,  $nD$  — триггеров 2,  $n$  сумматоров 3 по модулю два, группу из  $n$  элементов И 4, группу из  $n$  элементов 2И-ИЛИ 5, блоки 6, 7 переключателей, блок 8  $n$  — разрядных регистров сдвига, группу из  $n$  Т — триггеров 9, элемент ИЛИ 10 и элемент 11 индикации.

Блок синхронизации содержит генератор 12 тактовых импульсов, счетчик 13, три элемента 14, 15, 16 задержки, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 17, пять элементов И 18–22, элемент И-НЕ 23, R5 — триггер 24, два элемента ИЛИ 25, 26, вход 27 запуска анализатора, а также семь выходов 28–34.

Количество  $D$  — триггеров 2 определяется максимальным количеством входов сигнатурного анализатора, т.е. величиной  $n$ . Количество элементов И 4, элементов 2И-ИЛИ 5, тумблеров блоков 6 и 7, регистров сдвига блока 8, Т — триггеров 9, а также количество входов элемента ИЛИ 10 равняется  $n$ . Элемент 11 индикации состоит из лампочки индикации и ограничительного сопротивления, причем лампочка загорается при подаче на нее высокого потенциала, эквивалентного логической единице.

На фиг. 2 приведена функциональная схема блока 1 синхронизации, позволяющего организовать анализ последовательностей данных, состоящих из  $\ell = 10$  символов на сигнатурном анализаторе, для которого  $\deg \varphi(x) = 4$ , т.е.  $n = 4$ . Для других значе-

ний  $\ell$  и  $n$  блок 1 синхронизации отличается только количеством разрядов счетчика 14 и связями элементов 23 и 18, которые определяются кодами величин  $\ell$  и  $n$ . Так, для  $\ell = 10$  и  $n = 4$  связи элемента 23 с разрядами счетчика 13 определяются двоичным кодом величины  $\ell = 10_{(10)}$ , т.е. кодом  $10_{(2)}$ .

Таким образом, для кода  $\ell = 10_{(10)}$  на входы элемента 23 заводятся единичные выходы второго и четвертого разрядов счетчика 13 и нулевые выходы первого и третьего разрядов. Связи элемента 18 определяются двоичным кодом величины  $\ell+n+1$ , для  $\ell = 10$  и  $n = 4$  получаем код 1111, т.е. на входы элемента И 18 подключены единичные выходы всех четырех разрядов счетчика 13.

Блок 1 синхронизации формирует временную диаграмму на выходах 28–34 (фиг. 3).

При подаче сигнала "Пуск" на вход 27 анализатора на выходе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 17 формируется единичный импульс, длительность которого определяется временем  $\tau_2$  задержки элемента 15 задержки. Через время  $\tau_1 > \tau_2$  на втором входе выходного элемента ИЛИ-НЕ генератора 12 тактовых импульсов формируется нулевой сигнал, который инициирует его работу. Под действием единичного импульса, сформированного на выходе 34 блока синхронизации, счетчик 13 устанавливается в нулевое состояние, а R5 — триггер 24 устанавливается в единичное состояние. На втором выходе 29 блока формируется последовательность из  $n + \ell$  импульсов, причем на выходе генератора 12 тактовых импульсов формируется  $(n + \ell + 1)$ -й импульс.  $(\ell + 1)$ -й импульс блокируется на элементе И 20 за счет нулевого уровня, сформированного на выходе элемента 23 под действием  $\ell$  тактовых импульсов.

На третьем 30 и четвертом 31 выходах блока 1 синхронизации формируются логические уровни соответственно единицы и нуля под действием одиночного импульса, сформированного на выходе элемента 17 ИСКЛЮЧАЮЩЕЕ ИЛИ 17. Под действием  $(\ell + 1)$ -го импульса, выделяемого на элементе 21, R5 — триггер 24 устанавливает

ся в нулевое состояние. Таким образом, на третьем выходе 30 блока 1 формируется нулевой уровень, а на четвертом выходе 31 - единичный. На пятом выходе 32 блока 1 формируется последовательность из  $n$  импульсов путем объединения на элементе И 22 временных диаграмм, сформированных на втором 29 и четвертом 31 выходах блока 1.

На шестом выходе 33 блока 1 формируются два импульса:  $(\ell + 1)$ -й,

$$\begin{aligned} Z_1 &= 1 & 0 & 1 & 0 \\ Z_2 &= 1 & 1 & 1 & 1 \\ Z_3 &= 1 & 0 & 1 & 1 \\ Z_4 &= 0 & 0 & 1 & 1 \end{aligned}$$

определяются эталонные одноканальные сигнатуры путем свертки последовательностей  $Z_1 = Z_4$  на одноканальном сигнатурном анализаторе с тем же характеристическим номиналом, что и у многоканального анализатора.

Для последовательности  $Z_1$  процедура получения одноканальной сигнатуры  $S_1$  имеет следующий вид:

$Z_1$	$a_1$	$a_2$	$a_3$	$a_4$
	0	0	0	0
1	1	0	0	0
0	0	1	0	0
1	1	0	1	0
0	0	1	0	1
1	0	0	1	1
0	1	0	0	0
1	1	1	0	0
0	0	1	1	0
1	1	0	1	1
0	1	1	0	0
	$Z_1$	$Z_2$	$Z_3$	$Z_4$
	1	1	1	0
	0	1	0	0

полученный на выходе элемента И 21, и  $(\ell + n + 2)$ -й, который формируется из  $(\ell + n + 1)$ -го путем задержки его на один такт на элементе задержки 16.

Устройство работает следующим образом.

Перед началом работы для проверяемого цифрового узла, имеющего, например, четыре выхода, на которых формируются следующие эталонные последовательности данных:

$$\begin{aligned} &1 & 0 & 1 & 0 & 1 & 0 \\ &1 & 0 & 0 & 0 & 0 & 0 \\ &0 & 1 & 0 & 1 & 0 & 1 \\ &0 & 0 & 0 & 0 & 0 & 1 \end{aligned}$$

где  $a_1, a_2, a_3, a_4$  - содержимое элементов памяти одноканального сигнатурного анализатора.

Согласно приведенной временной диаграмме,  $S_1 = 1100$ . Подобным образом можно показать, что  $S_2 = 0001$ ,  $S_3 = 1000$ ,  $S_4 = 1001$ .

Значение сигнатуры  $S_1$  записывается на первый регистр блока 8, выход которого подключен к первому элементу 2И - ИЛИ, значения  $S_2, S_3, S_4$  записываются на второй, третий и четвертый регистры блока 8.

Предположим, что на выходах проверяемого цифрового узла формируются последовательности  $Z_1 - Z_4$  без искажений.

При подаче сигнала "Пуск" на вход 27 запуска анализатора и при формировании единичных сигналов на всех выходах блока 7 на  $D$ -триггерах блока 2 в течение первых  $\ell = 10$  тактов формируется сигнатура  $S_{1,2,3,4}$  из четырех последовательностей  $Z_1, Z_2, Z_3, Z_4$ .

Последовательность состояний  $D$ -триггеров блока 2 имеет следующий вид:

$b_1$	$b_2$	$b_3$	$b_4$
1	1	1	0
0	0	1	1

1	1	1	1
0	1	1	1
1	1	0	0
0	0	1	0
1	0	0	0
0	0	1	0
1	0	0	0
0	0	1	1

где  $b_1, b_2, b_3, b_4$  - состояния D - триггеров блока 2.

Под действием  $P = 10$  импульсов, поступающих на С-входы D - триггеров 2, формируется сигнатура  $S_{1,2,3,4} = 1001$ . Далее под действием первого импульса, сформированного на шестом выходе 33 блока 1 синхронизации, сигнатура  $S_{1,2,3,4} = 1001$  записывается на T - триггере блока 8, так как предварительно содержимое T - триггеров равнялось 00000. На третьем 30 и четвертом 31 выходах блока 1 значение логических уровней меняется на противоположное (фиг.3) таким образом, что на входы элементов И блока 4 подключаются выходы блока 8 че-

$S_1$	$S_2$	$S_3$	$S_4$
0	1	0	1
0	0	0	0
1	0	0	0
1	0	1	1

В результате на D - триггерах блока 2 формируется  $S_{1,2,3,4}^3$  - эталонная сигнатура четырех последовательностей  $Z_1, Z_2, Z_3, Z_4$ . Значение  $S_{1,2,3,4} = 1001$ , хранимое на T - триггерах блока 9, суммируется по модулю два (поразрядно) со значением  $S_{1,2,3,4}^3 = 1001$  под действием второго импульса, сформированного на шестом выходе 33 блока 1.

Так как  $S_{1,2,3,4}^3 = S_{1,2,3,4}$ , то их поразрядная сумма по модулю два, сформированная на T - триггерах, представляется кодом 0000, который

0	1	1	1
1	1	0	1
0	0	1	1
1	0	1	0
1	1	0	1
1	1	0	1
0	1	1	1
1	0	0	1

рез элементы блока 5, а на входы анализатора -  $Z_1, Z_2, Z_3, Z_4$ . На регистрах сдвига блока 8 хранятся эталонные одноканальные сигнатуры. Под действием последующих  $n = 4$  импульсов, формируемых по выходам 29 и 32 блока 1, содержимое регистров блока 8 последовательно подается на вторые входы сумматоров 3 по модулю два. Учитывая, что предварительно на регистры блока 8 были записаны значения сигнатур  $S_1, S_2, S_3$  и  $S_4$ , а все D - триггеры блока 2 были обнулены по заднему фронту второго импульса, поступающего с первого выхода 28 блока 1, временная диаграмма состояний элементов памяти блока 2 имеет следующий вид:

$b_1$	$b_2$	$b_3$	$b_4$
0	1	0	1
1	0	1	1
0	1	0	0
1	0	0	1

формирует на выходе элемента ИЛИ 10 уровень логического нуля, для которого лампочка элемента И1 индикации не загорается, что свидетельствует о том, что в последовательностях  $Z_1, Z_2, Z_3, Z_4$  с большой вероятностью ошибки не возникли.

Рассмотрим функционирование многоканального сигнатурного анализатора для случая определения неистинности цифрового узла с точностью до его выхода.

Предположим, что возникшая неистинность цифрового узла, имеюще-

го четыре выхода  $Z_1, Z_2, Z_3, Z_4$ , проявилась в изменении эталонной последовательности  $Z_4$  таким образом, что вместо последовательности  $Z_4 = 0011000001$  формируется последовательность  $Z_4 = 0000000000$ , которая инициируется, например, путем закорачивания выхода  $Z_4$  на нулевой уровень цепи питания.

На первом этапе исследования цифрового узла проверяется соответствие сигнатуры  $S_{1,2,3,4}$ , сформированной из всех выходных последователь-

$Z_1$	$Z_2$	$Z_3$	$Z_4$
1	1	1	0
0	1	0	0
1	1	1	0
0	1	1	0
1	1	0	0
0	0	1	0
1	0	0	0
0	0	1	0
1	0	0	0
0	0	1	0

Значение сигнатуры  $S_{1,2,3,4} = 0111$ . Далее под действием первого импульса, сформированного на шестом выходе 33 блока 1, сигнатура  $S_{1,2,3,4}$  записывается на Т - триггеры блока 9. В последующие  $n = 4$  такта на D - триггерах блока 2 формируется значение сигнатуры  $S_{1,2,3,4} = 1001$ , так как на все элементы И 4 подан разрешающий потенциал.

Поразрядная сумма по модулю два сигнатур  $S_{1,2,3,4}$  и  $S_{1,2,3,4}$  сформированная на Т - триггерах блока 9, равняется 1110, следовательно, на выходе элемента ИЛИ 10 сформирован единичный уровень, под действием которого лампочка индикации элемента 11 загорается. Загорание лампочки свидетельствует о том, что  $S_{1,2,3,4} \neq S_{1,2,3,4}$ , т.е. в цифровом узле присутствует неисправность, которая проявляется на выходах.

Полученная сигнатура  $S_{1,2,3,4}$  свидетельствует только о том, что неис-

ностей  $Z_1, Z_2, Z_3, Z_4$  и эталонной сигнатуры  $S_{1,2,3,4}$ . Для этого с блока 7 на входы всех элементов И 4 подается разрешающий потенциал.

5

Далее путем подачи сигнала "Пуск" на вход 27 запуска анализатора обнуляется содержимое блоков 2, 9 и 13, после чего в течение  $\tau = 10$  тактов формируется значение сигнатуры  $S_{1,2,3,4}$  на элементах памяти блока 2. Состояния элементов памяти блока 2 при этом имеют вид

10

$b_1$	$b_2$	$b_3$	$b_4$
1	1	1	0
0	0	1	1
0	1	1	0
0	1	0	1
1	0	0	0
1	0	0	0
1	1	0	0
0	1	0	0
1	0	1	0
0	1	1	1

35 правность присутствует в цифровом узле и транспортируется на его выходы. Информацию о том, на каких выходах проявляется неисправность, получить на основании значения  $S_{1,2,3,4}$  невозможно, поэтому возникает необходимость диагностики неисправности с точностью до выхода цифрового узла.

40

Первым шагом при выполнении процедуры диагностики является проверка факта возникновения ошибки на первом и втором выходах цифрового узла. Для этого на первый и второй элементы И 4 с блока 7 подаются единичные сигналы, а на третий и четвертый элемент И - нулевые. При этом на первые два сумматора по модулю два подаются последовательности  $Z_1$  и  $Z_2$ , а на третий и четвертый сумматоры по модулю два - нулевые последовательности с выходов элементов И 4. После подачи сигнала "Пуск" в течение  $\tau = 10$  первых

50

55

тактов на элементах памяти блока 2 формируются значения сигнатуры  $S_{1,2}$ .

$Z_1$	$Z_2$		
1	1	0	0
0	1	0	0
1	1	0	0
0	1	0	0
1	1	0	0
0	0	0	0
1	0	0	0
0	0	0	0
1	0	0	0
0	0	0	0

Значение сигнатуры  $S_{1,2} = 0101$ .

Далее под действием первого импульса, сформированного на шестом выходе блока 1, сигнатура  $S_{1,2}$  записывается на Т-триггеры блока 9. В последующие  $n = 4$  такта на D-

$S_1$	$S_2$		
0	1	0	0
0	0	0	0
1	0	0	0
1	0	0	0

Поразрядная сумма по модулю два сигнатур  $S_{1,2}$  и  $S_{1,2}^3$ , сформированная на Т-триггерах блока 9, равна 0000. При этом лампочка индикации 11 не загорается, что свидетельствует о том, что последовательности данных  $Z_1$  и  $Z_2$  с большой вероятностью соответствуют эталонным. Другими словами, неисправность, возникшая в цифровом узле по первым двум его выходам  $Z_1$  и  $Z_2$ , не выявляется. Учитывая тот факт, что сигнатура  $S_{1,2,3,4}$  не соответствует эталонной, а  $S_{1,2}$  соответствует, можно заключить, что последовательность  $Z_3$  или  $Z_4$  или обе вместе отличны от эталонных.

$Z_3$			
0	0	1	0

Состояния элементов памяти блока 2 при этом имеют вид

$b_1$	$b_2$	$b_3$	$b_4$
1	1	0	0
0	0	1	0
1	1	0	1
1	0	1	1
0	0	0	0
0	0	0	0
1	0	0	0
0	1	0	0
1	0	1	0
0	1	0	1

25 триггерах блока 2 формируется значение сигнатуры  $S_{1,2}^3 = 0101$  как результат сжатия на сигнатурном анализаторе значений  $S_1$  и  $S_2$  согласно следующей временной диаграмме:

$b_1$	$b_2$	$b_3$	$b_4$
0	1	0	0
0	0	1	0
1	0	0	1
0	1	0	1

40 Для проверки соответствия последовательности  $Z_3$  эталонной только не третьем выходе блока 7 формируется разрешающий единичный потенциал. При этом на первый, второй и четвертый элементы блока 3 подаются нулевые последовательности, а на третий вход - последовательность  $Z_3$ .

50 После подачи сигнала "Пуск" в течение  $\tau = 10$  первых тактов на элементах памяти блока 2 формируется значение сигнатуры  $S_3^*$ . При этом в общем случае  $S_i^* \neq S_i$ ,  $i = \overline{1, n}$ , и соответственно  $S_3^* \neq S_3$ . Состояния элементов памяти блока 2 для случая получения

55  $S_3^*$  имеют следующие значения:

$b_1$	$b_2$	$b_3$	$b_4$
0	0	1	0

	11			
0	0	0	0	
0	0	1	0	
0	0	1	0	
0	0	0	0	
0	0	1	0	
0	0	0	0	
0	0	1	0	
0	0	0	0	
0	0	1	0	

	12			
0	0	0	1	
1	0	1	1	
1	1	1	0	
0	1	1	1	
1	0	0	0	
0	1	0	0	
0	0	0	0	
0	0	0	0	
0	0	1	0	

Таким образом, значение сигнатуры  $S_3^* = 0010$ . Далее под действием первого импульса, сформированного на шестом выходе блока 1, сигнатура  $S_3^*$  записывается на T-триггерах блока 9. В последующем  $n = 4$  такта

	$S_3$			
0	0	0	0	
0	0	0	0	
0	0	0	0	
0	0	1	0	

Поразрядная сумма по модулю два сигнатур  $S_3^*$  и  $S_3^?$ , сформированная на T-триггерах блока 9, равна 0000.

При этом лампочка индикации не загорается, что свидетельствует о том, что последовательность данных  $Z_3$  соответствует эталонной. Учитывая, что сигнатуры  $S_{1,2}$  и  $S_3^*$  соответствуют эталонным, а сигнатура  $S_{1,2,3,4}$  не соответствует, можно заключить, что возникшая неисправность в цифровом узле проявляется по его четвертому выходу. Таким образом, в результате сравнения сигнатур  $S_{1,2}$  с  $S_{1,2}^*$  и  $S_3$  с  $S_3^*$  возникшая неисправность локализована с точностью до выхода цифрового узла.

#### Ф о р м у л а и з о б р е т е н и я

1. Многоканальный сигнатурный анализатор, содержащий блок синхронизации  $nD$ -триггеров, где  $n$  - число входов анализатора, и  $n$  сумматоров

на D-триггерах блока 2 формируется значение сигнатуры  $S_3^? = 0010$  как результат сжатия на сигнатурном анализаторе значения  $S_3$  согласно следующей временной диаграмме:

	$b_1$	$b_2$	$b_3$	$b_4$
0	0	0	0	0
0	0	0	0	0
0	0	0	0	0
0	0	1	0	0

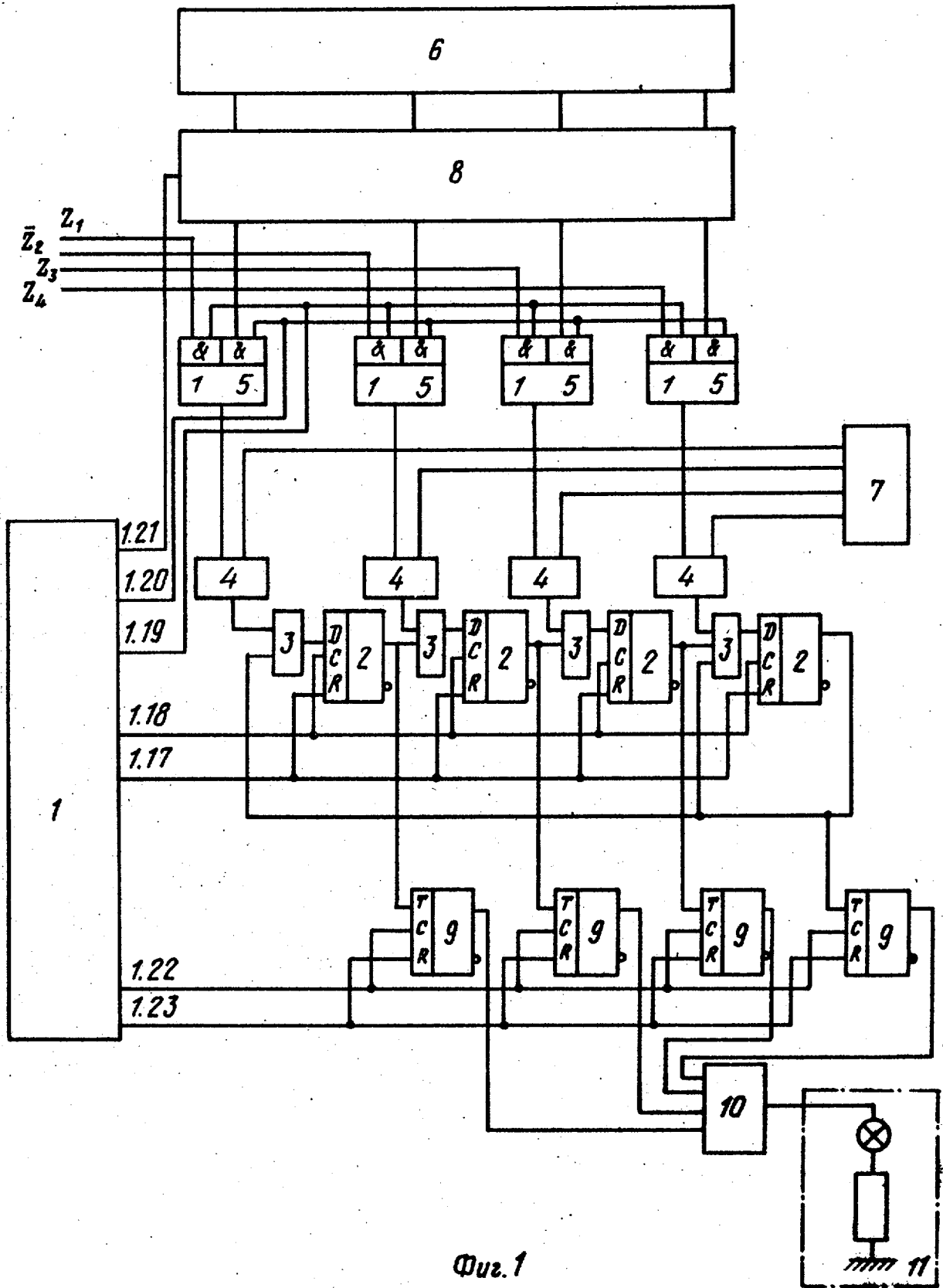
ров по модулю два, причем первый выход блока синхронизации подключен к входам установки в нуль D-триггеров, синхровходы которых объединены и подключены к второму выходу блока синхронизации, выход  $i$ -го ( $i = 1, n$ ) сумматора по модулю два соединен с информационным входом  $i$ -го D-триггера, выход  $j$ -го ( $j = 1, n-1$ ) D-триггера соединен с первым входом  $(j+1)$ -го сумматора по модулю два, выход  $n$ -го D-триггера соединен с первым входом первого сумматора по модулю два и с третьими входами сумматоров по модулю два в соответствии с ненулевыми коэффициентами характеристического полинома, отличающийся тем, что, с целью повышения быстродействия анализатора, в него введены группа из  $n$  элементов И, группа из  $n$  элементов 2И-ИЛИ, два блока переключателей, блок из  $n$  - разрядных регистров сдвига, группа из  $nT$ -триггеров, элемент ИЛИ, элемент индика-

ции, причем первые входы первых и вторых элементов И всех элементов 2И-ИЛИ подключены соответственно к третьему и четвертому выходам блока управления, вторые входы первых элементов И элементов 2И-ИЛИ являются информационными входами анализатора, а вторые входы вторых элементов И элементов 2И-ИЛИ соединены с соответствующими выходами блока из  $n$  - разрядных регистров сдвига, информационные входы которого соединены с соответствующими выходами первого блока переключателей, а управляющий вход блока из  $n$  - разрядных регистров сдвига соединен с пятым выходом блока синхронизации, выходы элементов 2И-ИЛИ соединены с первыми входами соответствующих элементов И, вторые входы которых подключены к соответствующим выходам второго блока переключателей, выход  $i$  - го элемента И подключен к второму входу  $\Delta$  - го сумматора по модулю два, выходы D - триггеров соединены с информационными входами соответствующих T - триггеров, выходы которых соединены с входами элемента ИЛИ, выход которого подключен к входу элемента индикации, синхровходы и входы установки T - триггеров соединены соответственно с шестым и седьмым выходами блока синхронизации.

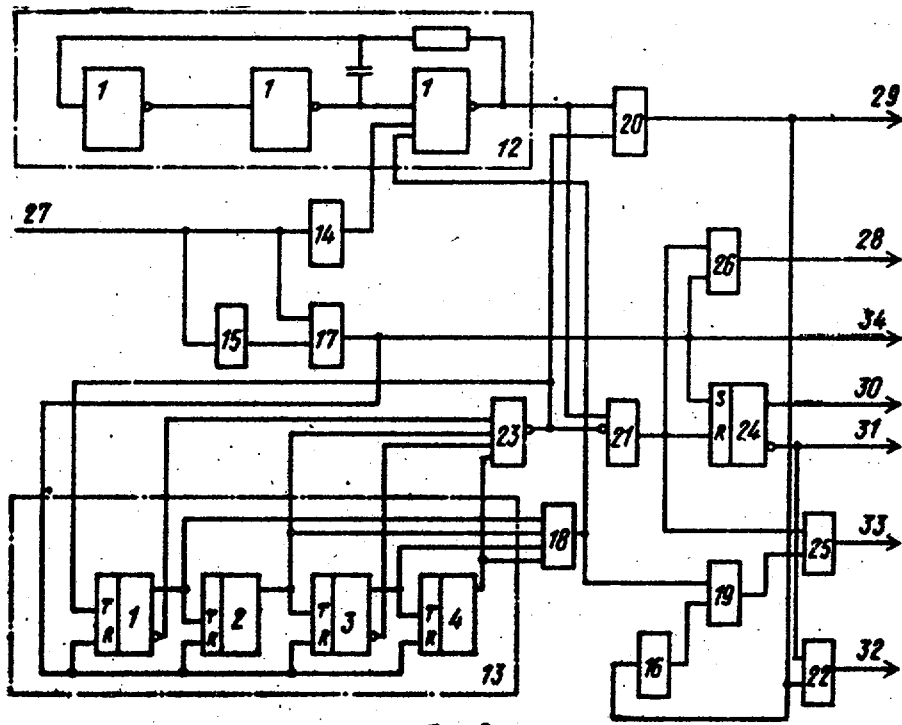
2. Анализатор по п.1, отличающийся тем, что блок синхронизации содержит генератор тактовых импульсов, счетчик, три элемента задержки, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, пять элементов И, элемент И-НЕ, RS - триггер и два элемента ИЛИ, причем вход запуска анализатора соединен с первым входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, через первый элемент задержки с первым управляю-

щим входом генератора тактовых импульсов и через второй элемент задержки с вторым входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, выход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединен с входом сброса счетчика, S - входом RS - триггера, первым входом первого элемента ИЛИ и является сдвиговым выходом блока, прямые и инверсные разрядные выходы счетчика соединены с входами элемента И-НЕ в соответствии с двоичной записью числа  $\ell$ , где  $\ell$  - длина анализируемой последовательности, и с входами первого элемента И в соответствии с двоичной записью числа  $(\ell + n + 1)$ , где  $n$  - число входов анализатора, выход первого элемента И соединен с первым входом второго элемента И и с вторым управляющим входом генератора тактовых импульсов, выход которого соединен с первыми входами третьего и четвертого элементов И и со счетным входом счетчика, выход элемента И-НЕ связан с вторым инверсным входом четвертого элемента И и вторым входом третьего элемента И, выход которого подключен к первому входу пятого элемента И, через третий элемент задержки к второму входу второго элемента И и является вторым выходом блока, выход четвертого элемента И соединен с вторым входом первого элемента ИЛИ, R - входом RS - триггера и первым входом второго элемента И, а выход второго элемента ИЛИ является шестым выходом блока, выход первого элемента ИЛИ является первым выходом блока, прямой выход RS - триггера является третьим выходом блока, инверсный выход RS - триггера соединен с вторым входом пятого элемента И и является четвертым выходом блока, выход пятого элемента И является пятым выходом блока.

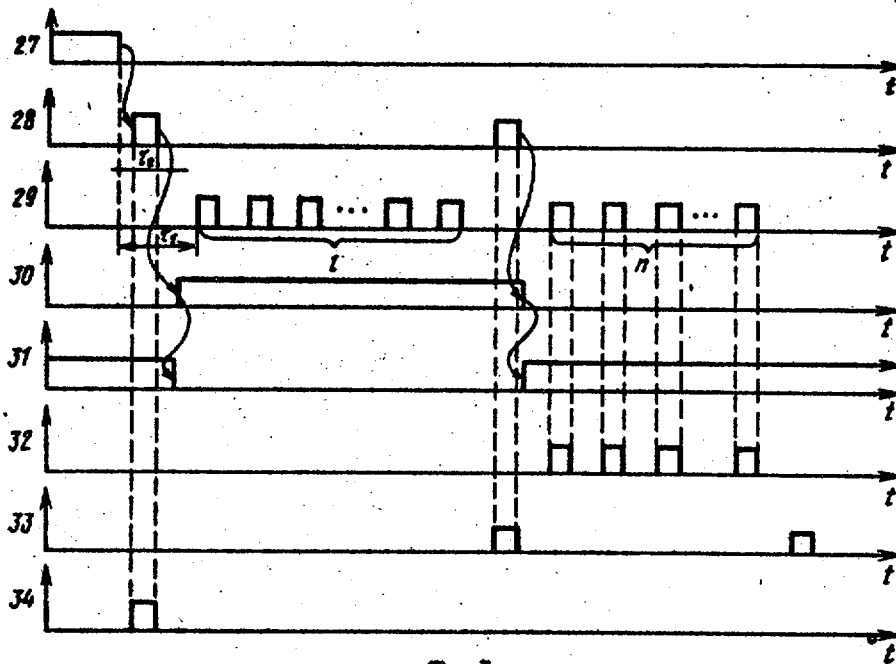




Quz. 1



Фиг. 2



Фиг. 3

Редактор Н. Швыдкая      Составитель С. Старшкин      Техред Т. Тулик      Корректор М. Самборская

Заказ 641/53      Тираж 673      Подписное

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д.4/5

Филиал ИИП "Патент", г.Ужгород, ул.Проектная, 4