



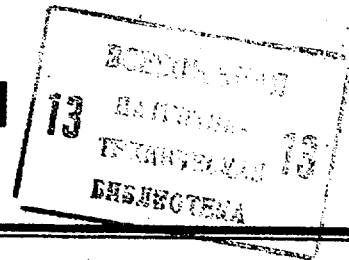
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1223233** **A**

(51) 4 G 06 F 11/16

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3800632/24-24
(22) 10.10.84
(46) 07.04.86. Бюл. № 13
(71) Минский радиотехнический институт
(72) И.Н.Гальцов, А.М.Гринкевич, Е.С.Рогальский и А.М.Суходольский
(53) 681.3 (088.8)
(56) Авторское свидетельство СССР № 883912, кл. G 06 F 11/22, 1980.
Авторское свидетельство СССР № 1024924, кл. G 06 F 11/16, 1981.
(54) УСТРОЙСТВО ДЛЯ КОНТРОЛЯ ОДНОТИПНЫХ ЛОГИЧЕСКИХ УЗЛОВ
(57) Изобретение относится к автоматике и вычислительной технике и может быть использовано при тестовом диагностировании. Цель изобретения - повышение достоверности контроля и производительности. Устройство содержит блок управления, генератор тестов, блок анализа и блок выявления

сбоев. При выявлении сбоя в одном из контролируемых однотипных логических узлов этот сбой фиксируется блоком выявления сбоев, который осуществляет идентификацию номера отказавшего узла и типа ошибки. При этом осуществляется повторный цикл контроля для выявления подтверждения сбоя отказавшего узла. Если при очередной реализации повторного контроля обнаруженный сбой подтверждается, то конечным адресом цикла контроля будет адрес той тестовой комбинации, на которой этот сбой проявился. При одновременном сбое во всех узлах этот сбой обнаруживает блок анализа, работающий по принципу сигнального анализатора. При этом опять происходит повторный контроль. Условием заброски узлов является наличие двух сбоев при организациях циклов контроля. 5 ил.

(19) **SU** (11) **1223233** **A**

Изобретение относится к вычислительной технике, в частности к аппаратуре контроля логических вычислительных машин, и может быть использовано в электронике для контроля логических микросхем средней и большей степени интеграции, а также в составе автоматических комплексов и автоматизированных систем управления производства ТЭЗов, контроллеров и других логических узлов.

Цель изобретения - повышение достоверности контроля и производительности.

На фиг. 1 представлена блок-схема предлагаемого устройства; на фиг. 2 - блок управления; на фиг. 3 - схема блока выявления сбоев; на фиг. 4 - схема блока анализа; на фиг. 5 - схема генератора тестов.

Устройство содержит блок 1 управления, генератор 2 тестов, блок 3 анализа, блок 4 выявления сбоев, однотипные контролируемые логические узлы 5.1 - 5N.

Блок управления (фиг. 2) содержит элемент ИЛИ-НЕ 6, триггер 7, генератор 8 тактовых импульсов, триггер 9, элемент И 10.

Блок выявления сбоев (фиг. 3) содержит группу шифраторов 11.1 - 11.К, шифратор 12, группу счетчиков 13.1 - 13.К сбоя, триггер 14, элемент ИЛИ 15, счетчик 16 циклов контроля, блок 17 памяти сбоев, блок 18 индикации.

Блок анализа (фиг. 4) содержит распределитель 19 импульсов, сигнатурный анализатор 20, регистр 21, схему 22 сравнения, блок 23 памяти эталона.

Генератор тестов (фиг. 5) содержит узел 24 контроля по четности, буферный регистр 25, элементы И 26 и 27, узел 28 памяти, регистр 29, узел 30 считывания, группу информационных выходов 31, вход 32 синхронизации, вход 33 блокировки, выход 34 признака начала контроля, выход 35 признака цикла контроля, выход 36 признака конца контроля, выходы 37 признака тестового набора.

При подаче разрешающего уровня "начальной установки" на единичный вход триггера 7 последний запускает генератор 8 тактовых импульсов, который формирует синхрои́мпульсы, поступающие на вход элемента И 10 и на синхрорпровод генератора 2 тестов. При поступлении с выхода 34 признака начала

контроля генератора тестов высокого уровня на единичный вход триггера 9 и на другой вход элемента И 10 происходит сброс распределителя 19 импульсов, а также его синхронизация и синхронизация блока 17 памяти сбоев в блоке 4 выявления сбоев.

Триггер 7 при поступлении высоких уровней с выхода 36 признака конца контроля генератора 2 тестов и с выхода признака сбоя блока памяти сбоев блокирует генератор 8 тактовых импульсов.

При поступлении с выхода 36 признака конца контроля генератора 2 тестов сигналов высокого уровня триггер 9 блокирует работу распределителя 19 импульсов.

При поступлении синхрои́мпульса на вход 32 синхронизации генератора тестов узел 30 считывания формирует адрес узла 28 памяти и сигнал записи в буферный регистр 25. На выходной шине узла 28 памяти формируется параллельный код, который переписывается в буферный регистр 25 по команде записи. Узел 24 контроля по четности формирует разрешающий уровень при совпадении выходов узла 28 памяти и буферного регистра 25. При несовпадении выходов узел 24 контроля по четности формирует запрещающий уровень, узел 30 считывания блокируется на текущем адресе и при поступлении следующего синхрои́мпульса по входу 33 производит повторную запись в буферный регистр 25. Этим же уровнем блокируется формирование разрешающего уровня на выходе 34 признака начала контроля.

Разрядность используемой двоичной комбинации на выходной шине зависит от количества входов контролируемых однотипных логических узлов 5.1-5.N.

Три старших разряда выходной шины узла 28 памяти выполняют следующие функции. При считывании последней тестовой комбинации появление уровня логического нуля в первом старшем разряде соответствует выдаче команды "Конец измерения" на выходе 36 признака конца контроля. Уровень логического нуля во втором старшем разряде выходной шины узла 28 памяти блокирует элемент И 26. Это необходимо для организации начальных и подготовительных установок для контролируемых однотипных логических

узлов 5.1-5.N. Выход третьего старшего разряда является выходом 36 признака режима контроля генератора 2 тестов. Появление уровня логической единицы в третьем старшем разряде выходной шины узла 28 памяти указывает на начало очередной матрицы тестовых комбинаций. Каждая матрица тестовых комбинаций обеспечивает проверку правильности выполнения определенной функции контролируемыми однотипными логическими узлами 5.1-5.N. По сигналу с выхода третьего старшего разряда в регистр 29 производится запись начального адреса матрицы тестовых комбинаций, который хранится там до начала следующей матрицы. Вход 33 блокировки генератора 2 тестов обеспечивает принудительную запись начального адреса матрицы тестовых комбинаций из регистра 29 в узел 30 считывания при организации внутренних циклов контроля. Уровень логической единицы на входе 33 через элемент И 27 разрешает запись в узел 30 считывания начального адреса матрицы тестовых комбинаций из регистра 29 и запрещает смену информации, хранящейся в регистре 29.

Блок 4 выявления сбоев имеет К групп входов (где К - число контролируемых выходов однотипных логических узлов), группу шифраторов 11.1 - 11К, реализующих выражение (1), которые говорят о расхождении информации, поступающей от контролируемых узлов:

$$(11\ i) = ((5.1.1) (5.2.1) \dots (5.N.1) V(5.1.1) \cdot (5.2.1) \dots (5.N.1)) V V \dots V((5.1.i) \cdot (5.2.i) \cdot (5.N.i) V(5.1.i) (5.2.i) \dots (5.N.i)) V \dots \dots ((5.1.K) \cdot (5.2.K) \dots (5.N.K)) V(5.1.K) \cdot (5.2.K) \dots (5.N.K)), \quad (1)$$

где $i = 1, \dots, K$; N - число контролируемых однотипных логических узлов.

На выходах шифратора 12 формируется информация, присутствующая на большинстве выходов контролируемых однотипных узлов, согласно следующему выражению:

$$\overline{(5.1.i)} (5.2.i) \dots (5.N.i) V(5.1.i) (5.2.i) \dots (5.N.i) V(5.1.i) (5.2.i) \dots (5.N.i) V(5.1.i) (5.2.i) \dots (5.N.i) \quad (2)$$

При обнаружении сбоя в одном из контролируемых логических узлов 5.1-5.N на выходе соответствующего шифратора группы 11.1 - 1.K появляется

уровень логической единицы, который через элемент ИЛИ 15 поступает на единичный вход триггера 14. Управление триггером 14 осуществляется также сигналом с выхода схемы 22 сравнения блока анализа. Триггер 14 формирует сигнал, который поступает на вход элемента И 27 и на вход считывания регистра 29, тем самым запускает средства организации процедуры внутреннего контроля и разрешает работу счетчика 16 циклов. Содержимое последнего увеличивается на единицу после завершения каждого цикла повторного контроля, которые задает генератор тестов с выхода 35. Коэффициент пересчета счетчика 16 циклов равен двум.

Размер цикла внутреннего контроля не является постоянным и зависит от того, подтверждается ли выявленный сбой одного из контролируемых логических узлов 5.1-5.N при повторных процедурах контроля. Начальный адрес цикла внутреннего контроля всегда совпадает с начальным адресом соответствующей матрицы тестовых комбинаций. В случае, когда при очередной реализации повторного контроля обнаруженный ранее сбой не подтверждается, цикл завершается последним адресом матрицы тестовых комбинаций. Если же при очередной реализации повторного контроля обнаруженный ранее сбой также повторяется, то конечным адресом цикла является тот адрес матрицы тестовых комбинаций, на котором этот сбой проявляется.

Величины самих матриц тестовых комбинаций не являются случайными. Каждая матрица содержит минимальное количество тестовых комбинаций, включая и установочные, необходимых для проверки правильности выполнения логических операций. После завершения третьего цикла внутреннего контроля счетчик 16 циклов формирует сигнал, который устанавливает триггер 14 в нулевое состояние и очищает группу счетчиков 13.1 - 13.K сбоев.

Каждый из счетчиков 13.1-13.K сбоев группы фиксирует сбой, происходящие в соответствующем контролируемом логическом узле 5.1-5.N и формирует адресные сигналы для блока 17 памяти сбоев при наличии двух сбоев в одном из контролируемых логических узлов 5.1-5.N. Блок 17 памяти сбоев в зависимости от наличия сигналов на выходах счетчиков 13.1 -

13. К сбоям группы и на входе сигнала, на который поступает сигнал ошибки схемы сравнения 22 блока 3 анализа, включает лампочки "Контроль пов-

торить", "Брак" и формирует сигнал "Сбой" на выходе признака сбоя.

Работа блока 17 памяти сбоях представлена в таблице.

Выходные сигналы счетчиков сбоя группы (адреса)				Ошибка с блока 3	"Брак"			"Контроль повторить"			"Сбой"
					1	2	3	1	2	3	
0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	1	0	0	0	1
0	1	0	0	0	0	1	0	0	0	0	1
1	0	0	0	0	1	0	0	0	0	0	1
0	0	0	1	1	1	1	1	0	0	0	1
0	0	1	1	1	1	1	0	0	0	1	1
0	1	0	1	1	1	0	1	0	1	0	1
1	0	0	1	1	0	1	1	1	0	0	1

Блок 17 памяти сбоях является дешифратором, выполненным в виде ППЗУ, прошивка которого соответствует представленному таблице.

Нули в графах таблицы указывают на отсутствие соответствующих сигналов и на выключенное состояние соответствующих лампочек блока 18 индикации. Единицы в графах таблицы указывают на присутствие соответствующих сигналов и на включенное состояние соответствующих лампочек блока 18 индикации.

Блок 3 анализа содержит распределитель 19 импульсов, сигнатурный анализатор 20, регистр 21, схему 22 сравнения и блок 23 памяти эталона. Начальная установка производится сигналом "Высокий уровень", с выхода триггера 9 поступающим на вход сброса распределителя 19 импульсов. С этого момента до прихода низкого уровня на этот вход при поступлении каждого синхроимпульса от элемента И 10 на распределитель 19 импульсов он формирует импульсы, управляющие работой блока 3 анализа. На информационные входы сигнатурного анализатора 20 поступает информация с выходов шифратора 12. Сформированная сигнатура поступает в регистр 21 для

хранения. На адресный вход блока 23 памяти эталона поступают сигналы с выходов признака тестового набора генераторов 2. Блок 23 памяти в соответствии с адресом формирует код, поступающий на схему 22 сравнения, которая производит по команде распределителя 19 импульсов сравнение синхронизированных в регистре 21 и блоке 23 памяти. При несопадении синхронизированных команд "Неправильная сигнатура", поступающая на один из адресных входов блока 17 памяти сбоях в блоке 4 выявления сбоях 4.

Устройство работает следующим образом.

При подаче разрешающего уровня "Начальной установки" блок 1 управления формирует синхроимпульсы, которые поступают на синхровход генератора 2 тестов, на выходе которого формируется необходимое количество комбинаций, устанавливающих контролируемые логические блоки 5.1-5.N в исходное состояние. Затем генератор 2 тестов формирует разрешающий уровень на выходе 34 признака начала контроля и синхроимпульс блока 1 управления поступает на блок 4 выявления сбоях, который производит сравнение каждого одноименного выхода логических узлов

и формирует на выходах параллельный код, соответствующий состоянию большинства входов (мажоритарности). Если информация на входах шифраторов группы 11, шифратора 12 не совпадает, счетчики сбоя фиксируют это, и на блоке индикации выявляется номер логического узла, в котором произошел сбой, и запускаются средства организации внутренних циклов контроля. Внутренние циклы контроля обеспечивают повторную проверку логических узлов с помощью той матрицы тестовых комбинаций, при котором произошел сбой. В зависимости от результата контроля устройство либо продолжает дальнейшую проверку, либо формирует сигналы "Брак", "Контроль повторить". Возможна также ситуация, когда все однотипные контролируемые логические узлы 5.1-5.N допустили сбой одновременно. Такой сбой будет обнаружен только блоком 3 анализа как результат расхождения сформированной и эталонной сигнатур. В этом случае также происходит процедура повторного контроля.

Сформированная сигнатура представляет собой результат преобразования в блоке 3 анализа параллельного кода, поступающего с выходов шифратора 12 в последовательность комбинаций. Она формируется после каждой тестовой комбинации.

Условием забраковки контролируемого логического узла является наличие в нем двух сбоев при организации внутренних циклов контроля с использованием одной матрицы тестовых комбинаций. В этом случае, а также при двукратном появлении неправильной сигнатуры, контроль автоматически прекращается и высвечивается индикация "Брак". Контролируемые логические узлы признаются годными, если верна последняя сигнатура и нет индикации "Брак".

Если контроль прерывается и есть индикация "Контроль повторить", индицируемый логический блок проходит повторный контроль в составе следующей контролируемой группы.

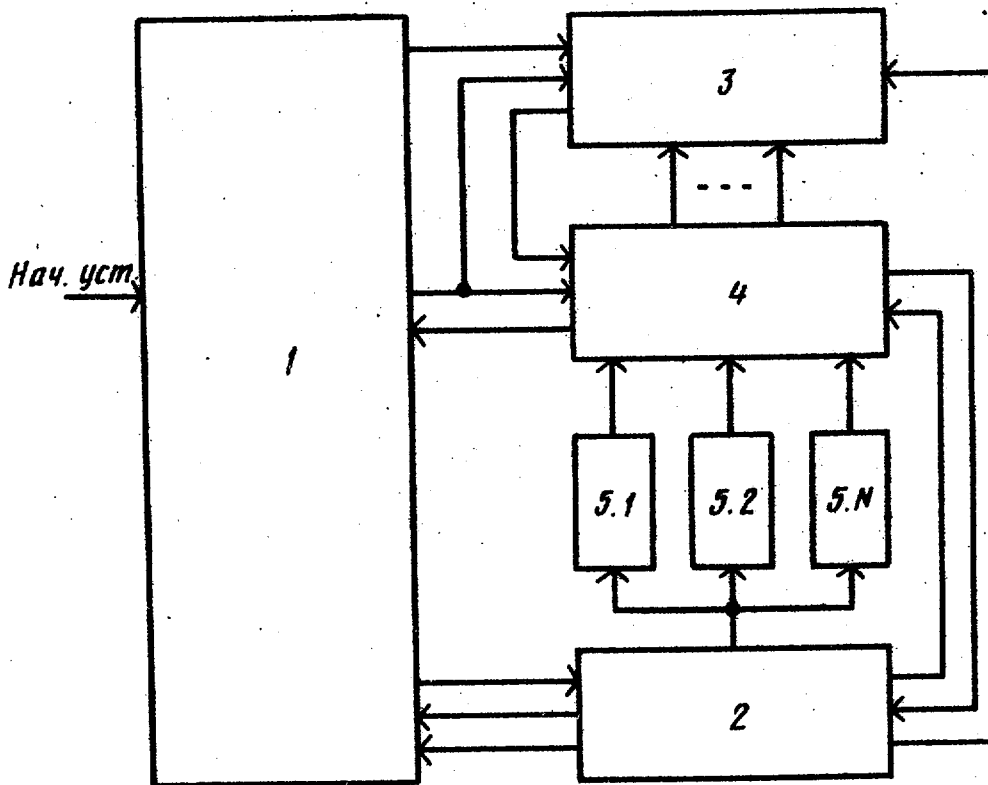
Ф о р м у л а и з о б р е т е н и я

Устройство для контроля однотипных логических узлов, содержащее генератор тестов, блок управления, блок анализа и блок выявления сбоев,

причем блок управления содержит первый и второй триггеры, генератор тактовых импульсов, элемент ИЛИ-НЕ и элемент И, блок анализа содержит сигнатурный анализатор, распределитель импульсов, регистр, схему сравнения и блок памяти эталона, а блок выявления сбоев содержит блок индикации, причем вход начальной установки устройства соединен с единичным входом первого триггера, выход которого соединен с входом пуска генератора тактовых импульсов, выход которого соединен с первым входом элемента И и входом синхронизации генератора тестов, группа информационных выходов которого соединена с группами информационных входов однотипных контролируемых логических узлов, выход элемента ИЛИ-НЕ соединен с нулевым входом первого триггера, второй вход элемента И соединен с выходом признака начала контроля генератора тестов и с единичным входом второго триггера, нулевой вход которого соединен с выходом признака конца контроля генератора тестов и с первым входом элемента ИЛИ-НЕ, выход элемента И соединен с входом синхронизации распределителя импульсов, вход сброса которого соединен с выходом второго триггера, первый выход распределителя импульсов соединен с входом синхронизации сигнатурного анализатора, выходы которого соединены с информационными входами регистра, вход синхронизации которого соединен с вторым выходом распределителя импульсов и с входом синхронизации схемы сравнения, первая группа информационных входов которой соединена с группой выходов регистра, вторая группа информационных входов схемы сравнения соединена с группой выходов блока памяти эталона, о т л и ч а ю щ е е с я тем, что, с целью повышения достоверности контроля и производительности, блок выявления сбоев содержит группу счетчиков сбоя, блок памяти сбоев, элемент ИЛИ, третий триггер, счетчик циклов контроля, шифратор и группу шифраторов, причем группы выходов контролируемых логических узлов соединены с информационными входами соответствующих шифраторов группы и с группами информационных входов шифратора, выходы которого

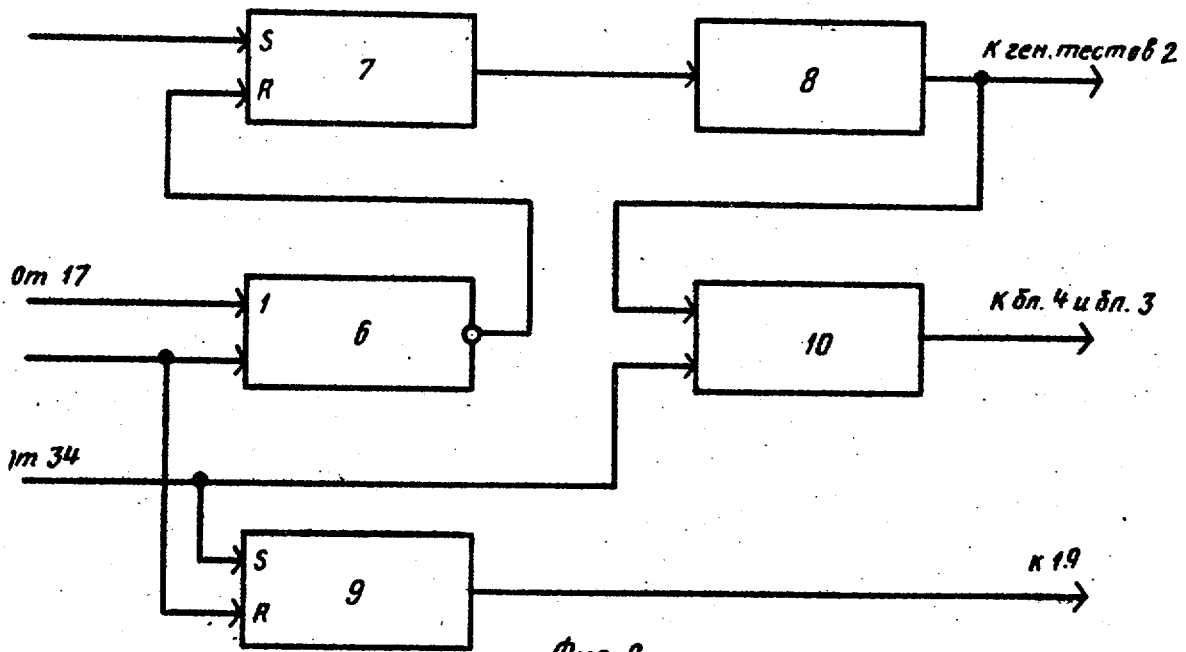
соединены с информационными входами сигнатурного анализатора, выходы шифраторов группы соединены с входами элемента ИЛИ и со счетными входами соответствующих счетчиков сбоя группы, входы сброса которых соединены с выходом переполнения счетчика циклов контроля и с нулевым входом третьего триггера, единичный вход которого соединен с выходом элемента ИЛИ, выход третьего триггера соединен с входом разрешения счетчика циклов контроля и с входом разрешения генератора тестов, разрядные выходы счетчиков сбоя группы и выход схемы сравнения соединены с адресными входами блока памяти сбоя, выход признака сбоя которого соединен с вторым

входом элемента ИЛИ-НЕ, вход синхронизации блока памяти сбоя соединен с выходом элемента И, группа выходов признаков номеров контролируемых однотипных логических узлов блока памяти сбоя соединена с первой группой информационных входов блока индикации, вторая группа информационных входов которого соединена с группой выходов признаков сбоя однотипных контролируемых логических узлов блока памяти сбоя, выход признака тестового набора генератора тестов соединен с адресным входом блока памяти эталона, выход признака цикла контроля генератора тестов соединен со счетным входом счетчика циклов контроля.

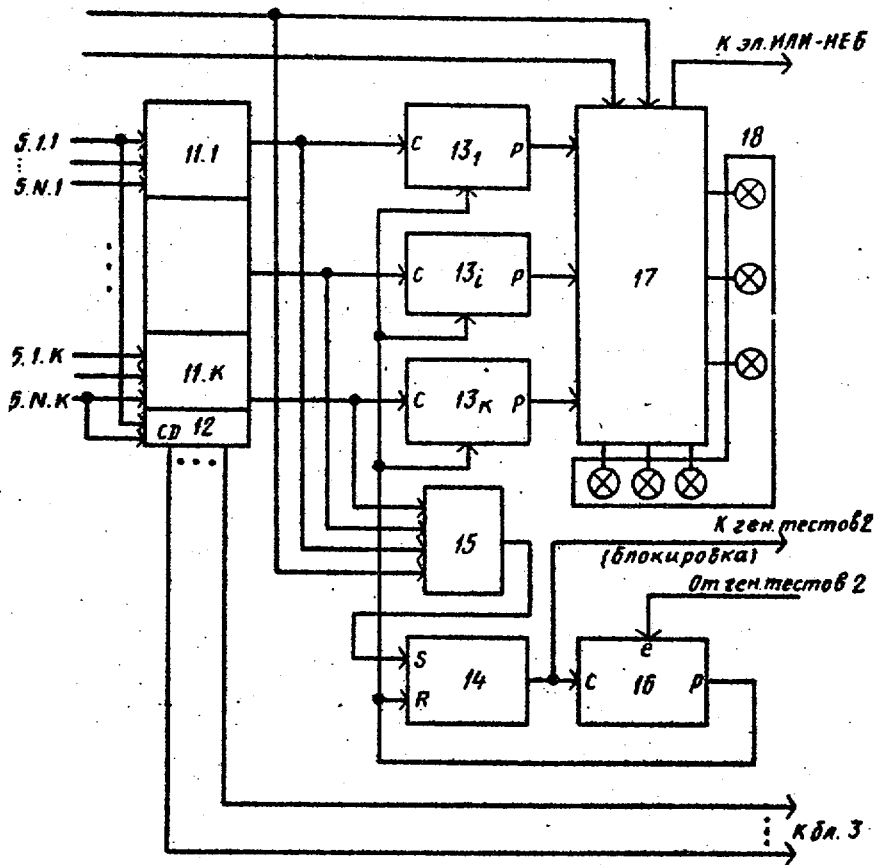


Фиг. 1

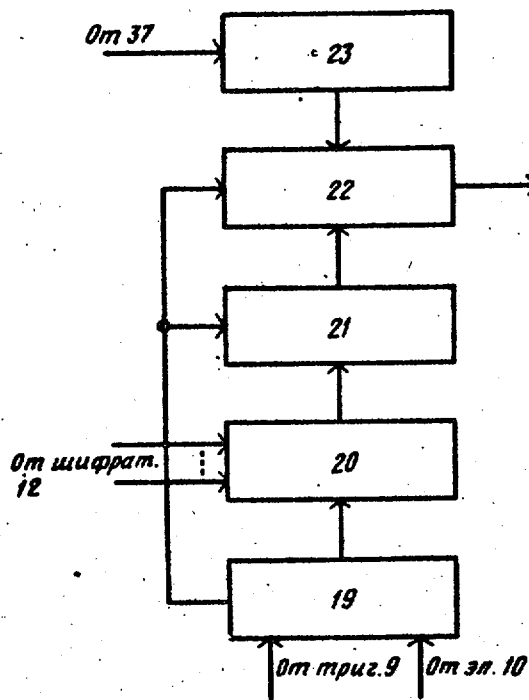
1223233



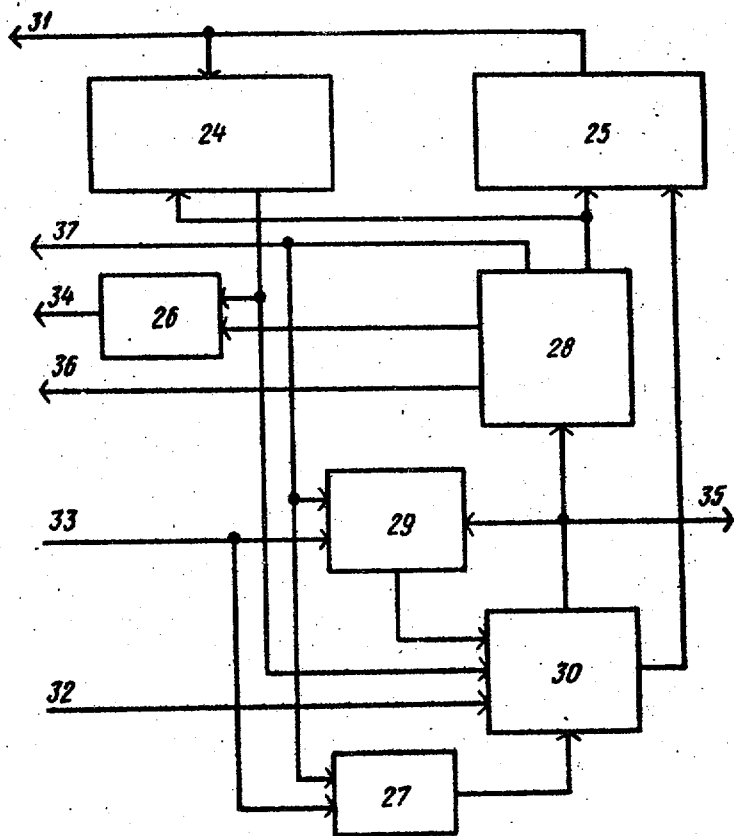
Фиг. 2



Фиг. 3



Фиг. 4



Фиг. 5