



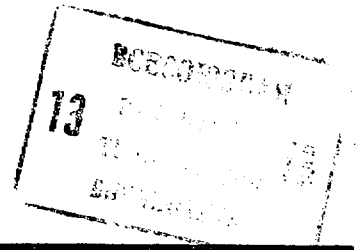
СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) SU (11) 1231501 A1

(5) 4 G 06 F 9/22

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3809571/24-24

(22) 05.11.84

(46) 15.05.86. Бюл. № 18

(71) Минский радиотехнический институт

(72) А. В. Соловей и А. А. Шостак

(53) 681.325(088.8)

(56) Путков В. Н., Обросов И. И. и Бекетов С. В. Электронные вычислительные устройства. Минск: Вышэйшая школа, 1981, с. 225, рис. 9.14.

Авторское свидетельство СССР  
№ 964640, кл. G 06 F 9/22, 1981.

Авторское свидетельство СССР  
№ 1151962, кл. G 06 F 9/22, 1983.

(54) МИКРОПРОГРАММНОЕ УСТРОЙСТВО УПРАВЛЕНИЯ

(57) Изобретение относится к вычислительной технике и может быть использовано в вычислительных устройствах и системах. Цель изобретения - повышение быстродействия устройства за счет обеспечения одновременного анализа  $n$  условий  $n \geq 2$ . Цель изобретения достигается за счет введения в устройство  $n-1$  блоков памяти микрокоманд и  $(n-1)$  блоков формирования адреса с соответствующими функциональными связями между ними и известными блоками устройства. 6 ил.

(19) SU (11) 1231501 A1

Изобретение относится к вычислительной технике и может быть использовано в вычислительных устройствах и системах.

Цель изобретения — повышение быстрой работы устройства за счет обеспечения одновременного анализа и условий ( $n \geq 2$ ).

На фиг. 1 приведена функциональная схема предлагаемого устройства; на фиг. 2 — блок формирования адреса; на фиг. 3 — блок проверки условий; на фиг. 4 — блок-схема алгоритма функционирования блока проверки условий; на фиг. 5 — пример блок-схемы алгоритма микропрограммы; на фиг. 6 — размещение микрокоманд в блоках памяти для случая  $n=2$ .

Микропрограммное устройство управления (фиг. 1) содержит  $n+1$  блоков  $1_1 - 1_{n+1}$  формирования адреса,  $n+1$  блоков  $2_1 - 2_{n+1}$  памяти микрокоманд, коммутатор 3, регистр 4 микрокоманд, формат микрокоманды которого содержит поле 5 кода микроопераций и поле 6 кода логических условий, блок 7 проверки условий, выход 8 кодов микроопераций и логических условий блоков  $2_1 - 2_{n+1}$  памяти микрокоманд, адресные выходы  $9_1 - 9_n$  блоков  $2_1 - 2_{n+1}$  памяти микрокоманд, выход 10, выход 11 поля кода логических условий регистра 4, группу 12 входов логических условий и выход 13 блока 7 проверки условий.

Блок формирования адреса (фиг. 2) содержит комбинационный сумматор 14, коммутатор 15, регистр 16, вход переноса сумматора 14 подключен к шине единичного потенциала 17 устройства. Блок 7 проверки условий (фиг. 3) содержит  $n$  дешифраторов  $18_1 - 18_n$ ,  $n$  блоков  $19_1 - 19_n$  элементов И,  $n$  элементов ИЛИ  $20_1 - 20_n$ , дешифратор 21 приоритетного кодирования и элемент ИЛИ-НЕ 22.

Блок 7 проверки условий реализован для микропрограмм со схемой проверки логических условий, показанной на фиг. 4. На фиг. 4 цифра внутри операционной вершины указывает, в каком блоке 2 памяти микрокоманд записана данная микрокоманда, а символ  $\alpha_\delta$  ( $1 \leq \delta \leq n$ ) внутри условной вершины обозначает номер кода логического условия, анализируемого в текущей микрокоманде, которая записана в  $k$ -том блоке 2 памяти микрокоманд, цифры 1

и 0 указывают соответственно выполнение и не выполнение данного логического условия.

Работа устройства рассматривается для случая  $n = 2$  на примере микропрограммы, блок-схема алгоритма которой изображена на фиг. 5. Для этого случая устройство содержит три блока  $1_1 - 1_3$  формирования адреса и три блока  $2_1 - 2_3$  памяти микрокоманд, а блок 7 проверки условий при этом содержит два дешифратора  $18_1$  и  $18_2$  два блока  $19_1$  и  $19_2$  элементов И (число элементов И в каждом блоке 19 определяется общим числом логических условий устройства), два элемента ИЛИ  $20_1$  и  $20_2$ , шифратор 21 приоритетного кодирования, двухвходовой элемент ИЛИ-НЕ 22 и имеет три выхода  $13_1 - 13_3$ , на которых формируются управляющие сигналы для коммутатора 3 и блоков  $1_1 - 1_3$  формирования адреса. По единичному сигналу на первом выходе 13 блока 7 проверки условий коммутатор 3 производит выборку информации с выхода 8 первого блока  $2_1$  памяти микрокоманд, коммутатор первого блока  $1_1$  формирования адреса — с выхода сумматора, а коммутаторы второго и третьего блоков  $1_2$  и  $1_3$  формирования адреса — соответственно с их первых информационных входов. По единичному сигналу на втором выходе  $13_2$  блока 7 проверки условий коммутатор 3 производит выборку информации с выхода 8 второго блока  $2_2$  памяти микрокоманд, коммутатор второго блока  $1_2$  формирования адреса — с выхода сумматора, а коммутаторы первого и третьего блоков  $1_1$  и  $1_3$  формирования адреса — соответственно с их первого и второго информационных входов. По единичному сигналу на третьем выходе  $13_3$  блока 7 проверки условий коммутатор 3 производит выборку информации с выхода 8 третьего блока  $2_3$  памяти микрокоманд, коммутатор третьего блока  $1_3$  формирования адреса — с выхода сумматора, а коммутаторы первого и второго блоков  $1_1$  и  $1_2$  формирования адреса — соответственно с их вторых информационных входов.

На фиг. 5 и 6 через  $\gamma_0 - \gamma_n$  условно обозначены коды микроопераций соответствующих микрокоманд  $\alpha_1 - \alpha_5$  — коды логических условий, а через  $A_0 - A_4$ ,  $B_0 - B_3$  и  $C_0 - C_2$  — адреса ячеек соответственно первого, второго и третьего

блоков  $2_i - 2_3$  памяти микрокоманд. При этом здесь предполагается, что отличие значений адресов  $A_p$  от  $A_{pi}$  ( $0 \leq p \leq 4$ ),  $B_r$  от  $B_{ri}$  ( $0 \leq r \leq 3$ ) и  $C_s$  от  $C_{si}$  ( $0 \leq s \leq 2$ ) составляет единицу.

Устройство работает следующим образом.

Пусть в исходном состоянии в регистре 4 микрокоманд находится код микроопераций  $J_0$ , единичный код первого логического условия (на фиг. 6 обозначен как 1) и нулевой код второго логического условия (на фиг. 6 обозначен как 0) первой микрокоманды микропрограммы, на выходах первого блока  $1_1$ , формирования адреса — значение адреса  $A_1$ , а на выходах остальных блоков  $1_2$  и  $1_3$  формирования адреса — нулевые значения (цепи синхронизации и выборки в первом такте работы устройства в регистр 4 микрокоманд первой микрокоманды выполняемой микропрограммы с целью упрощения не показаны). Так как на вход первого дешифратора  $18_1$  блока 7 проверки условий поступает единичный код, то на его дополнительном выходе устанавливается сигнал логической единицы, который поступает на выход первого элемента ИЛИ  $20_1$ , и так как этот выход имеет наивысший приоритет, то на первом выходе  $13_1$  блока 7 проверки условий устанавливается сигнал логической единицы, а на остальных выходах этого блока устанавливаются сигналы логического нуля. Такая ситуация на выходах  $13_1 - 13_3$  блока 7 проверки условий соответствует тому, что по синхросигналу во втором такте работы устройства в регистр 4 микрокоманд запишется код микроопераций  $J_1$ , коды  $\alpha_1$  и  $\alpha_2$  соответственно первого и второго логических условий следующей микрокоманды, а в регистры первого, второго и третьего блоков  $1_1 - 1_3$  формирования адреса запишутся соответственно адреса  $A_2$ ,  $B_0$  и  $C_0$ . Одновременно с выполнением микроопераций  $J_1$  происходит чтение из блоков  $2_1 - 2_3$  памяти следующих возможных микрокоманд по указанным выше адресам. Если логическое условие  $\alpha_1$  выполнится, то на первом выходе  $13_1$  блока 7 проверки условий появится сигнал логической единицы, а на остальных выходах  $13_2$  и  $13_3$  — сигналы логического нуля. Эти значения сигналов на выходах  $13_1 - 13_3$  блока 7 проверки условий соответствуют тому, что в

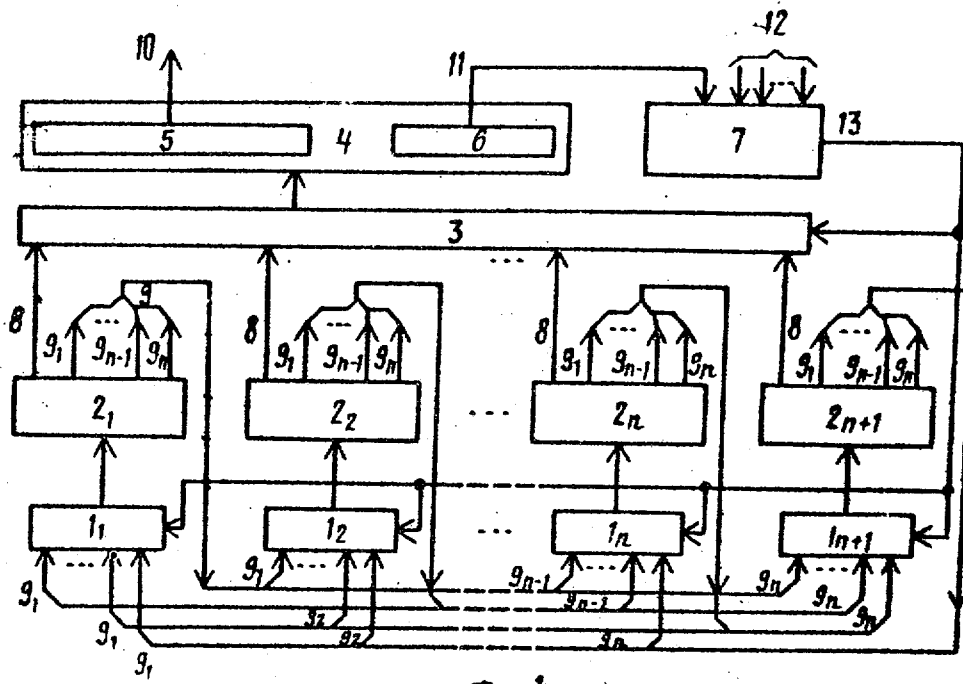
третьем такте работы устройства по синхросигналу в регистре 4 микрокоманд запишется код микроопераций  $J_2$ , коды  $\alpha_3$  и  $\alpha_4$  соответственно первого и второго логических условий, а в регистры первого, второго и третьего блоков  $1_1 - 1_3$  формирования адреса запишутся соответственно адреса  $A_3$ ,  $B_3$  и  $C_2$ . Если же логическое условие  $\alpha_1$  не выполнится, то на выходе первого элемента ИЛИ  $20_1$  блока 7 проверки условий устанавливается сигнал логического нуля. Если второе логическое условие  $\alpha_2$  выполнится, то на выходе второго элемента ИЛИ  $20_2$  блока 7 проверки условий устанавливается сигнал логической единицы. Так как на первом более приоритетном входе узла 17 приоритетного кодирования присутствует сигнал логического нуля, то на втором выходе  $13_2$  блока 7 проверки условий устанавливается сигнал логической единицы, а на остальных его выходах  $13_1$ ,  $13_3$  — сигнал логических нулей. Это значение сигналов на выходах  $13_1 - 13_3$  блока 7 проверки условий соответствует тому, что по синхросигналу в третьем такте работы устройства в регистр 4 микрокоманд запишется код микроопераций  $J_3$ , код  $\alpha_5$  первого логического условия и единичный код второго логического условия четвертой микрокоманды, а в регистры первого, второго и третьего блоков  $1_1 - 1_3$  формирования адреса запишутся соответственно адреса  $A_3$ ,  $B_1$  и 0. Если же и второе логическое условие  $\alpha_2$  не выполнится, то на выходе и второго элемента ИЛИ  $20_2$  блока 7 проверки условий установится сигнал логического нуля. Поэтому на выходах узла 11 приоритетного кодирования устанавливаются сигналы логического нуля, а на выходе элемента ИЛИ-НЕ 22 установится сигнал логической единицы. Такое значение сигналов на выходах  $13_1 - 13_3$  блока 7 проверки условий соответствует тому, что в третьем такте работы устройства по синхросигналу в регистр 4 микрокоманд запишется код микроопераций  $J_3$ , нулевое значение первого и второго логических условий третьей микрокоманды, а в регистры первого, второго и третьего блоков  $1_1 - 1_3$  формирования адреса запишутся соответственно адреса 0, 0 и  $C_1$ . Подобным образом устройство работает и в других тактах при выполнении остальных микрокоманд. Если в вы-

полняемой микрокоманде анализируется только одно логическое условие, то оно может быть принято в микрокоманде как первым, так и вторым, при этом значение соответственно второго и первого логических условий должно быть нулевым (или единичным), или только нулевым. Примером такой микрокоманды может служить четвертая микрокоманда на фиг. 5 и 6. Значения кодов первого и второго логических условий, равные соответственно "1" и "0" (или "1" и "1") используются для принудительного чтения информации из первого блока  $2_1$  памяти микрокоманд, а значения "0" и "1" или "0" и "0" — для принудительного чтения информации соответственно из второго и третьего блоков  $2_2$  и  $2_3$  памяти микрокоманд.

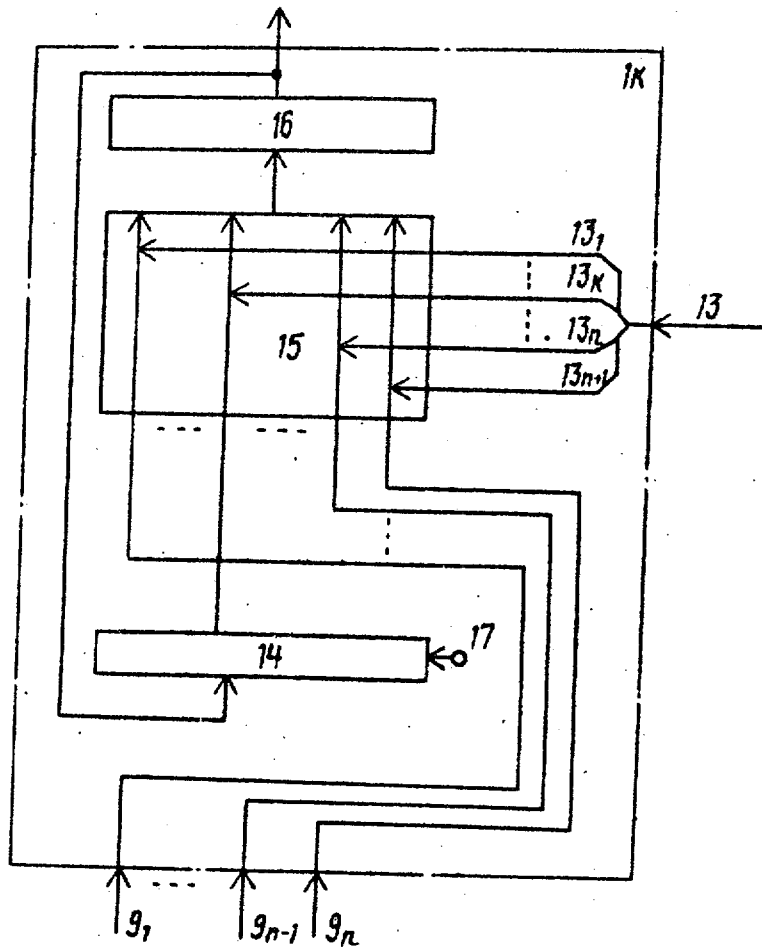
### Ф о р м у л а и з о б р е т е н и я

1. Микропрограммное устройство управления, содержащее два блока памяти микрокоманд, два блока формирования адреса, коммутатор, регистр микрокоманд и блок проверки условий, причем выход кода микроопераций регистра микрокоманд является выходом устройства, группа выходов кодов логических условий регистра микрокоманд соединена с первой группой входов блока проверки условий, вторая группа входов которого является группой входов логических условий устройства, информационный вход регистра микрокоманд соединен с выходом коммутатора, первый и второй информационные входы которого соединены соответственно с выходами кодов микроопераций и логических условий первого и второго блоков памяти микрокоманд, адресные входы которых соединены с выходами соответственно первого и второго блоков формирования адреса, отличающееся тем, что, с целью повышения быстродействия устройства за счет обеспечения одновременного анализа  $n$  условий  $n \geq 2$ , оно содержит дополнительно  $n-1$  блоков памяти микрокоманд и  $n-1$  блоков формирования адреса, причем выходы с третьего по  $(n+1)$ -й блоков формирования адреса соединены с адресными входами соответствующих с третьего по

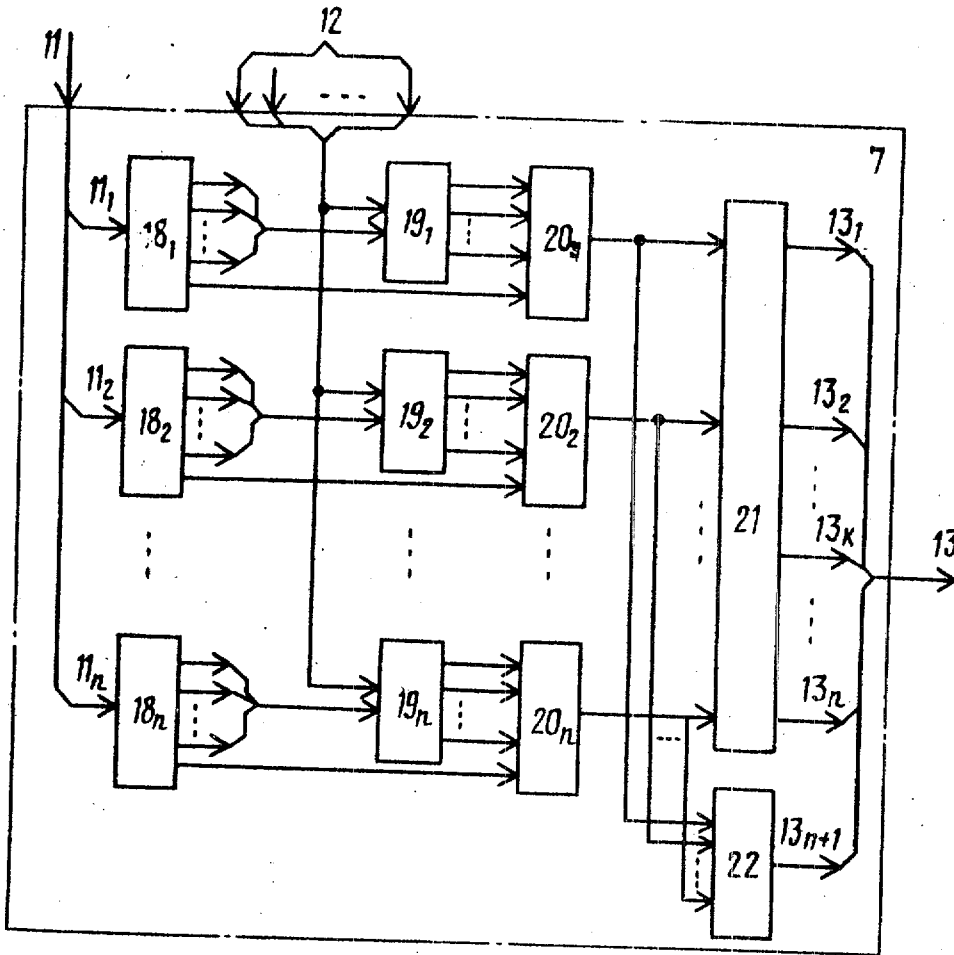
$(n+1)$ -го блоков памяти микрокоманд, выходы кодов микроопераций и логических условий которых соединены с соответствующими с третьего по  $(n+1)$ -й информационными входами коммутатора,  $i$ -й ( $1 \leq i \leq n$ ) адресный выход  $k$ -го ( $1 \leq k \leq n+1$ ) блока памяти микрокоманд соединен с  $k$ -м информационным входом  $(i+1)$ -го блока формирования адреса (для всех значений  $i \geq k$ ) и с  $(k-1)$ -м информационным входом  $i$ -го блока формирования адреса (для всех значений  $i < k$ ), выходы блока проверки условий соединены соответственно с входами управления формированием адресов блоков формирования адреса и коммутатора, причем каждый из блоков формирования адреса содержит регистр, коммутатор и комбинационный сумматор, причем выход регистра соединен с информационным входом сумматора и является выходом блока, информационный вход регистра соединен с выходом коммутатора управляющий вход которого является входом управления формированием адресов блока,  $j$ -ый ( $1 \leq j \leq n+1$ ) информационный вход коммутатора  $K$ -го блока формирования адреса соединен с  $j$ -ым информационным входом блока (для всех значений  $j < k$ ), с выходом сумматора (для значения  $j=k$ ) и с  $(j-1)$ -м информационным входом блока (для всех значений  $j > k$ ), вход переноса сумматора подключен к шине единичного потенциала, устройства, причем блок проверки условий содержит  $n$  дешифраторов,  $n$  блоков элементов И,  $n$  элементов ИЛИ, шифратор приоритетного кодирования и элемент ИЛИ-НЕ, причем первые входы элементов И  $i$ -го блока элементов И соединены с соответствующими входами группы входов логических условий устройства, а вторые входы соединены с соответствующими выходами  $i$ -го дешифратора, входы которого являются первой группой входов блока проверки условий, выходы элементов И  $i$ -го блока элементов И и дополнительный выход  $i$ -го дешифратора соединены с входами  $i$ -го элемента ИЛИ, выход которого соединен с соответствующим входом элемента ИЛИ-НЕ и шифратора приоритетного кодирования, выходы которого вместе с выходом элемента ИЛИ-НЕ являются выходами блока проверки условий.



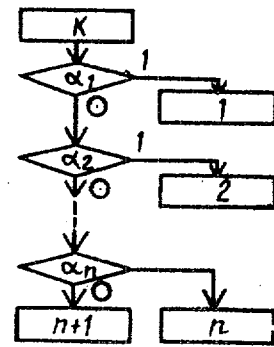
Фиг. 1



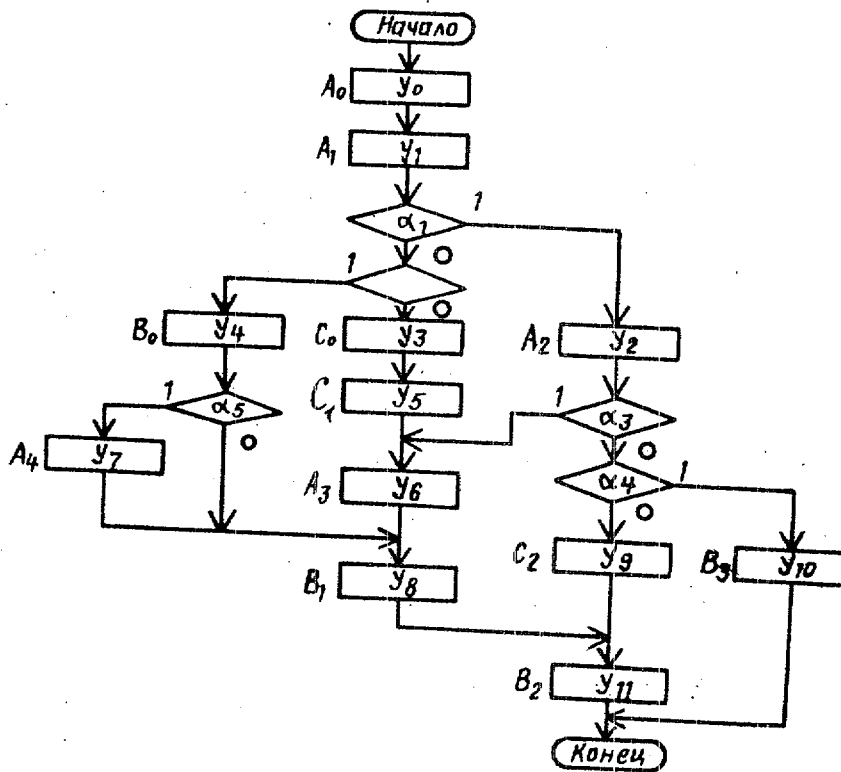
Фиг. 2



Фиг. 3



Фиг. 4



Фиг. 5

Первый блок памяти  
микрокоманд

Адрес учеб. км	Код микро- операции	Код логи- ческих условий		Группа ад- ресных вы- ходов	
		1-20	2-20	1-ая	2-ая
A <sub>0</sub>	У <sub>0</sub>	1	0	0	0
A <sub>1</sub>	У <sub>1</sub>	α <sub>1</sub>	α <sub>2</sub>	B <sub>0</sub>	C <sub>0</sub>
A <sub>2</sub>	У <sub>2</sub>	α <sub>3</sub>	α <sub>4</sub>	B <sub>3</sub>	C <sub>2</sub>
A <sub>3</sub>	У <sub>3</sub>	0	1	B <sub>1</sub>	0
A <sub>4</sub>	У <sub>4</sub>	0	1	B <sub>1</sub>	0

Второй блок памяти  
микрокоманд

Адрес учеб. км	Код микро- операции	Код логи- ческих условий		Группа ад- ресных вы- ходов	
		1-20	2-20	1-ая	2-ая
B <sub>0</sub>	У <sub>4</sub>	α <sub>5</sub>	1	A <sub>4</sub>	0
B <sub>1</sub>	У <sub>8</sub>	0	1	0	0
B <sub>2</sub>	У <sub>11</sub>	—	—	—	—
B <sub>3</sub>	У <sub>10</sub>	—	—	—	—

Третий блок памяти  
микрокоманд

Адрес учеб. км	Код микро- операции	Код логи- ческих условий		Группа ад- ресных вы- ходов	
		1-20	2-20	1-ая	2-ая
C <sub>0</sub>	У <sub>3</sub>	0	0	0	0
C <sub>1</sub>	У <sub>5</sub>	1	0	A <sub>3</sub>	0
C <sub>2</sub>	У <sub>9</sub>	0	1	B <sub>2</sub>	0

Фиг.6

Редактор И. Сегменик      Составитель В. Криворучко  
 Техред И. Гайдош      Корректор М. Максимшинец

Заказ 2652/52

Тираж 671

Подписное

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4