



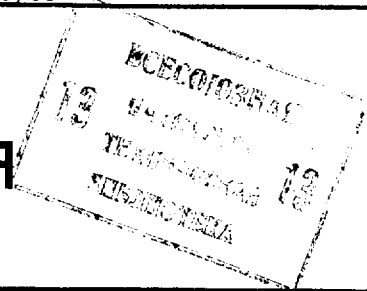
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1238163** **A1**

(5D) 4 G 11 C 29/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3770758/24-24
- (22) 10.07.84
- (46) 15.06.86. Бюл. № 22
- (71) Минский радиотехнический институт
- (72) Н. И. Овсянникова
- (53) 681.327(088.8)
- (56) Авторское свидетельство СССР
№ 970478, кл. G 11 C 29/00, 1980.
Авторское свидетельство СССР
№ 1091228, кл. G 11 C 29/00, 1982.
- (54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С
САМОКОНТРОЛЕМ
- (57) Изобретение относится к области вы-
числительной техники и может быть исполь-

зовано в специализированных и универсальных ЭВМ повышенной надежности. Цель изобретения — повышение надежности запоминающего устройства. Введение в запоминающее устройство, содержащее блок кодирования, блок обнаружения ошибок и элементы И и ИЛИ, блоков сравнения и сумматоров по модулю два позволяет исправлять не только постоянные смежные дефекты накопителя, но и дает возможность корректировать одиночные сбои либо отказы запоминающих элементов, которые возникают за время хранения и считывания информации. 3 ил.

(19) **SU** (11) **1238163** **A1**

Изобретение относится к вычислительной технике и может быть использовано при создании запоминающих устройств (ЗУ) повышенной надежности.

Цель изобретения — повышение надежности устройства.

На фиг. 1—3 изображены структурные схемы запоминающего устройства с самоконтролем, блока сравнения и блока обнаружения ошибок соответственно.

Устройство содержит (фиг. 1) накопитель 1, адресный блок 2, имеющий входы 3, входной регистр 4, имеющий группы 5—8 входов с первой по четвертую и входы 9, блок 10 кодирования, выходной регистр 11, имеющий входы 12 и 13 и выходы 14, блоки 15 сравнения, элементы И 16, блок 17 обнаружения ошибок, имеющий входы 18 и выходы 19 и 20, элементы ИЛИ 21, сумматоры 22 по модулю два, имеющие выходы 23.

Первую группу 5 входов регистра 4 образуют K выходов, являющихся информационными входами устройства, вторую группу 6 — $г$ входов, третью группу 7 — t входов, соединенных с шиной нулевого потенциала (на фиг. 1 соединение не показано), при этом $г = \log_2(k+t)$.

Входы четвертой группы 8 регистра 4 являются инверсными. При этом для конкретной реализации устройства (фиг. 1) j -е по модулю t выходы входного 4 и выходного 11 регистров соединены с соответствующими входами j -го блока сравнения ($j = \bar{1}, \bar{t}$), выход которого подключен к j -м по модулю t счетным входам входного регистра 4, выход j -го элемента И 16 связан с j -ми по модулю t счетными входами выходного регистра 11, j -й выход 19 блока 17 обнаружения ошибок связан с первыми входами j -х по модулю t элементов ИЛИ 21, вторые входы которых соединены с выходами 20 блока 17 обнаружения ошибок.

Каждый блок 15 сравнения содержит (фиг. 2) сумматоры 24 по модулю два и элемент ИЛИ 25.

Блок 17 обнаружения ошибок (фиг. 3) содержит блок 26 кодирования, блок 27 вычисления синдрома и дешифратор 28.

Устройство работает следующим образом.

Режим записи информации. Двоичное кодовое слово $X = x_1, x_2, \dots, x_n$ длины $n (n = t + k + г)$, первые t компоненты которого равны нулю, k других являются информационными и последние $г$ символов вырабатываются блоком 10 кодирования, записываются во входной регистр 4. Из регистра 4 слово X переписывается в накопитель 1 по адресу, задаваемому блоком 2. После этого осуществляется контрольное считывание слов (обозначим его X^1) из накопителя 1 в регистр 11. Слова X и X^1 могут отличаться, если хотя бы один из элементов памяти опрашиваемой ячейки накопителя 1 отказал. Далее в j -м блоке 15 сравнения

происходит поразрядное сравнение символов x_j и x_j^1 для всех $j = 1, 1+t, 1+2t, \dots$. Если хотя бы для одной такой пары $x_j \neq x_j^1$, то все компоненты кодового слова X^1 с номерами j инвертируются путем послышки единичного символа с выхода j -го блока 15 на соответствующие счетные входы группы 8 входного регистра 4. Операция сравнения выполняется параллельно всеми блоками 15. После ее завершения новое кодовое слово $Y = y_1, y_2, \dots, y_n$, сформированное во входном регистре 4, переписывается в накопитель 1 по тому же адресу. При наличии не более t смежных отказов или дефектов элементов памяти из числа опрашиваемых n элементов накопителя кодовое слово будет храниться без ошибок.

Режим считывания. Кодовое слово Y' (отличается от слова Y , если за время хранения информации в опрашиваемой ячейке накопителя 1 произошел новый отказ или сбой) из накопителя 1, как обычно, считывается в выходной регистр 11 по входам 12. После этого осуществляется восстановление исходного кодового слова. Для этого j -й символ из числа t разрядов считанного кодового слова через элемент И 16 (при поступлении управляющего сигнала на управляющий вход этого элемента) подается на счетные входы 13 выходного регистра 11 с номерами $j, j+t, j+2t$ и т.д. Если j -й символ y равен единице, а это имеет место в тех случаях, когда при записи символы x_j слова X с номерами $j, j+t, j+2t$ и т.д. были инвертированы, то соответствующие символы считанного кодового слова повторно инвертируются.

Если за время хранения кодового слова Y не изменилось логическое состояние ни одного элемента памяти опрашиваемой ячейки, то после повторной инверсии на выходах регистра 11 установится исходное кодовое слово. Если же произошел сбой или отказ одного элемента памяти, то слово на выходах регистра 11 будет отличаться от слова X . Определение местоположения возникшей ошибки осуществляет блок 17. Эта операция производится параллельно с инвертированием считанных из накопителя 1 двоичных символов в выходном регистре 11. Для обнаружения ошибки на один из входов 18 блока 17 поступают $г$ считанных из накопителя 1 проверочных символов кодового слова (на входы блока 27 вычисления синдрома). На другие входы 18 блока 17 (на входы блока 26 кодирования) поступают $t+k$ символов кодового слова. На основании последних двоичных разрядов слов Y' блоком 26 вновь формируются $г$ проверочных битов, которые в блоке 27 поразрядно сопоставляются с соответствующими проверочными битами, считанными из накопителя 1. Если сравниваемые символы отличаются, то это указывает, что за время хранения кодового слова Y в накопителе 1 один элемент па-

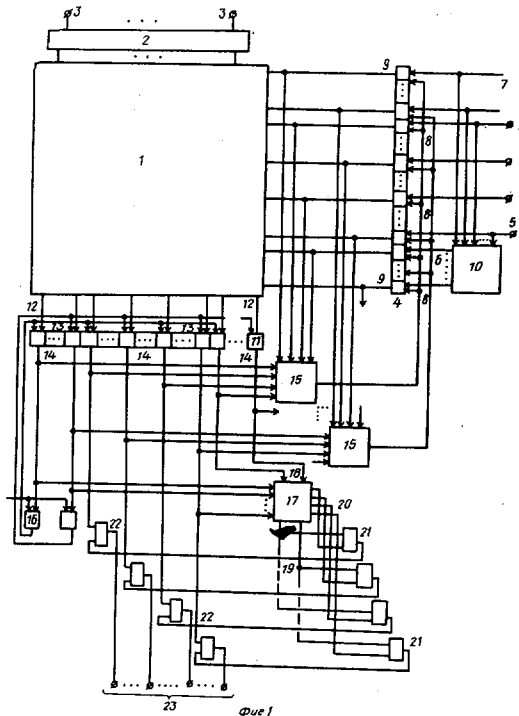
мяти опрашиваемой ячейки отказал. Если этот элемент памяти принадлежит t разрядам, то никаких изменений $t-k$ разрядов, находящихся на одних из выходов 14 регистра 11 не происходит. В случае же отказа j -го элемента памяти из числа t разрядов на одном из выходов 19 блока 17 (дешифратора 28 появится единичный символ, который, проходя через соответствующие элементы ИЛИ 21, восстановит в сумматорах 22 правильное состояние считанных из накопителя j -х по модулю t (либо одного из них) информационных разрядов кодового слова.

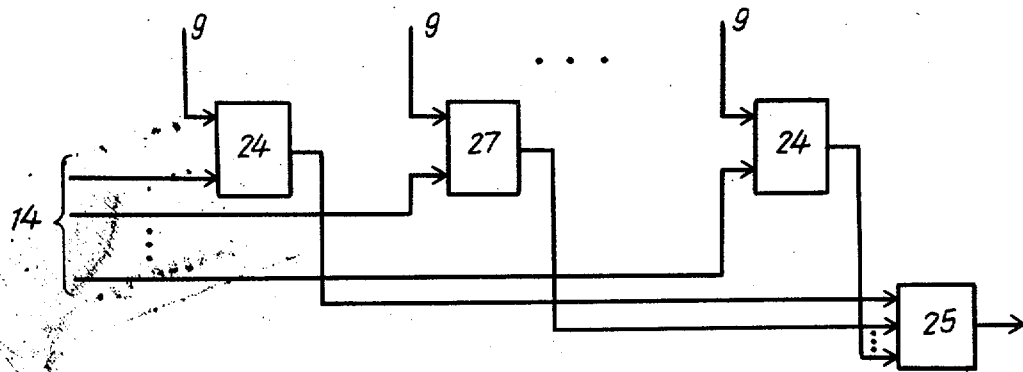
В случае появления ошибок в одном из k информационных разрядов сигнал логической единицы появится на одном из k выходов 20 блока 17 и проинвертирует соответствующий (ошибочный) информационный разряд в k -м сумматоре 22 по модулю два. Таким образом, на выходах 23 устройства будет найдена исходная информация без ошибок.

Формула изобретения

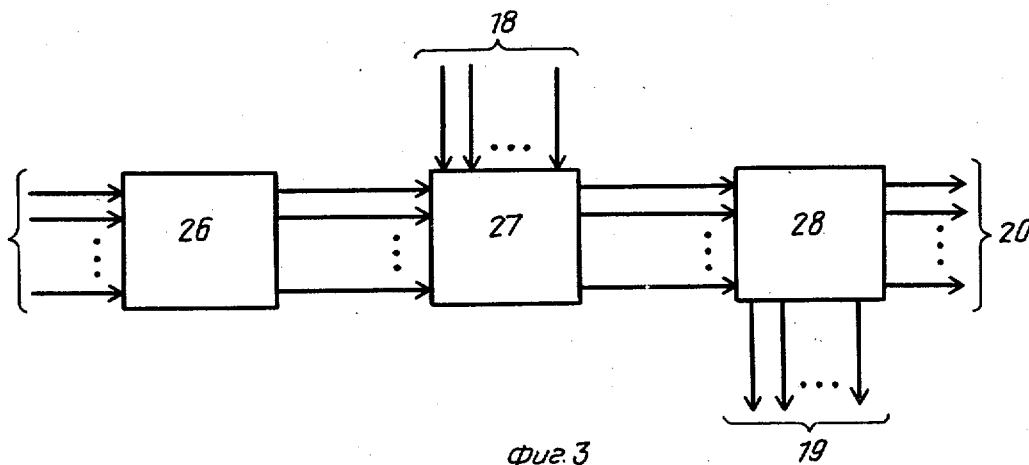
Запоминающее устройство с самоконтролем, содержащее накопитель, адресный блок, входной и выходной регистры числа, блок кодирования, блок обнаружения ошибок, элементы И и элементы ИЛИ, причем одни из входов накопителя подключены к выходам адресного блока, другие входы — к выходам входного регистра числа, входы первой груп-

пы которого и одни из входов блока кодирования являются информационными входами устройства, входы второй группы входного регистра числа соединены с выходами блока кодирования, выходы накопителя соединены с одними из входов выходного регистра числа, отличающееся тем, что, с целью повышения надежности устройства, в него введены сумматоры по модулю два и блоки сравнения, причем входы третьей группы входного регистра числа и другие входы блока кодирования соединены с шиной нулевого потенциала, одни из входов блока обнаружения ошибок соединены с выходами первой и третьей групп выходного регистра числа, выходы второй группы которого соединены с другими входами блока обнаружения ошибок, выходы первой группы выходного регистра числа подключены к первым входам сумматоров по модулю два, выходы которых являются информационными входами устройства, а вторые входы подключены к выходам элементов ИЛИ, выходы третьей группы выходного регистра числа подключены к первым входам элементов И, вторые входы которых являются управляющими, а выходы соединены с другими входами выходного регистра числа, одни из выходов входного и выходного регистров числа подключены к входам блоков сравнения, выходы которых соединены с входами четвертой группы входного регистра числа, выходы блока обнаружения ошибок подключены к входам элементов ИЛИ.





Фиг. 2.



Фиг. 3

Редактор А. Гулько
 Заказ 3299/54

Составитель В. Рудаков
 Техред И. Верес
 Тираж 543

Корректор М. Самборская
 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5
 Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4