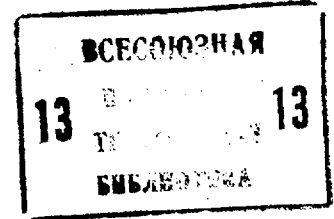




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

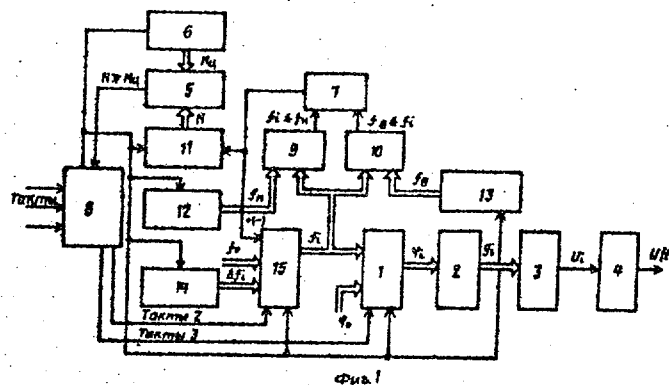
- (21) 3576431/24-09
- (22) 08.04.83
- (46) 23.06.86. Бюл. № 23
- (71) Минский радиотехнический институт
- (72) В.Н.Мухаметов, А.Е.Леусенко и А.Н.Морозевич
- (53) 621.373.42(088.8)
- (56) Авторское свидетельство СССР № 465706, кл. Н 03 В 23/00, 22.05.73.

Гнатек Ю.Р. Справочник по цифро-аналоговым и аналого-цифровым преобразователям. - М.: Радио и связь, 1982, с. 255-259.

(54) СИНТЕЗАТОР СИГНАЛОВ С ПЕРЕСТРАИВАЕМОЙ ЧАСТОТОЙ

(57) Изобретение относится к радиотехнике. Расширяется частотный диапазон формируемых сигналов. Синтезатор содержит накапливающий сумматор 1, преобразователь кода фазы в амплитуду 2, ЦАП 3, фильтр нижних частот 4,

три блока сравнения кодов (БСК) 5, 9 и 10, блок задания кода (БЗК) 6 числа циклов, триггер 7, блок управления (БУ) 8, счетчик циклов 11, блоки задания нижней и верхней частот диапазона 12 и 13, БЗК 14 приращения частоты и задатчик кода частоты 15, выполненный в виде алгебраического сумматора. В синтезаторе помимо формирования периодически изменяющегося напряжения с постоянной частотой колебаний обеспечивается формирование напряжения с частотой колебаний, изменяющейся по заданному закону. Причем закон изменения частоты колебаний определяется скоростью развертки, т.е. законом (с учетом знака) изменения в широких диапазонах скорости, частоты и времени (числом циклов на каждом временном интервале) работы синтезатора. Цель достигается введением БСК 5, 9 и 10, БЗК 6 и 14, триггера 7, БУ 8 и счетчика циклов 11. 2 ил.



Изобретение относится к радиотехнике и может быть использовано при высокоточных измерениях и проверке измерительной аппаратуры.

Целью изобретения является расширение частотного диапазона формируемых сигналов.

На фиг. 1 представлена структурная электрическая схема синтезатора сигналов с перестраиваемой частотой; на фиг. 2 - вариант выполнения блока управления.

Синтезатор сигналов с перестраиваемой частотой содержит накапливающий сумматор 1, преобразователь 2 кода фазы в амплитуду, цифроаналоговый преобразователь (ЦАП) 3, фильтр 4 нижних частот, первый блок 5 сравнения кодов, блок 6 задания кода числа циклов, триггер 7, блок 8 управления, второй блок 9 сравнения кодов, третий блок 10 сравнения кодов, счетчик 11 циклов, блок 12 задания нижней частоты диапазона, блок 13 задания верхней частоты диапазона, блок 14 задания кода приращения частоты, задатчик 15 кода частоты.

Блок 8 управления содержит кнопку 16 исходного состояния, кнопку "Пуск" 17, элемент ИЛИ 18, триггер 19, элемент И 20, элемент 21 задержки.

Синтезатор сигналов с перестраиваемой частотой работает следующим образом.

По сигналу с кнопки 16 исходного состояния на выходе задания исходного состояния блока 8 управления вырабатывается сигнал по которому счетчик 11 устанавливается в нулевое состояние, на выходах блока 9 задания кода числа циклов формируется код $N_{ц}$ заданного числа циклов, на выходах блока 14 задания кода приращения частоты формируется код Δf_i заданного приращения частоты при $i = 0$, а на выходах задатчика 15 кода частоты формируется код начальной частоты при $i = 0$, т.е. код $f_0 \in \{f_H, f_B\}$.

При этом задатчик 15 кода частоты выполнен в виде алгебраического сумматора.

На выходах блока 12 задания нижней частоты формируется код f_H выбранной нижней границы частотного диапазона, на выходах блока 13 задания верхней частоты формируется код f_C выбранной верхней границы частотного диапазона, а на выходе накопи-

вающего сумматора 1 формируется код φ_i выбранной начальной фазы при $i = 0$, т.е. φ_0 .

Второй 9 и третий 10 блоки сравнения осуществляют постоянное сравнение содержимого f_i задатчика 15 кода частоты с кодами f_H и f_B . На выходе третьего блока 10 сравнения сигнал появляется в тот момент времени, когда f_i оказывается больше f_B , т.е. при $f_i > f_B$. На выходе второго блока 9 сравнения сигнал появляется, если $f_i \leq f_H$. Положим для определенности, что $f_0 = f_H$. Тогда после записи в задатчик 15 кода частоты на выходе второго блока 5 сравнения появится сигнал, который устанавливает триггер 7 в нулевое состояние. При этом на выходе триггера 7 формируется сигнал такого уровня, который, поступая на управляющий вход задатчика 15 кода частоты, "настраивает" его на последующее суммирование кодов, поступающих на информационные входы задатчика 15 кода частоты, т.е. Δf_i . Первый блок 5 сравнения осуществляет постоянное сравнение содержимого N счетчика 11 с заданным числом $N_{ц}$ циклов развертки частоты. На выходе первого блока 5 сравнения формируется сигнал в тот момент времени, когда содержимое счетчика 11 становится равным или больше $N_{ц}$, т.е. $N \geq N_{ц}$. Следовательно, в исходном состоянии на выходе первого блока 5 сравнения сигнал не возникает. Преобразователь 2 осуществляет преобразование кода $\varphi_i = \varphi_0$ начальной фазы (аргумента) периодической функции в код ее мгновенного значения $Y_i = Y_0$. ЦАП 3 осуществляет преобразование цифрового кода Y_0 в эквивалентное ему значение напряжения электрического тока $U_i = U_0$. Фильтр 4 нижних частот обеспечивает плавную установку выходного сигнала $U(t) = U_0$ на выходной шине устройства.

По сигналу "Пуск" с кнопки 17 и под действием тактовых сигналов, которые поступают на тактовый вход блока 8 управления, последний вырабатывает тактовые сигналы "Такты 1" и "Такты 2". Эти сигналы поступают на тактовые входы накапливающего сумматора 1 и задатчика 15 кода частоты. Последовательность тактовых сигналов, поступающих на тактовый вход задатчика 15 кода частоты, является сдвину-

той (на время переходных процессов в накапливающем сумматоре 1) копией последовательности тактовых сигналов, поступающих на тактовый вход накапливающего сумматора 1.

По этим тактовым сигналам накапливающий сумматор 1 реализует код текущего значения фазы в виде $\varphi_i = (2\pi \sum f_i + \varphi_0) \bmod 2\pi$. Здесь полагается, что период воспроизводимой функции нормирован величиной 2π . Задатчик 15 кода частоты формирует код текущего значения частоты формируемого сигнала в виде $f_i = f_n + \Delta f_i \cdot i$, $f_i \leq f_b$, где i - номер такта; $i = \text{int}(t/t_0)$; t - текущее время; t_0 - период следования тактовых сигналов (период дискретизации).

Преобразователь 2 осуществляет преобразование кодов текущего значения фазы периодической функции в коды ее мгновенных значений U_i . ЦАП 3 осуществляет преобразование цифровых кодов U_i в эквивалентные им значения напряжения электрического тока U_i . Фильтр 4 нижних частот осуществляет низкочастотную фильтрацию ступенчато изменяющегося напряжения, образованного совокупностью U_i , т.е. осуществляет окончательное формирование периодически изменяющегося напряжения $U(t)$.

Первый 9 и второй 10 блоки сравнения осуществляют сравнение текущего значения f_i с границами выбранного в данном временном отрезке работы устройства диапазона развертки частоты f_n и f_b . В зависимости от результатов сравнения триггер 7 вырабатывает управляющий сигнал сложения (знак "+") или вычитания (знак "-"), что и определяет режим работы задатчика 15 кода частоты. Так как в исходный момент времени принято, что $f_i = f_0 = f_n$, то до момента времени (когда $f_i \geq f_b$) в задатчике 15 кода частоты выполняется сложение (увеличение f_i до f_b). После этого момента времени (когда $f_i \geq f_b$) в задатчике 15 кода частоты выполняется вычитание (уменьшение значения f_i до f_n) и т.д. Счетчик 11 осуществляет подсчет числа изменений состояния триггера 7 - полного числа циклов N развертки (качения) частоты и при достижении этого числа N значения N_n , заданного на данный временной отрезок работы устройства, первый блок 5

сравнения вырабатывает сигнал, по которому блок 8 управления переводит синтезатор сигналов в исходное состояние для нового временного отрезка работы устройства или останавливает его работу.

Блок 8 управления работает следующим образом.

При нажатии кнопки 16 исходного состояния на выходе задания исходного состояния формируется сигнал, который и обеспечивает установку синтезатора сигналов в исходное состояние. Одновременно сигнал с выхода кнопки 16 исходного состояния, проходя через элемент ИЛИ 18, устанавливает триггер 19 в ноль. При этом сигнал с выхода триггера 19 блокирует прохождение тактовых сигналов через элемент И 20 на первый и второй (через элемент 21 задержки) тактовые выходы.

При нажатии кнопки "Пуск" 17 формируется сигнал, который переводит триггер в единичное состояние, и тактовые сигналы начинают поступать на соответствующие выходы блока управления. Если в какой-то момент первый блок 5 сравнения сформирует сигнал, то он проходит через элемент ИЛИ 18 и устанавливает триггер 19 в ноль.

Каждый из блоков задания кода числа циклов 6, задания нижней 12 и верхней 13 частот, блок 14 задания кода приращения работает так, что по сигналам, поступающим на его входы из блока 8 управления, формируется сначала код на выходе блока переключателей (при этом можно понимать, что этот управляющий сигнал формирует оператор путем набора требуемого кода на программном переключателе), а затем этот код переписывается в регистр (переключатели и регистр не показаны).

Таким образом, введение новых функциональных блоков и связей существенно расширяет возможности известного устройства. В предложенном синтезаторе сигналов с перестраиваемой частотой помимо формирования периодически изменяющегося напряжения с постоянной частотой колебаний обеспечивается формирование напряжения с частотой колебаний, изменяющейся по заданному закону. Причем закон изменения частоты колебаний здесь определяется скоростью развертки, т.е. зако-

ном (с учетом знака) изменения в широких диапазонах скорости и частоты и времени (числом циклов на каждом временном интервале) работы устройства.

В отличие от известного в предложенном устройстве расширен диапазон изменения скорости развертки (в сторону верхней его границы) и обеспечено постоянство дискретности задания скорости развертки частоты.

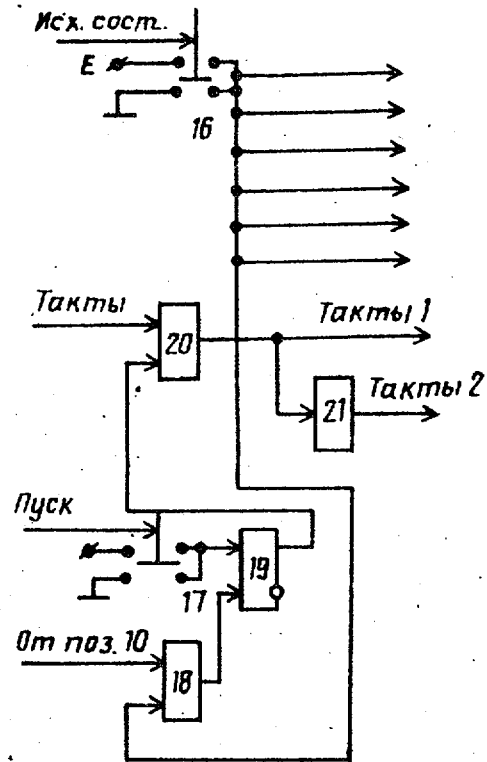
Диапазон изменения скоростей в случае использования в качестве задатчика 15 кода частоты алгебраического сумматора можно обеспечить путем увеличения разрядности алгебраического сумматора на 1 разрядов. Это оказывается гораздо проще при реализации, чем использование в качестве задатчика 15 кода частоты управляемого делителя частоты.

Таким образом, преимущество в использовании в качестве задатчика 15 кода частоты алгебраического сумматора состоит в том, что дискретность задания скорости развертки постоянна во всем диапазоне и скорость развертки пропорциональна коду Δf_1 в блоке задания кода приращения.

Ф о р м у л а и з о б р е т е н и я

Синтезатор сигналов с перестраиваемой частотой, содержащей последовательно соединенные задатчик кода частоты, накапливающий сумматор, преобразователь кода фазы в амплитуду, цифроаналоговый преобразователь и фильтр нижних частот, а также блоки задания нижней и верхней частот диапазона, при этом вход задания исходного состояния задатчика кода частоты является входом задания начальной частоты синтезатора сигналов с перестраиваемой частотой, о т л и ч а ю щ и й с я тем, что, с целью расширения частотного диапазона формируемых сигналов, в него введены блок управ-

ления, последовательно соединенные блок задания кода числа циклов и первый блок сравнения кодов, последовательно соединенные второй блок сравнения кодов, триггер и счетчик циклов, третий блок сравнения кодов и блок задания кода приращения частоты, при этом задатчик кода частоты выполнен в виде алгебраического сумматора, входы задания исходного состояния задатчика кода частоты, накапливающего сумматора, блока задания нижней частоты диапазона, блока задания верхней частоты диапазона, счетчика циклов, блока задания кода приращения частоты и блока задания кода числа циклов объединены и подключены к выходу задания исходного состояния блока управления, сигнальный вход которого подключен к выходу первого блока сравнения, первый и второй тактовые выходы блока управления подключены соответственно к тактовому входу накапливающего сумматора и к тактовому входу задатчика кода частоты, вход приращения кода частоты которого подключен к выходу блока задания кода приращения частоты, первая группа входов второго блока сравнения кодов и первая группа входов третьего блока сравнения кодов объединены и подключены к кодовому выходу задатчика кода частоты, кодовые выходы блока задания нижней частоты диапазона подключены к второй группе входов второго блока сравнения кодов, кодовые выходы блока задания верхней частоты диапазона соединены с второй группой входов третьего блока сравнения кодов, выход которого подключен к второму входу триггера, выход которого также соединен с управляющим входом задатчика кода частоты, а кодовый выход счетчика циклов подключен к второй группе входов первого блока сравнения, при этом тактовый вход блока управления является тактовым входом синтезатора сигналов с перестраиваемой частотой.



Фиг. 2

Редактор А. Шандор

Составитель Ю. Ковалев
Техред О. Сопко

Корректор А. Обручар

Заказ 3407/55

Тираж 816

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4