



Государственный комитет  
СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 19.01.76(21) 2316582/18-24

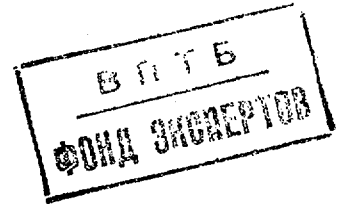
с присоединением заявки № -

(23) Приоритет -

Опубликовано 05.05.79. Бюллетень № 17

Дата опубликования описания 08.05.79

(11) 661549



(51) М. Кл.<sup>2</sup>

G 06 F 7/38

(53) УДК 681.325  
(088.8)

(72) Авторы

изобретения А.М. Оранский, Б.В. Немытов, В.А. Вирт и М.С. Лозовик

(71) Заявитель

Минский радиотехнический институт

(54) АРИФМЕТИЧЕСКОЕ УСТРОЙСТВО

Изобретение относится к вычислительной технике и может найти применение в специализированных вычислительных устройствах предназначенных для выполнения многосвязных операций

$$\text{вида } Z = \frac{\prod_{i=1}^N X_i}{\prod_{k=1}^M Y_k}$$

Известны арифметические устройства цифровых вычислительных машин [1] и [2].

Так каждое из таких устройств содержит два регистра, сумматор, соответствующим образом соединенные. Каждое из этих устройств предназначено для выполнения только одной операции - умножение или деление.

Недостатками этих устройств является ограниченность функциональных возможностей, т.е. исключено одновременное выполнение операций умножения и деления, каждое из устройств обрабатывает одновременно не более двух операндов (делимое и делитель, или множимое и множитель).

Наиболее близким аналогом является арифметическое устройство, содержащее

блок управления, регистр и сдвигающе-суммирующий блок, причем выход блока управления соединен с управляющими входами регистра и сдвигающе-суммирующего блока, информационный вход регистра и первый и второй информационные входы сдвигающе-суммирующего блока подключены к соответствующим входам устройства, выход регистра, а также первый и второй выходы сдвигающе-суммирующего блока подключены ко входам блока управления [3].

Недостатком устройства является низкое быстродействие при вычислении

$$\text{значения } Z = \frac{\prod_{i=1}^N X_i}{\prod_{k=1}^M Y_k} \quad (\text{где } M=N-1),$$

т.к. вычисление для  $N > 2, M > 1$  производится в несколько этапов, используя предыдущий результат в качестве одного из сомножителей для последующего вычисления, т.е. при вычислении зависимости, например, вида  $d = \frac{a \cdot c \cdot e \cdot k}{b \cdot m \cdot n}$

сначала вычисляем  $d_1 = \frac{a \cdot c}{b \cdot d_2 k}$ ,  
затем  $d_2 = \frac{d_1 e}{m}$  затем  $d = \frac{d_2 k}{n}$ ,

являющееся искомым результатом.

Целью изобретения является повышение быстродействия при вычислении

$$\text{значений } z = \frac{\prod_{i=1}^N X_i}{\prod_{k=1}^M Y_k}, \text{ где } M=N-1.$$

Поставленная цель достигается тем, что арифметическое устройство дополнительно содержит  $(N-2)$  сдвигающе-суммирующих блоков,  $(N-1)$  схем сравнения, причем управляющие входы сдвигающе-суммирующих блоков соединены с выходом блока управления, первые и вторые информационные входы сдвигающе-суммирующих блоков подключены к соответствующим входам устройства, выход регистра соединен с первым входом первой схемы сравнения, второй вход которой соединен с первым выходом первого сдвигающе-суммирующего блока, первый вход  $i$ -й схемы сравнения ( $i=2, \dots, N-1$ ) подключен ко второму выходу  $i$ -го сдвигающе-суммирующего блока, а второй вход — к первому выходу  $(i+1)$ -го сдвигающе-суммирующего блока, выход  $(N-1)$ -го сдвигающе-суммирующего блока подключен к выходу устройства, выходы схем сравнения, а также первые и вторые выходы сдвигающе-суммирующих блоков подключены ко входам блока управления.

Поставленная цель достигается также тем, что каждый сдвигающе-суммирующий блок содержит регистры и сумматоры, причем первый информационный вход блока подключен ко входу первого регистра и первому входу первого сумматора, второй информационный вход блока подключен ко входу второго регистра и первому входу второго сумматора, выходы первого и второго регистров подключены соответственно ко вторым входам первого и второго сумматоров, выходы которых соединены соответственно с первым и вторым выходами блока, управляющие входы сумматоров и регистров подключены к управляющему входу блока.

На фиг. 1 изображена блок-схема арифметического устройства. На фиг. 2 — схема сдвигающе-суммирующего блока.

Арифметическое устройство содержит регистр 1,  $N-1$  сдвигающе-суммирующих блоков 2,  $N-1$  схем сравнения 3, блок управления 4. Информационный вход 5 регистра 1 и информационные входы 6, 7 сдвигающе-суммирующих блоков 2 подключены к соответствующим входам арифметического устройства, а выход 8 последнего сдвигающе-суммирующего блока подключен к выходу устройства.

Выход блока управления 4 соединен с управляющим входом 9 регистра 1 и с управляющими входами 10 сдвигающе-суммирующих блоков 2, выход регистра 1 соединен со входом 11 первой схемы

сравнения 3, вход 12 которой соединен с выходом 13 первого сдвигающе-суммирующего блока 2, входы 11 и 12  $i$ -х ( $i=2, \dots, N-1$ ) схем сравнения 3 соединены соответственно с выходами 8 и 13 соответственно  $(i-1)$ -го и  $i$ -го сдвигающе-суммирующих блоков 2, выходы всех схем сравнения 3, выход регистра 1, выходы 8 и 13 сдвигающе-суммирующих блоков 2 подключены ко входу блока управления 4.

Каждый сдвигающе-суммирующий блок 2 содержит регистры 14, 15 и сумматоры 16, 17. Вход регистра 14 и первый вход сумматора 16 подключены ко входу 6 блока. Вход регистра 15 и первый вход сумматора 17 подключены ко входу 7 блока, управляющий вход 10 которого соединен с управляющими входами регистров 14, 15 и сумматоров 16, 17, а выходы 13 и 8 соединены соответственно с выходами сумматоров 16 и 17. Вторые входы сумматоров 16 и 17 подключены соответственно к выходам регистров 14 и 15.

В устройстве использован метод выполнения многосвязных операций вида

$$z = \frac{\prod_{i=1}^N X_i}{\prod_{k=1}^M Y_k},$$

причем она выполняется за время одного умножения или деления. Операнды  $X_i$  и  $Y_k$  представлены в нормальной форме ( $x = x_m \cdot 10^p$ ), тогда мантиссы операндов будут расположены на отрезке  $(0, 5, 1)$ . Представим в виде числового ряда преобразование, которое переводит величину  $Y_i$  в  $X_i$  следующим образом:

$$\omega_{1,i} = X_i - Y_{1,i}; \quad Y_{1,0} = Y_{1,i} \cdot q_{1,i} = \text{sign}(\omega_{1,i}) \quad (1)$$

$$Y_{1,i+1} = Y_{1,i} + q_{1,i} \cdot Y_{1,i} \cdot 2^{-k_i} \quad (2)$$

Аналогичное преобразование величины  $X_2$  дает

$$X_{2,i+1} = X_{2,i} + q_{1,i} \cdot X_{2,i} \cdot 2^{-k_i} \quad (3)$$

$$\text{где } k_0 = 1, k_i = \begin{cases} k_{i-1}, & \text{если } q_{1,i-1} \cdot q_{1,i} > 0 \\ k_{i-1} + 1, & \text{если } q_{1,i-1} \cdot q_{1,i} < 0 \end{cases} \quad (4)$$

следующая пара операндов преобразуется аналогично

$$Y_{2,i+1} = Y_{2,i} + q_{2,i} \cdot Y_{2,i} \cdot 2^{-m_i} \quad (5)$$

$$X_{3,i+1} = X_{3,i} + q_{2,i} \cdot X_{3,i} \cdot 2^{-m_i} \quad (6)$$

где  $q_{2,i} = \text{sign}(\omega_{2,i}); \quad \omega_{2,i} = X_{2,i} - Y_{2,i} \quad (7)$

$$m_0 = 1, m_i = \begin{cases} m_{i-1}, & \text{если } q_{2,i-1} \cdot q_{2,i} > 0 \\ m_{i-1} + 1, & \text{если } q_{2,i-1} \cdot q_{2,i} < 0 \end{cases} \quad (8)$$

Последующие пары преобразуются аналогично. Так для последней пары можно записать

$$Y_{m,i+1} = Y_{m,i} + q_{m,i} \cdot Y_{m,i} \cdot 2^{-n_i} \quad (9)$$

$$x_{t,i+1} = x_{t,i} + q_{m,i} x_t 2^{-n_i}, \quad (10)$$

где

$$q_{m,i} = \text{sign}(\omega_{m,i}); \omega_{m,i} = x_{m,i} - Y_{m,i} \quad (11)$$

$$\eta_0 = 1, \eta_i = \begin{cases} \eta_{i-1}, & \text{если } q_{m,i-1} q_{m,i} > 0 \\ \eta_{i-1}, & \text{если } q_{m,i-1} q_{m,i} < 0 \end{cases} \quad (12)$$

В общем случае количество выполнений соотношений (1)–(12) определяется разрядностью результата вычислений, т.е. если разрядность устройства  $n$ , то  $i=1, n$ . Выполнение многосвязных операций представляет собой итерационный процесс, реализующий зависимости (1)–(12) и состоит из однотипных шагов.

Устройство работает следующим образом.

В устройство через информационные входы подаются операнды — на вход 5 регистра 1 число  $X_1$ , числа  $X_2 - X_t$  подаются на информационные входы 7 сдвигающе-суммирующих блоков 2, а  $Y_1 - Y_m$  на информационные входы 6 сдвигающе-суммирующих блоков 2. Внутри блока 2 каждый операнд поступает в соответствующий сдвигающий регистр 14 или 15 и сумматор 16 или 17 одновременно. В регистрах 14 и 15 блоков 2 на каждом итерационном шаге получается величина, соответственно  $Y_1 2^{-k_1}, Y_2 2^{-k_2}, \dots, Y_m 2^{-k_m}, X_2 2^{-k_1}, X_3 2^{-k_2}, \dots, X_t 2^{-k_i}$ . Причем для первого шага ( $i=1$ ), значения  $K_0, m_0, \dots, \eta_0$  принимаются равными единице (4), (8), (12), а значения  $q_{1,0}, q_{2,0}, \dots, q_{m,0}$  определяются одновременно соответствующими схемами сравнения 3 и подаются на вход блока управления 4, в соответствии со значениями которых блок управления 4 вырабатывает сигналы, поступающие параллельно на управляющие входы 10 сдвигающе-суммирующих блоков 2, в соответствии с которыми соответствующие сумматоры 16, 17 внутри блоков 2 параллельно проводят операцию суммирования (или вычитания) содержимого сумматоров 16, 17 и содержимого соответствующих регистров 14, 15, сдвинутого предварительно на один разряд и поступающего по сигналу блока управления 4 с выхода регистров 14, 15 на входы соответствующих сумматоров 16, 17 с сохранением значений этой информации в регистрах 14, 15. На этом заканчивается первый шаг вычислений.

Второй шаг ( $i=2$ ), как и все последующие, начинается с определения схемами сравнения 3 значений  $q_{1,1}, q_{2,1}, \dots, q_{m,1}$ , которые для второго шага ( $i=2$ ) запишутся как  $q_{1,1}, q_{2,1}, \dots, q_{m,1}$ . Соответствующие сигналы со схем сравнения 3 поступают в блок управления 4, в котором по сигналам, соответствующим значениям  $q_{1,1}, q_{2,1}, \dots, q_{m,1}$  с учетом значений

$q_{1,0}, q_{2,0}, \dots, q_{m,0}$  от предыдущего шага вычислений вырабатываются значения  $K_1, m_1, \dots, \eta_1$  (4), (8), (12), в соответствии с которыми в регистрах 14, 15 блоков 2 производится сдвиг информации, имеющейся в них от предыдущего шага вычислений, и поступает в соответствующие сумматоры 16, 17 блоков 2 для сложения (или вычитания) с содержимым сумматоров 16, 17, полученным на предыдущем шаге вычислений, в зависимости от значений  $q_{1,1}, q_{2,1}, \dots, q_{m,1}$ . Второй шаг вычислений закончен.

После выполнения последнего  $n$ -го шага вычислений в блоке 2 зафиксирован требуемый результат  $Z$ , который снимается с выхода 8 этого блока. Определение знака результата  $Z$  осуществляется блоком управления 4 путем анализа состояний знаковых разрядов регистра 1 и сумматоров 16, 17, входящих в состав сдвигающе-суммирующих блоков 2, значения которых поступают на вход блока управления 4 с выхода регистра 1, выходов 8, 13 сдвигающе-суммирующих блоков 2 и выработки знака  $Z$  логической схемой, входящей в состав блока управления 4, работающей на основании метода свертки по модулю 2. Причем, дополнительных временных затрат на определение знака не требуется. Значение знака заносится в знаковый разряд выхода устройства.

В общем случае максимальная относительная погрешность вычислений на предлагаемом устройстве оценивается зависимостью

$$\left| \frac{\Delta Z}{Z} \right| \leq 2^{-n - \frac{A}{2}},$$

где  $A$  — число операндов.

Объем аппаратных затрат определяется количеством информационных входов устройства.

В тех случаях, когда количество операндов меньше количества информационных входов устройства, нужно на оставшиеся входы подать единицы. Отсюда следует, что на устройстве также можно проводить операции возведения в степень, получения обратных величин.

Время вычисления устройства определяется величиной

$$T \approx nT_E + nT_C,$$

где  $T_E$  — время одного сложения двух чисел;

$T_C$  — время такта сдвига на один разряд;

$n$  — разрядность устройства.

По сравнению с известными устройствами данное устройство имеет более высокое быстродействие при вычисле-

$$\text{нии } Z = \frac{\prod_{i=1}^N X_i}{\prod_{k=1}^M Y_k}.$$

## Формула изобретения

1. Арифметическое устройство, содержащее блок управления, регистр и сдвигающе-суммирующий блок, причем выход блока управления соединен с управляющими входами регистра и сдвигающе-суммирующего блока, информационный вход регистра и первый и второй информационные входы сдвигающе-суммирующего блока подключены к соответствующим входам устройства, выход регистра, а также первый и второй выходы сдвигающе-суммирующего блока подключены ко входам управления, отличающееся тем, что, с целью повышения быстродействия при вычислении значений

$$Z = \frac{\prod_{i=1}^N x_i}{\prod_{i=1}^M y_k} \quad (\text{где } M=N-1),$$

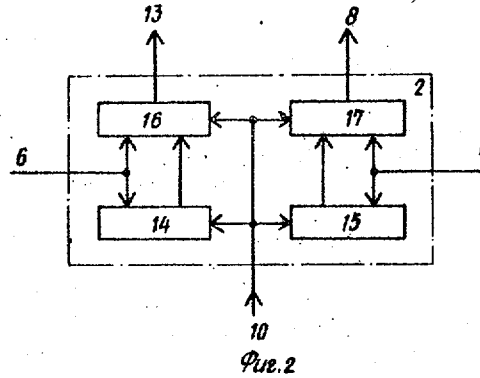
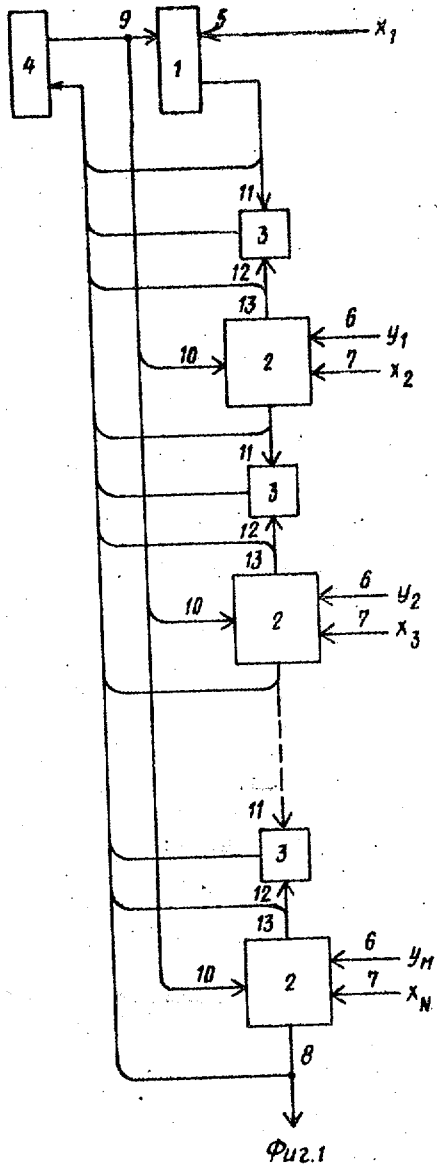
устройство дополнительно содержит (N - 2) сдвигающе-суммирующих блоков, (N - 1) схема сравнения, причем управляющие входы сдвигающе-суммирующих блоков соединены с выходом блока управления, первые и вторые информационные входы сдвигающе-суммирующих блоков подключены к соответствующим входам устройства, выход регистра соединен с первым входом первой схемы сравнения, второй вход которой соединен с первым выходом первого сдвигающе-суммирующего блока, первый вход i-й схемы сравнения (i=2, N - 1)

подключен ко второму выходу i-го сдвигающе-суммирующего блока, а второй вход - к первому выходу (i + 1)-го сдвигающе-суммирующего блока, выход (N - 1)-го сдвигающе-суммирующего блока подключен к выходу устройства, выходы схем сравнения, а также первые и вторые выходы сдвигающе-суммирующих блоков подключены ко входам блока управления.

2. Арифметическое устройство по п. 1, отличающееся тем, что сдвигающе-суммирующий блок содержит регистры и сумматоры, причем первый информационный вход блока подключен ко входу первого регистра и первому входу второго сумматора, второй информационный вход блока подключен ко входу второго регистра и первому входу второго сумматора, выходы первого и второго регистров подключены соответственно ко вторым входам первого и второго сумматоров, выходы которых соединены соответственно с первым и вторым выходами блока, управляющие входы сумматоров и регистров подключены к управляющему входу блока.

Источники информации, принятые во внимание при экспертизе

1. Каган Б.М. и др. Цифровые вычислительные машины и системы, М., "Энергия", 1973, с. 329-348.
2. Хетагуров Я.А. и др. Основы инженерного проектирования УЦВМ, М., "Сов.радио", 1972, с. 142.
3. Авторское свидетельство СССР № 553614, кл. G 06 F 7/38, 1974.



Составитель В. Березкин  
 Редактор Э. Губницкая Техред З.Фанта Корректор О. Билак

Заказ 2476/51 Тираж 779 Подписное  
 ЦНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4