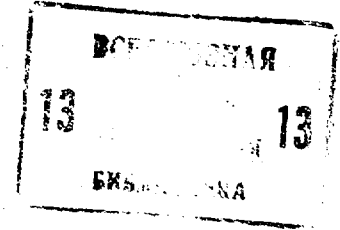




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3869548/24-24  
(22) 18.03.85  
(46) 15.09.86. Бюл. № 34  
(71) Минский радиотехнический институт  
(72) В. П. Велюго, Л. Г. Лопато,  
А. И. Подгорнов, А. А. Шостак,  
Л. О. Шпаков и А. Э. Шумейко  
(53) 681.325(088.8)
- (56) Авторское свидетельство СССР  
№ 864281, кл. G 06 F 7/38, 1979.  
Патент США № 3610903, кл. 235-  
154, опублик. 1971.
- (54) УСТРОЙСТВО ДЛЯ СДВИГА ИНФОРМАЦИИ

- (57) Изобретение относится к вычислительной технике, в частности к устройствам сдвига и коммутации, и может быть применено в высокопроизводительных системах обработки информации. Целью изобретения является повышение быстродействия. Поставленная цель достигается тем, что в устройстве для сдвига информации, содержащем  $N/p$  блоков коммутации ( $N$  - разрядность информации,  $p$  - разрядность блока), каждый из которых содержит  $m$  коммутаторов ( $m=2 \div \lceil \log_2 N \rceil$ ) с соответствующими связями, в каждый блок коммутации вводится  $(m-1)$  коммутатор с соответствующими связями.  
4 ил.

Изобретение относится к вычислительной технике, в частности к устройствам коммутации и сдвига, и может быть применено в высокопроизводительных системах обработки информации.

Целью изобретения является повышение быстродействия.

На фиг. 1 приведена структурная схема устройства для сдвига информации для случая  $N=64$ ,  $n=16$   $m=3$ ; на фиг. 2 - диаграммы, поясняющие коммутацию сигналов первыми коммутаторами блоков коммутации; на фиг. 3 и 4 - диаграммы, поясняющие коммутацию сигналом вторыми и третьими коммутаторами блоков коммутации соответственно.

Устройство для сдвига информации (фиг. 1) содержит четыре блока  $1_1 - 1_4$  коммутации, каждый из которых содержит первый, второй и третий коммутаторы 2, 3 и 4 соответственно, первый и второй дополнительные коммутаторы 5 и 6 соответственно, информационный вход 7 устройства, вход 8 количества сдвигов устройства, выход 9 устройства.

На фиг. 2 изображены диаграммы, поясняющие порядок коммутации сигналов первыми коммутаторами 2 и 5 блоков  $1_1 - 1_4$  при выполнении в устройстве циклического сдвига информации влево (на фиг. 2а показаны диаграммы для первых коммутаторов 2 и 5 первого блока  $1_1$ ; на фиг. 2б - то же, для второго блока  $1_2$ ; на фиг. 2в - то же, для третьего блока  $1_3$ ; на фиг. 2г - то же, для четвертого блока  $1_4$ ), причем слева помещены диаграммы, относящиеся к первым коммутаторам 2 блоков, а справа размещены диаграммы, относящиеся к первым дополнительным коммутаторам 5 блоков. Цифрами 0 - 63 внутри диаграмм обозначены номера разрядов сдвигаемой информации, а цифрами 1 - 31 под диаграммами обозначены номера выходов (разрядов) первых коммутаторов 2 и 5 блоков коммутации. Каждый столбец диаграммы отражает порядок подключения информационных входов одного разряда коммутатора 2 или 5.

Управляющие входы первых коммутаторов 2 и 5 блоков коммутации соединены с двумя старшими разрядами 6-разрядного двоичного кода, поступающего на вход 8 количества сдвигов

устройства, и они осуществляют сдвиг информации на 0; 16; 32 и 48 разрядов влево. Каждый разряд первых коммутаторов 2, 5 блоков коммутации может быть реализован на одном четырехвходовом мультиплексоре.

На фиг. 3 приведены диаграммы, поясняющие порядок коммутации сигналов вторыми коммутаторами 3 и 6 блоков коммутации при выполнении в устройстве циклического сдвига информации влево, причем слева размещена диаграмма, относящаяся к вторым коммутаторам 3 блоков коммутации, а справа изображена диаграмма, относящаяся к вторым дополнительным коммутаторам 6 блоков коммутации. Цифрами 1 - 31 внутри этих диаграмм обозначены номера выходов (разрядов) первых коммутаторов 2 и 5 соответствующих блоков коммутации, а цифрами "1 - 19" под диаграммами обозначены номера выходов (разрядов) вторых коммутаторов 3 и 6 блоков коммутации. На управляющие входы вторых коммутаторов 3 и 6 всех блоков коммутации. На управляющие входы вторых коммутаторов 3 и 6 всех блоков коммутации подаются два средних разряда 6-разрядного двоичного кода, поступающего на вход 8 количества сдвигов устройства, и они осуществляют сдвиг информации на 0; 4; 8 и 12 разрядов влево. Каждый разряд вторых коммутаторов 3 и 6 блоков 1 коммутации может быть реализован на одном четырехвходовом мультиплексоре.

На фиг. 4 изображена диаграмма, поясняющая порядок коммутации сигналов третьими коммутаторами 4 блоков коммутации при выполнении в устройстве циклического сдвига информации влево. Цифрами 1 - 19 внутри диаграммы обозначены номера выходов (разрядов) вторых коммутаторов 3 и 6 соответствующих блоков коммутации, а цифрами 1 - 16 под диаграммой обозначены номера выходов (разрядов) третьих коммутаторов 4 блоков коммутации. На управляющие входы третьих коммутаторов 4 всех блоков коммутации подаются два младших разряда 6-разрядного двоичного кода, поступающего на вход 8 количества сдвигов устройства, и они осуществляют сдвиг информации на 0, 1, 2 и 3 разряда влево. Каждый разряд третьих коммутаторов 4 может быть реализован на одном четырехвходовом мультиплексоре.

Устройство для сдвига информации работает следующим образом.

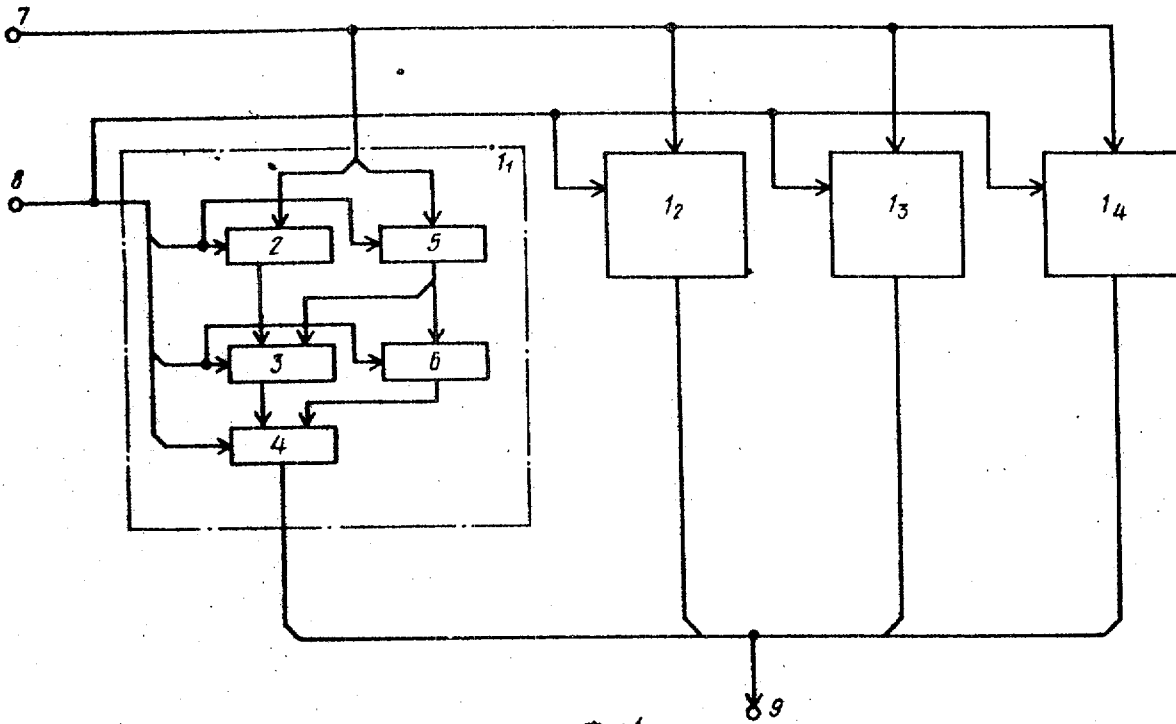
Через информационный вход 7 устройства на информационные входы первых коммутаторов 2 и 5 каждого блока коммутации поступает 64-разрядный двоичный код сдвигаемой циклически влево информации. На вход 8 количества сдвигов устройства подается 6-разрядный двоичный код количества сдвигов, при этом на управляющие входы первых коммутаторов 2 и 5 всех блоков коммутации подаются два старших разряда этого кода, на управляющие входы вторых коммутаторов 3 и 6 всех блоков коммутации поступают два средних разряда, и на управляющие входы третьих коммутаторов 4 всех блоков коммутации заведены два младших разряда кода количества сдвигов. По значению соответствующих разрядов кода количество сдвигов первые коммутаторы 2 и 5 блоков коммутации осуществляют сдвиг информации влево на 0; 16; 32 и 48 разрядов, вторые коммутаторы 3 и 6 всех блоков коммутации производят сдвиг информации на 0; 4; 8 или 12 разрядов, третьим коммутаторы 4 всех блоков коммутации - на 0; 1; 2 или 3 разряда. При завершении переходного процесса на выходе 9 устройства формируется двоичный код циклически сдвинутого влево на определенное число разрядов исходного двоичного кода, причем на выходах первого блока  $1_1$  формируются разряды 0 - 15 сдвинутого кода, на выходах второго блока  $1_2$  образуются разряды 16 - 31 сдвинутого кода, на выходах третьего блока  $1_3$  - разряды 32 - 47 сдвинутого кода, и на выходах четвертого блока  $1_4$  - разряды 48 - 63 сдвинутого кода.

Следует отметить, что первый дополнительный коммутатор 5 четвертого блока  $1_4$  полностью идентичен первому коммутатору 2 первого блока  $1_1$ , если в коммутаторе 2 исключить из рассмотрения его шестнадцатый разряд, первый дополнительный коммутатор 5 первого блока  $1_1$  полностью аналогич-

чен первому коммутатору 2 второго блока  $1_2$ , если в коммутаторе 2 исключить из рассмотрения его шестнадцатый разряд, и т.д., т.е. в устройстве имеет место почти полное дублирование первых коммутаторов всех блоков, что позволяет организовать известными методами частичный контроль устройства для сдвига информации.

Ф о р м у л а и з о б р е т е н и я

Устройство для сдвига информации, содержащее  $\left[ \frac{N}{n} \right]$  блоков коммутации ( $N$  - разрядность сдвигаемой информации;  $n=2,3, \dots, \left[ \frac{N}{2} \right]$  - разрядность блока коммутации,  $\left[ X \right]$  - ближайшее целое, большее или равное  $X$ , каждый из которых содержит  $m$  коммутаторов ( $m=2,3, \dots, \left[ \log_2 N \right]$ ), причем в каждом блоке коммутации информационный вход первого коммутатора является информационным входом устройства, первый информационный вход  $j$ -го коммутатора ( $j=2 \dots m$ ) соединен с выходом  $(j-1)$ -го коммутатора, управляющие входы коммутаторов являются входом количества сдвигов устройства, выход  $m$ -го коммутатора является выходом устройства, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия, каждый блок коммутации содержит  $m-1$  дополнительных коммутаторов, причем информационный вход первого дополнительного коммутатора является информационным входом устройства, выход  $q$ -го дополнительного коммутатора ( $q=1 \dots m-2$ ) соединен с информационным входом  $(q+1)$ -го дополнительного коммутатора и с вторым информационным входом  $(q+1)$ -го коммутатора, выход  $(m-1)$ -го дополнительного коммутатора соединен с вторым информационным входом  $m$ -го коммутатора, управляющие входы дополнительных коммутаторов соединены с управляющими входами соответствующих коммутаторов.



Фиг. 1

0"	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
16"	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
32"	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47
48"	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16

	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46
	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14
	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31

Фиг. 2а

0"	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
16"	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47
32"	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63
48"	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16

	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46
	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14
	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31

Фиг. 2б

0"	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47
16"	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63
32"	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
48"	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16

	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14
	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46
	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31

Фиг. 2в

0"	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63
16"	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
32"	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
48"	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14
	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46
	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62
	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31

Фиг. 2г

„0”	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
„4”	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
„8”	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27
„12”	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19

фиг. 3

„0”	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
„1”	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
„2”	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
„3”	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16

фиг. 4

Редактор И. Рыбченко      Составитель А. Ключев      Техред И. Попович      Корректор Л. Патай

Заказ 4957/47

Тираж 671

Подписное

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4