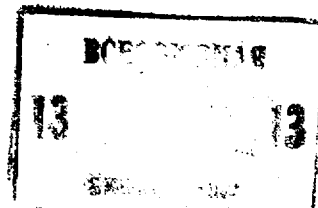




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3776988/24-24
(22) 31.07.84
(46) 15.09.86. Бюл. № 34
(71) Минский радиотехнический институт
(72) А.Т. Пешков и А.А. Пешков
(53) 681.325.5(088.8)
(56) Авторское свидетельство СССР
№ 840900, кл. G 06 F 7/52, 1981.
Авторское свидетельство СССР
№ 847703, кл. G 06 F 7/62, 1981.
Карцев М.А., Брик В.А. Вычислительные системы и синхронная арифметика. М.: Радио и связь, 1981, с. 541, рис. 5.4.1.
(54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ
(57) Изобретение относится к вычислительной технике и может быть использовано при построении быстродействующих арифметических устройств,

оперирующих с двоичными кодами. Целью изобретения является повышение быстродействия устройства за счет предварительной оценки отдельных разрядов частного с последующей (в случае необходимости) коррекцией уже найденных разрядов. Устройство построено на матричном принципе с использованием способа деления с восстановлением остатка. Оно включает матрицу операционных модулей, блоки определения разряда частного и блоки управления коррекцией. Новым в устройстве является наличие блоков определения разрядов частного и блоков управления коррекцией, а также то, что каждый модуль снабжен цепями для нахождения в строке матрицы разряда, генерирующего перенос в знаковый разряд. 4 ил.

Изобретение относится к вычислительной технике и предназначено для использования в составе электронных вычислительных устройств.

Целью изобретения является повышение быстродействия устройства для деления за счет предварительной оценки отдельных разрядов частного с последующей (в случае необходимости) коррекцией найденных разрядов.

На фиг. 1 а,б приведена схема устройства для деления для семиразрядных операндов с формированием пятиразрядного частного; на фиг. 2 - схема модуля; на фиг. 3 - схема блока определения разряда; на фиг. 4 - схема блока управления коррекцией.

Устройство для деления (фиг. 1) содержит модули 1, блоки 2 определения разряда (БОР), блоки 3 управления коррекцией (БУК), входную шину 4 делителя устройства, входную шину 5 делимого устройства, шины 6 и 7 соответственно логической единицы и логического нуля устройства.

Модуль (фиг. 2) содержит элемент НЕ 8, сумматор 9, элементы И 10-16, элементы ИЛИ 17, 18, элемент И 19, элемент НЕ 20, элемент ИЛИ 21.

БОР (фиг. 3) содержит элементы И 22-26, элемент ИЛИ 27, элементы И 28-30, элемент НЕ 31, элементы И 32-34, элемент ИЛИ 35, элемент И 36, элементы ИЛИ 37-39, элемент НЕ 40, элемент ИЛИ 41, элемент И 42, элементы НЕ 43, 44, элементы И 45-49, элементы НЕ 50, 51, элементы ИЛИ 52-54, элемент И 55, элемент ИЛИ 56, элемент И 57.

БУК (фиг. 4) содержит элемент ИЛИ 58, элемент НЕ 59, элемент ИЛИ 60, элемент НЕ 61, элементы И 62-64, элементы ИЛИ 65 и 66.

Модули расположены по строкам и столбцам матрицы, причем j, i -й модуль - это модуль, расположенный в i -й строке и j -м столбце матрицы. Каждый БОР относится к одной строке матрицы модулей, i -й БОР относится к i -й строке матрицы модулей и определяет i -й разряд частного. Каждый БУК относится к одной строке матрицы модулей, причем i -й БУК относится к i -й строке матрицы модулей и управляет коррекцией i -го разряда частного.

В предлагаемом устройстве используется матричный способ деления с

восстановлением остатка, основанный на следующем.

Каждая строка матрицы операционных элементов модулей вычитает из результата, полученного на предыдущей строке, значение делителя, формирует текущий остаток в виде двурядного кода (код поразрядных переносов и код поразрядных сумм) и передает на выход результата строки или сформированный двурядный код остатка (если найденное значение текущего разряда частного равно единице), или результат, полученный на предыдущей строке, т.е. восстановленный остаток (если найденное значение текущего разряда частного равно нулю). Значение текущего разряда частного определяется по знаку остатка в соответствующей строке, который, в свою очередь, определяется на основании анализа четырех старших разрядов операндов, поступающих на операционные модули строки (в число старших разрядов входит знаковый разряд и следующие за ним три старших разряда).

Решение о знаке остатка (или о значении текущего разряда частного) принимается по следующему правилу: если на основании анализируемых разрядов можно утверждать, что знак остатка будет отрицательным, то в качестве значения искомого разряда частного берется ноль; если на основании анализируемых разрядов можно утверждать, что знак остатка будет положительный, то в качестве значения для искомого разряда частного берется единица; если на основании имеющихся старших разрядах нельзя говорить о знаке остатка и для окончательного решения требуется учесть значения младших разрядов, то этому разряду частного приписывается условное значение 0 и осуществляется переход к определению следующего разряда частного.

В строке матрицы, в которой очередному разряду частного присвоено условное значение 0, осуществляется просмотр разрядов (от старшего к младшему) поразрядной суммы и переноса с целью поиска критического разряда, которым является разряд, стоящий в конце последовательности разрядов, пропускающих перенос (разрядов результата, для которых $S_j \oplus \oplus \Pi_{j+1} = 1$, где S_j и Π_{j+1} - соответственно разряды поразрядной суммы и

переноса), в котором $S_j = 1$; $\Pi_j = 1$ (при обнаружении критического разряда в условно надежном разряде устанавливается единичное значение, величина группы определяется по номеру критического разряда в коде остатка).

Каждый модуль осуществляет сложение трех однобитных цифр, поступающих на его входы, передавая на свои выходы суммы и переноса или результат сложения (если есть сигнал на его первом информационном входе), или сумму и перенос со второго и третьего информационных входов (если нет сигнала на его первом информационном входе). В последнем случае осуществляется восстановление остатка. Кроме того, модуль при наличии сигнала на первом информационном входе вырабатывает сигнал на выходе критического разряда, если в результате сложения в модуле имеет место $S_j = 1$ и $\Pi_{j+1} = 1$ ($S_j \Pi_{j+1} = 1$) (S_j и Π_{j+1} - поразрядные сумма и перенос, формируемые на выходах сумматора 9), или сигнал на выходе анализа критического разряда, если $S_j \oplus \Pi_{j+1} = 1$. Кроме того, сигнал на выходе критического разряда вырабатывается тогда, когда на втором управляющем входе модуля появляется сигнал.

БУК служат для определения разрядов частного, в которых изменяются значения начально найденных значений разрядов частного. При этом БУК частного, получивший сигнал на первом информационном входе, распространяет сигнал сквозного критического разряда (СКР) на все БУК, относящиеся к более старшим разрядам частного. Сигнал СКР воспринимается группой БУК от $(i-1)$ -го до K -го разряда, где K - первый разряд, начиная от i -го, БУК которого имеет сигнал анализа критического разряда (АКР). Блоки коррекции от i -го до $(K+1)$ -го вырабатывают сигналы на своих выходах блокировки единицы, а K -й блок - сигнал генерации единицы. Таким образом, формируются условия для инвертирования разрядов всей группы от разряда i до разряда K . Кроме того, сигнал блокировки единицы вырабатывает $(i+1)$ -й БУК. Так, сигнал на первом информационном входе i -го БУК формируется одновременно с сигналом на втором управляющем входе $(i+1)$ -го БУК.

Если i -й БУК получает сигнал на первый информационный вход, то на сигнал сквозного критического разряда не реагирует $(K+1)$ -й БУК. Это достигается тем, что K -й БУК имеет на своем выходе блокировки коррекции сигнал, который распространяется от $(K-1)$ -го до 1 -го БУК, блокирующих реакцию на сигнал на своих вторых информационных входах.

БОР формирует на своем выходе разряда частного значение разряда частного на основании анализа четырех разрядов (включая и знаковый разряд) операндов, поступающих на соответствующую строку матрицы. В тех случаях, когда на основании анализа этих старших разрядов нельзя сделать заключение о знаке будущей суммы (будущего остатка), разряду частного присписывается нулевое значение и вырабатывается сигнал на выходе анализа критического разряда.

Наличие сигнала первой блокировки или блокировки критическим разрядом в i -м БОР блокирует в этом БОР учет суммы и переноса. Наличие сигнала нулевой блокировки блокирует учет в i -м блоке определения разряда частного единичных значений с выходов переноса и суммы $(i-1)$, 1 -го модуля.

Если операнды, поступающие на i -ю строку матрицы, таковы, что при их сложении будет получена сумма, удовлетворяющая условию

$(S_{j,i} \oplus \Pi_{j,i})(S_{2,i} \oplus \Pi_{2,i}) \text{HPZ}_i = 1$,
где $S_{j,i}$, $\Pi_{j,i}$ - соответственно сумма и перенос, сформированные на выходе сумматора 9 j, i -го модуля;

HPZ_i - первоначальное значение разряда частного, сформированное i -м БОР частного.

Сигнал первой блокировки i -го БОР частного БП1 вырабатывается при выполнении условия

$$\text{БП1}_i = \frac{(S_{1,(i-1)} + \Pi_{2,(i-1)}) + (S_{1,i} \oplus \Pi_{2,i})}{S_{2,i} \Pi_{3,i} + \Pi_{1,i}} = 0.$$

Сигнал на выходе нулевой блокировки БЛО i -го БОР формируется при выполнении условия

$$\text{БЛО}_i = \text{БП1}_i \text{БЛКР} ((S_{1,(i-1)} + \Pi_{2,(i-1)}) + \Pi_{1,i} + \frac{S_{1,i} \Pi_{2,i}}{S_{1,i} \Pi_{2,i}}) = 0,$$

где БП1, БЛКР - значение сигналов соответственно на выходе первой блокировки и на первом управляющем входе i -го БОР частного.

Предлагаемое устройство работает следующим образом.

В исходном состоянии на шину 6 логической единицы подается сигнал, на вход 5 делимого и на вход 4 делителя поступают соответственно код делимого и обратный код делителя. Операция деления в предлагаемом устройстве осуществляется над нормализованными положительными операндами (делитель и делимое не меньше 0,5 и меньше 1,0).

На модули первой строки подается дробная часть операндов и осуществляется их сложение. Одновременно старшие четыре разряда операндов подаются на 1-й БОР, который, не дожидаясь завершения сложения в своей строке матрицы (в данном случае в 1-й), осуществляет определение значения первого разряда частного (разряда целой части). Если на основании старших разрядов операндов нельзя установить знак остатка, а следовательно, и значение разряда частного, то этому разряду приписывается значение 0 и формируется сигнал на выходе анализа критического разряда. Если разряд частного определен равным 1, то на выходе разряда частного появляется сигнал. Кроме того, если найденный разряд частного равен единице, то БОР частного может выработать сигналы на своих выходах нулевой блокировки и первой блокировки. Сигнал первой блокировки вырабатывается тогда, когда решение о знаке принимается на основании двух значащих разрядов формируемой в первой строке суммы, т.е. три значащих разряда операндов таковы, что первые три значащих разряда полученной суммы будут удовлетворять условию

$$S_{0,i} + P_{1,i} = 0; S_{1,i} \oplus P_{2,i} = 1;$$

$$S_{2,i} P_{3,i} = 1,$$

где $S_{0,i}$ - поразрядная сумма знаковых разрядов операндов;

$P_{1,i}, P_{2,i}, P_{3,i}$ - поразрядные переносы, сформированные в сумматорах соответственно первым - третьим модулями i -й строки;

$S_{1,i}, S_{2,i}$ - значения поразрядных сумм остатка, сформированных на сумматорах первого и второго модулей соответствующей строки матрицы.

Сигнал на выходе нулевой блокировки вырабатывается тогда, когда есть сигнал первой блокировки или когда операнды таковы, что при их суммиро-

вании будут сформированы поразрядные суммы и поразрядные переносы, для которых выполняется условие

$$S_{0,i} + P_{1,i} = 0; S_{1,i} P_{2,i} = 1.$$

Кроме того, этот сигнал вырабатывается при наличии сигнала на первом управляющем входе i -го БОР частного. Сигнал на выходе нулевой блокировки запрещает учет единичных значений первого и второго разрядов информационного входа (т.е. S_0 и P_1) при анализе старших разрядов операндов для принятия решения о значении разряда частного. Сигнал на пятом управляющем входе запрещает учет единичных значений в третьем и четвертом разрядах информационного входа (т.е. блокируется S_1 и P_2).

Коды с выходов модулей первой строки поступают со сдвигом на один разряд влево (в сторону старших разрядов) на вторую строку матрицы, причем коды четырех старших разрядов поразрядных суммы и переноса поступают на информационный вход БОР частного второй строки. Модули строки формируют сумму действующих на их входах операндов, а БОР частного определяет значение очередного разряда, вырабатывая соответствующий сигнал. Далее процесс идет аналогично тому, как это имело место для первой строки.

При наличии сигнала на выходе 1-го БОР частного на выходы модулей первой строки матрицы поступают результаты суммирования с соответствующих выходов сумматоров 9 модулей, т.е. текущий остаток. Если сигнал на выходе БОР частного отсутствует, на выходы модулей первой строки матрицы передается восстановленный остаток (для первой строки - делимое).

Если некоторый i -й БОР частного вырабатывает на своем выходе анализа критического разряда сигнал, то указанный сигнал поступает на соответствующий вход i -го БУК и вызывает появление сигнала на его выходе блокировки коррекции. Этот сигнал поступает на третий управляющий вход ($i-1$)-го БУК, появляется на его выходе и распространяется далее до 1-го БУК частного.

При выработке i -м БОР частного сигнала на своем выходе анализа критического разряда сигнала возможны два случая.

В сформированном на i -й строке остатке нет критического разряда. При такой ситуации появление сигнала анализа критического разряда не влияет на дальнейший ход процесса деления.

В сформированном на i -й строке остатке имеется критический разряд, т.е. такой разряд j , для которого выполняется условие

$$\prod_{j=1, i} S_{j,i} = 1; \prod_{k=1, i} \oplus S_{k,i} = 1$$

для всех K , изменяющихся от 1 до $j-1$.

При наличии сигнала анализа критического разряда сигнал с выхода БОР критического частного поступает на 3-й модуль (на первый управляющий вход), появляется на его выходе критического разряда и так доходит до j -го модуля. Поступив на j -й модуль i -й строки, этот сигнал вызывает появление сигнала на выходе сквозного критического разряда этого модуля, который передается на вход $(j-1)$, $(i+1)$ -го модуля, с выхода сквозного критического разряда которого сигнал поступает на соответствующий вход $(j-2)$, $(i+2)$ -го модуля и т.д. до 3, $(j+i-3)$ -го модуля, с выхода сквозного критического разряда которого сигнал критического разряда поступает на первый управляющий вход $(j+i-1)$ -го БОР и на первый информационный вход $(i+j-3)$ -го БУК частного. Кроме того, он поступает на второй управляющий вход $(j+i-2)$ -го БУК частного. В результате на выходе сквозного критического разряда $(i+j-3)$ -го БУК частного появляется сигнал, который поступает на соответствующий вход $(i+j-4)$ -го БУК и далее распространяется до 1-го БУК. Сигнал сквозного критического разряда не воспринимается 1- $(i-1)$ -ми БУК частного, так как на их третьих управляющих входах присутствует сигналы, обусловленные сигналом на первом управляющем входе i -го БУК частного. Таким образом, задается длина группы разрядов частного, в которой корректируются уже найденные разряды частного. Коррекция заключается в инвертировании этих разрядов. Достигается это за счет следующего: i -й БУК на своем выходе генерации единицы, вырабатывает сигнал, который поступает на третий управляющий вход i -го БОР частного, что обуславливает появление сигнала на выходе разряда част-

ного. В $(i+1)$ - $(i+j-2)$ -х БУК присутствуют сигналы на вторых информационных входах или на вторых управляющих входах собственной блокировки единицы и отсутствуют сигналы на первых управляющих и на первых информационных входах. Поэтому на выходах блокировки единицы этих блоков коррекции появляются сигналы, которые поступают на вторые управляющие входы соответствующих БОР, что обуславливает ликвидацию сигнала на их выходах разряда частного.

Инвертирование значения разрядов частного в вышеописанной группе приводит к тому, что остаток, полученный в i -й строке, передается через $(i+1)$ - $(j+i-2)$ -е строки матрицы и поступает в $(j+i-1)$ -ю строку. Начиная с этой строки матрицы, продолжается определение оставшихся разрядов частного. Необходимо отметить, что наличие сигнала на первом управляющем входе $(j+i-1)$ -го блока определения разряда блокирует учет в этом блоке разрядов SO , PI , поступающих на информационные входы этих блоков.

Результат снимается с выходов разряда частного блоков определения разрядов устройства для деления.

Ф о р м у л а и з о б р е т е н и я

Устройство для деления, содержащее матрицу из n строк и m столбцов (n - разрядность частного, m - разрядность операндов), каждый из модулей содержит сумматор, первый и второй элементы И, первый элемент ИЛИ и первый элемент НЕ, причем вход первого элемента НЕ модуля подключен к первому входу первого элемента И модуля и является первым информационным входом модуля, выход первого элемента И модуля подключен к первому входу первого элемента ИЛИ модуля, второй вход первого элемента ИЛИ модуля подключен к выходу второго элемента И модуля, первый вход второго элемента И модуля подключен к выходу первого элемента НЕ модуля, первый, второй и третий информационные входы сумматора модуля являются соответственно вторым, третьим и четвертым информационными входами модуля, выход суммы сумматора модуля подключен к второму входу первого элемента И модуля, выход переноса сумматора модуля является до-

полнительным выходом переноса модуля, первый информационный вход сумматора модуля объединен с вторым входом второго элемента И модуля, выход первого элемента ИЛИ модуля является выходом суммы модуля, выход суммы модуля K -го столбца N -й строки матрицы ($K = 2, 3, \dots, m$; $N = 1, 2, \dots, n-1$) подключен к второму информационному входу ($K-1$)-го столбца ($N+1$)-й строки матрицы, выход переноса модуля K -го столбца N -й строки матрицы подключен к пятому информационному входу модуля ($K-1$)-го столбца N -й строки матрицы, второй и третий информационные входы модуля m -го столбца p -й строки матрицы ($p = 2, 3, \dots, n$) подключены соответственно к шинам логического нуля и логической единицы устройства, первый информационный вход модуля m -го столбца p -й строки матрицы подключен к первому информационному входу модуля S -го столбца p -й строки матрицы ($S = 1, 2, \dots, m-1$), первый информационный вход модуля F -го столбца первой строки матрицы ($F = 1, 2, \dots, m$) подключен к первому информационному входу модуля m -го столбца первой строки матрицы, второй информационный вход модуля F -го столбца первой строки матрицы подключен к F -му разряду входной шины делителя устройства, третий информационный вход модуля m -го столбца первой строки матрицы подключен к шине логической единицы устройства, четвертый информационный вход модуля F -го столбца M -ой строки матрицы подключен к F -му разряду входной шины делителя устройства, о т л и ч а ю щ е с я тем, что, с целью повышения быстродействия, в устройство дополнительно введено n блоков определения разряда и n блоков управления коррекцией, а в каждый модуль матрицы дополнительно введены пять элементов И, три элемента ИЛИ и элемент НЕ, причем первый вход третьего элемента И модуля подключен к второму информационному входу сумматора модуля, второй вход третьего элемента И модуля подключен к первому входу второго элемента И модуля, первый вход четвертого элемента И модуля подключен к первым входам третьего элемента ИЛИ, пятого и шестого элементов И модуля и является пятым

информационным входом модуля, второй вход четвертого элемента И модуля подключен к входу первого элемента НЕ модуля, второй вход шестого элемента И модуля подключен к второму входу седьмого элемента И модуля и является первым управляющим входом модуля, третий вход шестого элемента И модуля подключен к вторым входам первого и пятого элементов И модуля и третьего элемента ИЛИ модуля, выход третьего элемента ИЛИ модуля подключен к первому входу седьмого элемента И модуля, третий вход седьмого элемента И модуля подключен к выходу второго элемента НЕ модуля, вход второго элемента НЕ модуля подключен к выходу пятого элемента И модуля, выход второго элемента ИЛИ модуля является выходом переноса модуля, первой и второй входы второго элемента ИЛИ модуля подключены соответственно к выходам четвертого и третьего элементов И модуля, выход седьмого элемента И модуля является выходом анализа критического разряда модуля, выход четвертого элемента ИЛИ модуля является выходом критического разряда модуля, первый вход четвертого элемента ИЛИ модуля подключен к выходу шестого элемента И модуля, а второй вход четвертого элемента ИЛИ модуля является вторым управляющим входом модуля, причем выход переноса модуля K -го столбца N -й строки матрицы подключен к третьему информационному входу модуля ($K-1$)-го столбца ($N+1$)-й строки матрицы, первый управляющий вход модуля A -го столбца N -й строки матрицы ($A = 4, 5, \dots, m$) подключен к выходу анализа критического разряда модуля ($A-1$)-го столбца N -й строки матрицы, выход критического разряда модуля A -го столбца N -й строки матрицы подключен к второму управляющему входу модуля ($A-1$)-го столбца ($N+1$)-й строки матрицы, первый управляющий вход модуля третьего столбца N -й строки матрицы подключен к выходу анализа критического разряда N -го блока определения разряда и к первому входу N -го блока управления коррекцией, выход критического разряда третьего столбца N -й строки матрицы подключен к первому информационному входу N -го блока управления коррекцией, к второму управляющему входу ($N+1$)-го блока управле-

ния коррекцией и к первому управляющему входу (N+2)-го блока определения разряда, выход разряда частного р-го блока определения разряда подключен к первому информационному входу модуля F-столбца р-й строки матрицы, первый и второй разряды информационного входа р-го блока определения разряда подключены соответственно к выходу суммы и выходу переноса модуля первого столбца (р-1)-й строки матрицы, третий и четвертый разряды информационного входа р-го блока определения разряда соединены с вторым и третьим информационными входами модуля первого столбца р-й строки матрицы, пятый, шестой и седьмой разряды информационного входа р-го блока определения разряда соединены соответственно с вторым, третьим и четвертым информационными входами модуля второго столбца р-й строки матрицы, восьмой, девятый и десятый разряды информационного входа р-го блока определения разряда соединены соответственно с вторым, третьим и четвертым информационными входами модуля третьего столбца р-й строки матрицы, выход разряда частного первого блока определения разряда подключен к первому информационному входу модуля первого столбца первой строки матрицы, третий разряд информационного входа первого блока определения разряда подключен к второму информационному входу модуля первого столбца первой строки матрицы, пятый и седьмой разряды информационного входа первого блока определения разряда подключены соответственно к второму и четвертому информационным входам модуля первого столбца второй строки матрицы, восьмой и десятый разряды информационного входа первого блока определения разряда подключены соответственно к второму и четвертому информационным входам модуля первого столбца третьей строки матрицы, выходы блокировки единицы и генерации единицы М-го блока управления коррекцией подключены соответственно к второму и третьему управляющим входам М-го блока определения разряда, выходы сквозного критического разряда и блокировки коррекции М-го блока управления коррекцией подключены соответственно к второму информационному и третьему управляющему

щему входам (M-1)-го блока управления коррекцией, четвертый управляющий вход М-го блока определения разряда подключен к выходу собственной генерации единицы М-го блока управления коррекцией, пятый и шестой управляющие входы первого блока определения разряда подключены к шине логической единицы устройства, четвертый управляющий вход всех блоков управления коррекцией подключен к шине логической единицы устройства, выходы первой и нулевой блокировок М-го блока определения разряда подключены соответственно к пятому и шестому управляющим входам (M+1)-го блока определения разряда, причем блок определения разряда содержит десять элементов ИЛИ, двадцать элементов И и шесть элементов НЕ, первый вход первого элемента ИЛИ блока определения разряда является четвертым управляющим входом блока определения разряда, второй вход первого элемента ИЛИ блока определения разряда подключен к выходу первого элемента И блока определения разряда, первый вход первого элемента И блока определения разряда подключен к выходу второго элемента ИЛИ блока определения разряда, первым входам третьего и четвертого элементов ИЛИ блока определения разряда и входу первого элемента НЕ блока определения разряда, выход первого элемента НЕ блока определения разряда подключен к первому входу второго элемента И блока определения разряда, второй вход второго элемента И блока определения разряда подключен к выходу второго элемента НЕ, первым входам третьего, четвертого и пятого элементов И блока определения разряда и второму входу первого элемента И блока определения разряда, вход второго элемента НЕ блока определения разряда является вторым управляющим входом блока определения разряда, вход третьего элемента НЕ блока определения разряда является первым управляющим входом блока определения разряда, первый вход шестого элемента И блока определения разряда является шестым управляющим входом блока определения разряда, первый вход седьмого элемента И блока определения разряда является пятым управляющим входом блока определения разряда, выход пятого элемента ИЛИ

блока определения разряда подключен к второму входу четвертого, первым входам восьмого и девятого элементов И блока определения разряда и первому входу шестого элемента ИЛИ блока определения разряда, первый вход пятого элемента ИЛИ блока определения разряда подключен к выходу десятого и второму входу третьего элементов И блока определения разряда, второй вход пятого элемента ИЛИ блока определения разряда подключен к выходу одиннадцатого и третьему входу третьего элементов И блока определения разряда, выход седьмого элемента ИЛИ блока определения разряда подключен к третьему входу четвертого и первому входу двенадцатого элементов И блока определения разряда, выход восьмого элемента ИЛИ блока определения разряда подключен к вторым входам пятого, двенадцатого и девятого элементов И блока определения разряда, первый, второй и третий входы восьмого элемента ИЛИ блока определения разряда подключены к выходам соответственно тринадцатого, четырнадцатого и пятнадцатого элементов И блока определения разряда, первый, второй и третий входы девятого элемента ИЛИ блока определения разряда подключены соответственно к выходам восьмого, двенадцатого и девятого элементов И блока определения разряда, четвертый вход девятого элемента ИЛИ блока определения разряда подключен к выходу шестнадцатого элемента И блока определения разряда и второму входу шестого элемента ИЛИ блока определения разряда, третий вход пятого элемента И блока определения разряда подключен к выходу шестого элемента ИЛИ блока определения разряда, четвертый вход пятого элемента И блока определения разряда подключен к выходу десятого элемента ИЛИ блока определения разряда и второму входу восьмого элемента И блока определения разряда, третий вход второго элемента И блока определения разряда подключен к выходу четвертого элемента ИЛИ блока определения разряда, четвертый вход второго элемента И блока определения разряда подключен к второму входу третьего элемента ИЛИ блока определения разряда и выходу пятого элемента ИЛИ блока определения разряда, второй вход четвертого эле-

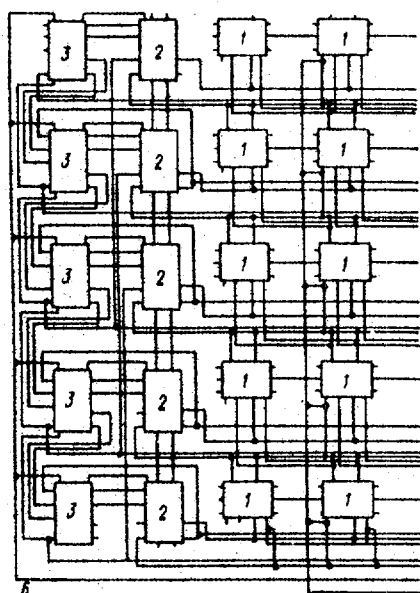
мента ИЛИ блока определения разряда подключен к четвертому входу первого элемента ИЛИ блока определения разряда, выходу четвертому элемента ИЛИ блока определения разряда и входу пятого элемента ИЛИ блока определения разряда, третий вход четвертого элемента ИЛИ блока определения разряда подключен к третьим входам первого и третьего элементов ИЛИ блока определения разряда, выходу третьего элемента И блока определения разряда и входу четвертого элемента ИЛИ блока определения разряда, выход шестого элемента ИЛИ блока определения разряда подключен к четвертому входу четвертого элемента ИЛИ блока определения разряда и пятому входу второго элемента И блока определения разряда, вход шестого элемента ИЛИ блока определения разряда подключен к выходу пятого элемента И блока определения разряда и пятому входу первого элемента ИЛИ блока определения разряда, первый вход семнадцатого элемента И блока определения разряда подключен к выходу третьего элемента ИЛИ блока определения разряда, второй вход семнадцатого элемента И блока определения разряда подключен к выходу третьего элемента ИЛИ блока определения разряда и вторым входам шестого и седьмого элементов И блока определения разряда, выход первого элемента ИЛИ блока определения разряда является выходом разряда частного блока определения разряда, выход четвертого элемента ИЛИ блока определения разряда является выходом первой блокировки блока определения разряда, выход семнадцатого элемента И блока определения разряда является выходом нулевой блокировки блока определения разряда, выход второго элемента И блока определения разряда является выходом анализа критического разряда блока определения разряда, первый и второй входы второго элемента ИЛИ блока определения разряда являются соответственно первым и вторым разрядами информационного входа блока определения разряда, первые входы девятого, одиннадцатого, восемнадцатого, девятнадцатого, двадцатого, тринадцатого, четырнадцатого и пятнадцатого элементов И блока определения разряда являются соответственно третьим, четвертым, пятым, шестым, седьмым, восьмым, девятым и десятым

разрядами информационного входа блока определения разряда, первый вход двадцатого элемента И блока определения разряда подключен к второму входу восемнадцатого элемента И блока определения разряда и первым входам десятого элемента ИЛИ блока определения разряда и шестнадцатого элемента И блока определения разряда, первый вход девятнадцатого элемента И блока определения разряда подключен к вторым входам двадцатого и шестнадцатого элементов И блока определения разряда и второму входу десятого элемента ИЛИ блока определения разряда, первый вход восемнадцатого элемента И блока определения разряда подключен к второму входу девятнадцатого элемента И блока определения разряда и третьим входам десятого элемента ИЛИ и шестнадцатого элемента И блока определения разряда, выход восемнадцатого элемента И блока определения разряда подключен к первому входу седьмого элемента ИЛИ блока определения разряда, второй и третий входы седьмого элемента ИЛИ блока определения разряда подключены соответственно к выходам девятнадцатого и двадцатого элементов И блока определения разряда, шестой вход первого элемента ИЛИ блока определения разряда является третьим управляющим входом блока определения разряда, выход шестого элемента И блока определения разряда подключен к третьему входу первого элемента И блока определения разряда, выход седьмого элемента И блока определения разряда подключен к вторым входам десятого и одиннадцатого элементов И блока определения разряда, второй вход тринадцатого элемента И блока определения разряда подключен к первому входу пятнадцатого элемента И блока определения разряда, первый вход тринадцатого элемента И блока определения разряда подключен к второму входу четырнадцатого элемента И блока определения разряда, второй вход пятнадцатого элемента И блока определения разряда подключен к первому входу четырнадцатого элемента И блока определения разряда, выход девятого элемента ИЛИ блока определения разряда подключен к шестому входу второго элемента И блока определения разряда, третий вход семнадцатого элемента И блока

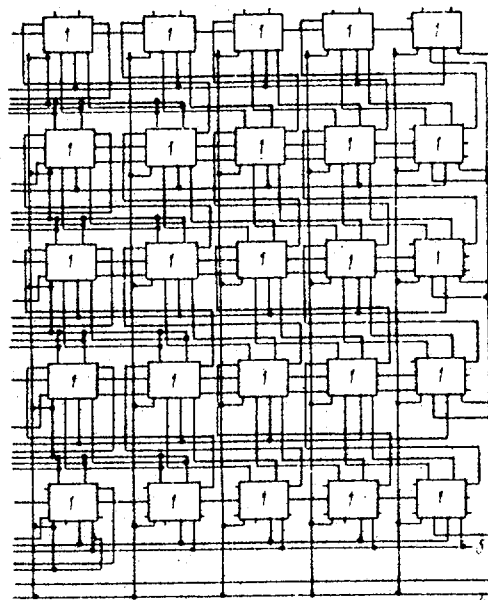
определения разряда подключен к выходу четвертого элемента ИЛИ блока определения разряда, а блок управления коррекцией содержит четыре элемента ИЛИ, три элемента И и два элемента НЕ, причем выход первого элемента И блока управления коррекцией подключен к первому входу первого элемента ИЛИ блока управления коррекцией и является выходом генерации единицы блока управления коррекцией, первый вход первого элемента И блока управления коррекцией подключен к первому входу второго элемента И блока управления коррекцией и к выходу первого элемента ИЛИ блока управления коррекцией, выход второго элемента ИЛИ блока управления коррекцией является выходом блокировки коррекции блока управления коррекцией, первый вход второго элемента ИЛИ блока управления коррекцией подключен к входу первого элемента НЕ блока управления коррекцией и является третьим управляющим входом блока управления коррекцией, выход первого элемента НЕ блока управления коррекцией подключен к второму входу первого элемента ИЛИ блока управления коррекцией, выход второго элемента И блока управления коррекцией подключен к первому входу третьего элемента ИЛИ блока управления коррекцией, выход которого является выходом блокировки единицы блока управления коррекцией, выход четвертого элемента ИЛИ блока управления коррекцией является выходом сквозного критического разряда блока управления коррекцией, выход третьего элемента И блока управления коррекцией является выходом собственной генерации единицы блока управления коррекцией, первый вход третьего элемента И блока управления коррекцией подключен к входу второго элемента НЕ блока управления коррекцией, вторым входам первого элемента И и второго элемента ИЛИ блока управления коррекцией и является первым управляющим входом блока управления коррекцией, первый вход четвертого элемента ИЛИ блока управления коррекцией подключен к второму входу второго и третьему входу первого элементов И блока управления коррекцией и является вторым информационным входом блока управления коррекцией, второй вход четвертого элемента ИЛИ блока

управления коррекцией подключен к второму входу третьего элемента И и является первым информационным входом блока управления коррекцией, второй вход третьего элемента ИЛИ блока управления коррекцией является вторым управляющим входом блока управления коррекцией, четвертый управля-

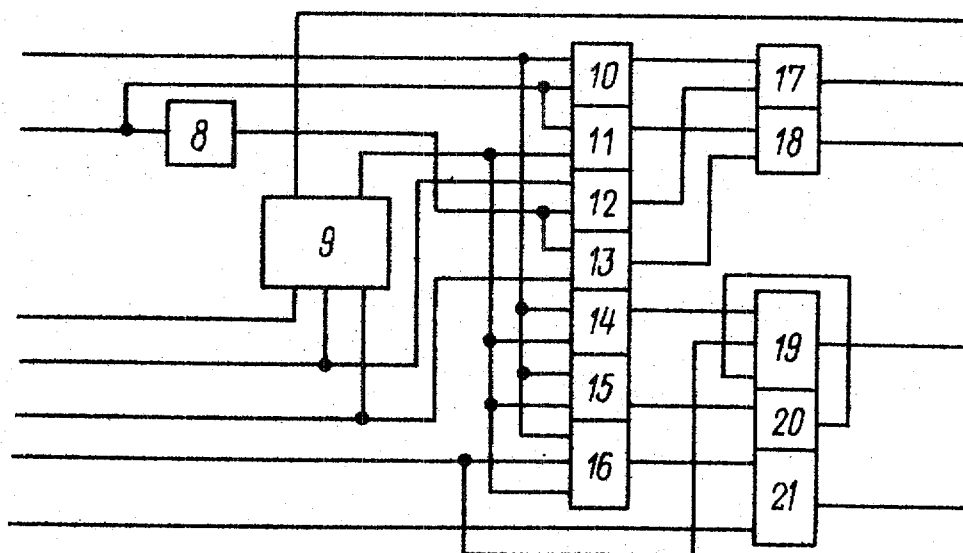
щий вход блока управления коррекцией объединен с четвертым входом первого элемента И и с третьим входом второго элемента И блока управления коррекцией, четвертый вход второго элемента И блока управления коррекцией подключен к выводу второго элемента НЕ блока управления коррекцией.



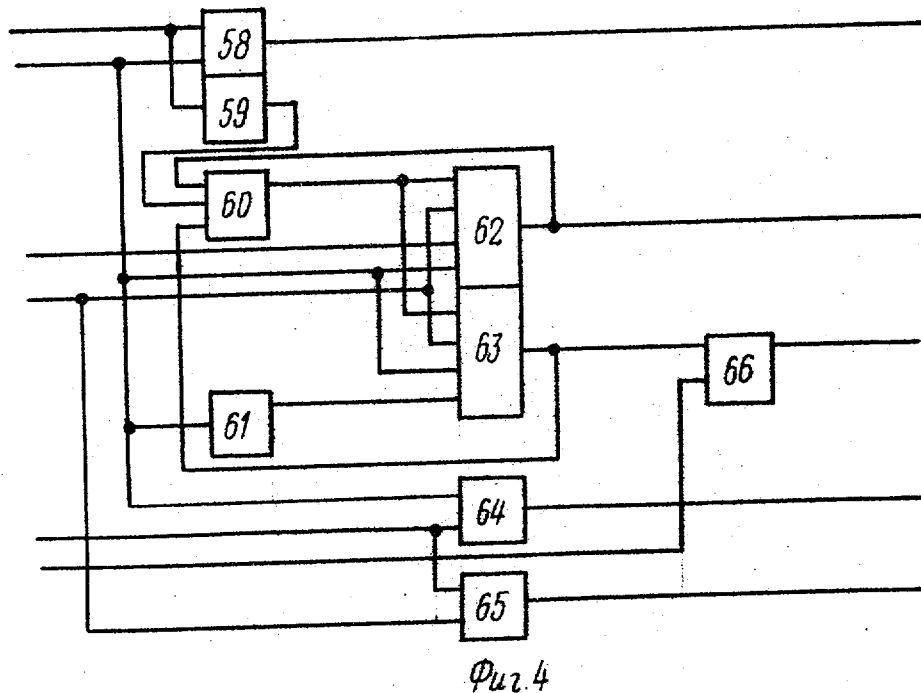
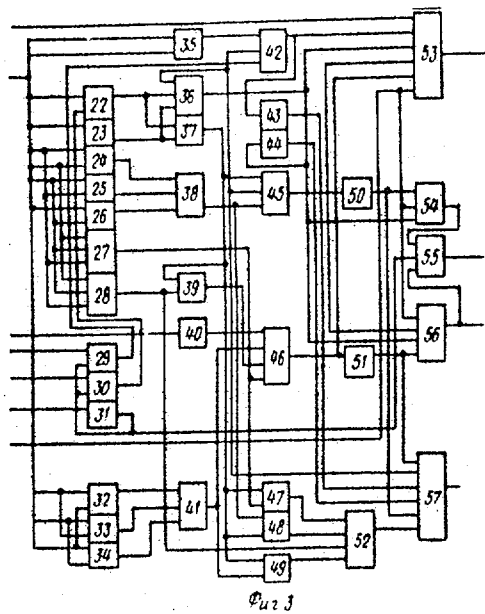
Фиг. 1а



Фиг. 1б



Фиг. 2



Составитель С. Силаев
 Редактор И. Рыбченко Техред И. Попович Корректор И. Муска

Заказ 4957/47 Тираж 671 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4