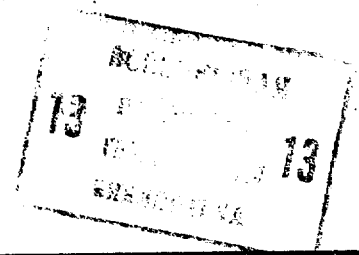




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3820248/24-24
(22) 05.12.84
(46) 07.12.86. Бюл. № 45
(71) Минский радиотехнический институт
(72) В.Н. Мухаметов, А.Н. Морозевич, А.Н. Дмитриев, А.Е. Леусенко, Б.Б. Трибуховский, А.И. Шемаров и В.А. Фатькин
(53) 62-50(088.8)
(56) Авторское свидетельство СССР № 930236, кл. G 05 B 11/01, 1982.
Вибрация в технике. Справочник в 6-ти т. - М.: Машиностроение, 1981, т. 5.
Измерения и испытания. /Под ред. М.Д. Генкина, 1981, с. 455-457, рис. 1.
(54) СИСТЕМА УПРАВЛЕНИЯ ВИБРОСТЕНДОМ
(57) Изобретение относится к автоматическому регулированию и управлению, в частности к системам управления экспериментальными установками, предназначено для испытаний различных конструкций приборов и машин на электродинамическом вибрационном стенде гармонической вибрацией на фиксированных частотах и вибрацией переменной частоты. Целью изобретения является

расширение функциональных возможностей за счет повышения точности воспроизведения испытательных сигналов в широких частотных диапазонах и диапазоне изменения скоростей развертки, проведения анализа результатов испытаний, автоматизация управления работой вибростенда по заданной программе. Система управления вибростендом содержит цифроаналоговый преобразователь, фильтр низких частот, аттенюатор, усилитель мощности, вибростенд, группу вибродатчиков, коммутатор, масштабирующий усилитель, блок аналоговой памяти, аналого-цифровой преобразователь, 17 регистров, 11 мультиплексоров, два триггера, функциональный преобразователь, преобразователь фазы в амплитуду, сумматор по модулю два, два алгебраических сумматора, два блока умножения - деления, блок памяти, блок извлечения корня, реверсивный счетчик и счетчик циклов. Использование принципа микропрограммного управления, введение новых функциональных блоков и связей существенно расширяют функциональные возможности известных устройств аналогичного назначения. 16 ил, 1 табл.

Изобретение относится к автоматическому регулированию и управлению, в частности к системам управления экспериментальными установками, предназначенными для испытаний различных конструкций, приборов и машин на электродинамическом вибростенде гармонической вибрации не фиксированных частотах и вибрацией переменной частоты.

Цель изобретения - расширение функциональных возможностей за счет повышения точности воспроизведения испытательных сигналов в широком частотном диапазоне и диапазоне изменения скоростей развертки, проведения анализа результатов испытания путем вычисления оценок коэффициента нелинейных искажений и действующих значений управляемого сигнала и его первой гармоники, автоматизации управления работой вибростенда по заданной программе, обеспечения плавного выхода на режим и сброса управляющего сигнала.

На фиг. 1 представлена структурная схема устройства (использованы следующие обозначения: \longrightarrow - многопроводная линия для передачи многозарядных цифровых сигналов (кодов); \rightarrow - однопроводная линия для передачи однозарядных сигналов управления; \Rightarrow - многопроводная линия для передачи многозарядных цифровых сигналов управления; \rightarrow - однопроводная линия для передачи аналоговых сигналов); на фиг. 2 и 3 - примеры возможных реализаций соответственно первого блока умножения - деления и первого алгебраического сумматора; на фиг. 4 - пример конкретной реализации блока 21 управления (для упрощения его аппаратной реализации этот блок 21 управления выполнен как совокупность двух блоков 21₁ и 22₂ микропрограммного управления, построенных по классической структуре; на фиг. 5 - укрупненная блок-схема алгоритма системы управления вибростендом; на фиг. 6 - блок-схема подпрограммы записи эталонных значений управляемой величины $U_{\text{эт}}$; на фиг. 7 - блок-схема подпрограммы формирования начального значения частоты управления $f_{\text{уп}}$; на фиг. 8 - блок-схема подпрограммы выхода на режим; на фиг. 9 - блок-схема подпрограммы расчета коэффициента $K_{\text{атт}}$ передачи аттенюатора;

на фиг. 10 - блок-схема подпрограммы формирования текущего значения частоты управления $f_{\text{уп}}$; на фиг. 11 - блок-схема подпрограммы плавного сброса; на фиг. 12 - блок-схема подпрограммы формирования и анализа испытательного сигнала; на фиг. 13 и 14 - временные диаграммы, реализуемые блоком 21₂ управления при двухблочной реализации блока 21 управления системы (фиг. 4); на фиг. 15 и 16 - временные диаграммы, реализуемые блоком 21 блока 21 управления.

Система управления вибростендом содержит регистр 1 цифроаналогового преобразователя, выход которого подключен к входу цифроаналогового преобразователя 2, выход которого подключен к входу фильтра 3 нижних частот, выход которого подключен к информационному входу аттенюатора 4, второй информационный вход которого подключен к выходу регистра 5 аттенюатора, а выход - к входу усилителя 6 мощности, выход которого подключен к вибростенду 7, выходы которого через вибродатчики 8 подключены к информационным входам коммутатора 9, выход которого подключен к информационному входу масштабирующего усилителя 10, управляющий вход которого является входом задания коэффициента $1/K_{\text{ну}}$ усиления системы в целом, а выход подключен к информационному входу блока 11 аналоговой памяти, выход которого подключен к информационному входу аналого-цифрового преобразователя 12, триггер 13 направления развертки, мультиплексор 14 задания закона модуляции частоты, первый алгебраический сумматор 15, регистр 16 задания скорости развертки, информационный вход которого является входом задания $V_{\text{д}}(V_{\text{в}})$ скорости развертки системы, регистр 17 задания нижней границы диапазона развертки, информационный вход которого является входом задания $f_{\text{н}}(\log f_{\text{н}})$ нижней границы диапазона развертки системы, регистр 18 задания верхней границы диапазона развертки, информационный вход которого является входом задания $f_{\text{в}}(\log f_{\text{в}})$ верхней границы диапазона развертки системы, мультиплексор 19 выбора направления развертки, реверсивный счетчик 20 адреса, блок 21 управления, первый вход которого является входом задания за-

кона Z (лин/лог) модуляции частоты системы, второй вход является входом "Пуск" запуска системы, третий вход является первым тактовым "Такты 1" входом системы, а четвертый вход - входом "Сброс" задания начальных условий системы, соответствующие входы блока 21 управления подключены к управляющим входам: У4 регистра 1 цифроаналогового преобразователя, У38, У 39 - регистра 5 аттенюатора, Б - коммутатора 9, У5 - блока 11 аналоговой памяти, У6 - аналого-цифрового преобразователя 12, У17 - регистра 16 задания скорости развертки, У18 - регистра 17 зажания нижней границы диапазона развертки, У19 - регистра 18 задания верхней границы диапазона развертки, мультиплексора 22 выбора фазы, регистр 23 задания фазы, преобразователь 24 фазы в амплитуду, мультиплексор 25 выбора частоты, регистр 26 задания частоты, функциональный преобразователь 27, рабочий регистр 28, мультиплексор 29 выбора первого слагаемого, мультиплексор 30 выбора второго слагаемого, регистр 31 сдвига, сумматор 32 по модулю два, триггер 33 управления, три регистра 34-36 памяти, мультиплексор 37 выбора подкоренного выражения, блок 38 извлечения корня, регистр 39 хранения действующего значения первой гармоники, регистр 40 хранения действующего значения сигнала, мультиплексор 41 выбора первого сомножителя, мультиплексор 42 выбора второго сомножителя, первый блок 43 умножения - деления, регистр 44 хранения коэффициента гармоник, мультиплексор 45 блока памяти, блок 46 памяти, регистр 47 частоты управления, мультиплексор 48 выбора операнда, регистр 49 первого операнда, регистр 50 второго операнда, второй алгебраический сумматор 51 второй блок 52 умножения - деления, счетчик 53 циклов, причем первый информационный вход второго блока 52 умножения - деления подключен к первому информационному входу мультиплексора 48 выбора операнда, выход регистра 49 первого операнда и первому информационному входу второго алгебраического сумматора 51, выход которого подключен к второму информационному входу мультиплексора 48 выбора операнда, выход знакового разряда второго алгебраического сумматора 51

подключен к пятому входу X3 блока управления, а второй информационный вход - к выходу регистра 50 второго операнда и второму информационному входу второго блока 52 умножения - деления, выход которого подключен к третьему информационному входу мультиплексора 48 выбора операнда, четвертый информационный вход которого подключен к выходу блока 46 памяти и информационному выходу системы, а пятый информационный вход - к выходу регистра 47 частоты управления, информационный вход которого подключен к информационным входам регистра 5 аттенюатора, первого и второго 49 и 50 операндов и выходу мультиплексора 48 выбора операнда, шестой, седьмой, восьмой и девятый информационные входы которого являются соответственно входом $f_0(\log f_0)$ задания начальной частоты, входом $\Delta f(\Delta \log f)$ задания периода дискретности, входом K задания коэффициента пропорциональности закона управления и входом $\Delta K_{\text{отт}}$ задания приращения коэффициента передачи аттенюатора системы, десятый информационный вход - к выходу регистра 5 аттенюатора, одиннадцатый вход является входом $U_{\text{макс}}$ задания кода максимального значения напряжения на выходе аттенюатора 4 системы, вход "0" задания нулевого кода которой подключен к первому информационному входу мультиплексора 30 выбора второго слагаемого, второй информационный вход которого подключен к информационному входу преобразователя 24 фазы в амплитуду и к выходу регистра 23 задания фазы, информационный вход которого подключен к выходу мультиплексора 22 выбора фазы, первый информационный вход которого подключен к выходу регистра 31 сдвига, первому информационному входу мультиплексора 25 выбора частоты, информационному входу рабочего регистра 28, и трех регистров 34-36 памяти, а второй информационный вход является входом α_0 задания начальной фазы системы, вход $f_0(\log f_0)$ задания начальной частоты которой подключен к второму информационному входу мультиплексора 25 выбора частоты, выход которого подключен к информационному входу регистра 26 задания частоты, выход которого подключен через функциональный преобра-

зователь 27 к первому, а непосредственно - к второму информационным входам мультиплексора 14 задания закона модуляции частоты, выход которого подключен к первому информационному входу мультиплексора 42 выбора второго сомножителя, выход которого подключен к первому информационному входу первого блока 43 умножения - деления, выход которого подключен к информационному входу регистра 44 хранения коэффициента гармоник и первым информационным входам мультиплексора 37 выбора подкоренного выражения и мультиплексора 29 выбора первого слагаемого, второй вход которого подключен к выходу мультиплексора 14 задания закона модуляции частоты, а третий информационный вход - к выходу рабочего регистра 23 и вторым информационным входам мультиплексора 42 выбора второго сомножителя и мультиплексора 37 выбора подкоренного выражения, выход которого подключен к информационному входу блока 38 извлечения корня, выход которого подключен к информационным входам регистра 39 и 40 хранения действующих значений первой гармоники и сигнала и первому информационному входу мультиплексора 41 выбора первого сомножителя, выход которого подключен к второму информационному входу первого блока 43 умножения - деления, второй информационный вход подключен к выходу рабочего регистра 28, а третий информационный вход - к выходу преобразователя 24 фазы в амплитуду и информационному входу регистра 1 цифроаналогового преобразователя, установочный вход которого подключен к входу установки в ноль триггера 33 управления, установочным входам трех регистров 34-36 питания, входу "Сброс" задания начальных условий системы и установочному входу регистра 16 задания скорости развертки, вход которого подключен к третьему информационному входу мультиплексора 30 выбора второго слагаемого, четвертый информационный вход которого подключен к выходу мультиплексора 19 выбора направления развертки, первый и второй информационные входы которого подключены соответственно к выходам регистров 17 и 18 задания нижней и верхней границ диапазона раз-

развертки, а управляющий вход - к единичному выходу триггера 13 направления развертки и шестому входу X1 блока 21 управления, седьмой вход X2 которого подключен к единичному входу триггера 33 управления, информационный вход которого подключен к выходу сумматора 32 по модулю два, первый вход которого подключен к инверсному выходу триггера 13 направления развертки, а второй вход - к информационному входу триггера 13 направления развертки и выходу знакового разряда первого алгебраического сумматора 15, выход которого подключен к сдвигателю 31, первый информационный вход - к выходу мультиплексора 29 выбора первого слагаемого, а второй информационный вход - к выходу мультиплексора 30 выбора второго слагаемого, пятый информационный вход которого подключен к третьему информационному входу мультиплексора 37 выбора подкоренного выражения и выходу первого регистра 34 памяти, шестой информационный вход к выходу второго регистра 35 памяти, четвертому информационному входу мультиплексора 41 выбора первого сомножителя и третьему информационному входу мультиплексора 42 выбора второго сомножителя, четвертый информационный вход которого подключен к выходу третьего регистра 36 памяти, пятому информационному входу мультиплексора 41 выбора первого сомножителя и седьмому информационному входу мультиплексора 30 выбора второго слагаемого, восьмой информационный вход которого подключен к выходу регистра 47 частоты управления, а девятый информационный вход - к вторым информационным входам мультиплексоров 41 и 42 выбора первого и второго сомножителей, шестой и пятый соответственно информационные входы которых объединены и подключены к выходу аналого-цифрового преобразователя 12, а их седьмой и шестой информационные входы подключены соответственно к выходу регистра 31 сдвига и входу задания кода "100" (сто) системы в целом, вход N-1 задания числа циклов которой подключен к информационному входу счетчика 53 циклов, выход отрицательного переполнения которого подключен к восьмому

входу X5 блока 21 управления, девятый вход X4 которого подключен к выходу положительного переполнения реверсивного счетчика 20 адреса, информационный вход которого является входом задания M_0 начального адреса системы, а выход - к первому адресному входу блока 46 памяти, второй адресный вход которого объединен с управляющим входом Л мультиплексора 45 блока памяти, вход которого подключен к информационному входу блока 46 памяти, а первый, второй, третий и четвертый информационные входы подключены соответственно к входу U_0^{31} задания эталонных значений управляемой величины системы, выходу регистра 39 хранения действующего значения первой гармоники, выходу 40 регистра хранения действующего значения сигнала и выходу 44 регистра хранения коэффициента гармоник, входы PII и PIV задания направления развертки системы подключены к входам установки в единицу и в ноль: триггера 13 направления развертки, вход "3II эталона" записи эталона, второй тактовый вход "Такты 2", вход "Стоп" остановки системы и вход задания номера канала "Кан" подключены соответственно к десятому, одиннадцатому, двенадцатому и тринадцатому входам блока 21 управления, соответствующие выходы которого подключены к управляющим входам: А - мультиплексора 22 выбора фазы, В - мультиплексора 25 выбора частоты, Г - мультиплексора 14 задания закона модуляции, Д - мультиплексора 29 выбора первого слагаемого, Е - мультиплексора 30 выбора второго слагаемого, Ж - мультиплексора 37 выбора подкоренного выражения, З - мультиплексора 41 выбора первого сомножителя, И - мультиплексора 42 выбора второго сомножителя, Л - мультиплексора 45 блока памяти и Н - мультиплексора 48 выбора операнда, управляющему входу U1 регистра 23 задания фазы, первому и второму управляющим входам U2 и U3 преобразователя 24 фазы в амплитуду, управляющему входу U7 регистра задания частоты, управляющему входу U8 рабочего регистра 28, синхронизирующему входу U9 триггера 13 направления развертки, входам U10 сложения, U11 вычитания и U12 инверсного вычитания пер-

вого алгебраического сумматора 15, входам U13 передачи, U14 сдвига вправо и U15 сдвига влево регистра 31 сдвига, синхронизирующему входу U16 триггера 33 управления, управляющему входу U20 блока 38 извлечения корня, управляющему входу U21 регистра 39 хранения действующего значения первой гармоники, управляющему входу U22 регистра 40 хранения действующего значения сигнала, установочному входу U23, суммирующему входу U24, вычитающему входу U25 и управляющему входу U26 реверсивного счетчика 20 адреса, вычитающему входу U27 и управляющему входу U28 счетчика 53 циклов, входу U29 записи и входу U30 чтения блока 46 памяти, управляющему входу U31 первого регистра 34 памяти, управляющему входу U32 второго регистра 35 памяти, управляющему входу U33 третьего регистра 36 памяти, входу U34 умножения и входу U35 деления первого блока 43 умножения - деления, управляющему входу U36 регистра 44 хранения коэффициента гармоник, управляющему входу U37 регистра 47 частоты управления, управляющему входу U40 регистра 49 первого операнда, суммирующему входу U41 и вычитающему входу U42 второго алгебраического сумматора 51, управляющему входу U43 регистра 50 второго операнда, входу U44 умножения и входу U45 деления второго блока 52 умножения - деления.

На фиг. 2 и 3 обозначено: 54 - комбинационный блок умножения, 55 - комбинационный блок деления, 56 и 57 - блоки элементов И, 58 - блок элементов ИЛИ, 59 - регистр, 60 - элемент ИЛИ, 61 - элемент задержки, 62-65 - блоки элементов И, 66 и 67 - блоки элементов ИЛИ, 68 - комбинационный блок сложения, 69 - комбинационный блок вычитания, 70 - элемент ИЛИ, 71 и 72 - блоки элементов И, 73 - блок элементов ИЛИ.

Второй блок умножения - деления аналогичен первому, но не содержит элементы 59 - 61, т.е. выход блока 58 является выходом второго блока умножения - деления, Второй блок алгебраического сложения тоже аналогичен первому, но здесь не использован третий управляющий вход, который соответствует U12 (можно полагать для

простоты, что этот сигнал всегда равен нулю).

Функциями системы управления вибростендом являются: формирование испытательного сигнала; анализ выходного сигнала; управление процессом испытаний по заданной программе.

При этом реализуется следующее аналитическое выражение:

$$U(t) = U(t) \sin(\varphi(t)),$$

где $U(t)$ - мгновенное значение сигнала на входе вибростенда;

$U(t)$ - текущая амплитуда колебаний (закон амплитудной модуляции);

$\varphi(t)$ - текущая фаза колебаний, $\varphi(t) = 2\pi \int_0^t f(\tau) d\tau + \varphi_0$;

$f(t)$ - текущая частота колебаний (закон частотной модуляции).

Причем в формировании цифрового аналога у величины $\tilde{y} = \sin(\varphi(t))$ здесь заключается формирование испытательного сигнала

$$\tilde{y}_n = \sin\left(\frac{N_a}{f_{\partial}} \sum_{i=0}^{n-1} f_i + a_0\right) \bmod N_a,$$

где y_n - n -й дискретный отсчет функции \tilde{y} ;

N_a - количество значений аргумента на периоде;

f_{∂} - частота дискретизации функции $f(t)$;

f_i - дискретные отсчеты функции $f(t)$ или значение $f(t)$ в конце i -го шага интегрирования;

a_0 - начальная фаза, $a_0 = \varphi_0 \frac{N_a}{2\pi}$.

Для упрощения реализации вычисления аргумента для каждого $n+1$ -го дискретного отсчета a_{n+1} в системе реализована итерационная процедура $a_{n+1} = (a_n + \frac{N_a}{f_{\partial}} f_n)$. При реализации линейного закона частотной модуляции в системе реализуется выражение

$$f_{n+1} = f_n + \frac{1}{f_{\partial}} V_f,$$

при реализации логарифмического закона -

$$f_{n+1} = \text{antlog}_D(\log_D f_n + \frac{1}{f_{\partial}} V_f),$$

где D - основание логарифма (обычно $D = 2$ или $D = 10$);

V_f - скорость изменения значения $f(t)$;

V_l - скорость изменения значения логарифма $f(t)$.

Анализ выходного сигнала проводится с целью вычисления оценок действующего значения первой гармоники, действующего значения сигнала, коэффициента гармоник и др., которые используются либо непосредственно (документируются) либо для реализации управления.

При выполнении функции управления осуществляется обработка заданного закона изменения уровня выходного сигнала. Это обеспечивается в результате реализации одного из известных (может быть выбран в значительной степени произвольно в зависимости от параметров объекта управления) законов управления коэффициентом передачи аттенюатора, например, вида

$$K_{\text{атт},i+1} = K_{\text{атт},i} + K \frac{U_{\partial,i+1} - U_{\partial,i}}{U_{\text{макс}}},$$

где $K_{\text{атт},i}$ - коэффициент передачи аттенюатора;

$K_{\text{эт}}$ - коэффициент пропорциональности;

$U_{\partial,i}$ - эталонное значение управляемой величины (действующего значения сигнала) в i -й момент дискретизации управляющего сигнала;

$U_{\partial,i}$ - экспериментальное значение управляемой величины в i -м такте дискретизации;

$U_{\text{макс}}$ - максимально допустимое (возможное) значение U_{∂} .

Большинство функций системой реализуется на одних и тех же средствах в режиме разделения времени.

Функционирование системы происходит следующим образом.

По сигналу "Сброс", поступающему на вход установки в ноль триггера 33 и на установочные входы регистров 1, 16, 34, 35 и 36, триггер 33 устанавливается в ноль, а в указанные регистры записывается нулевой код.

На управляющий вход А мультиплексора 22 подается код А (2), обеспечивающий передачу с второго входа мультиплексора 22 кода начальной фазы с входа задания начальной фазы на информационный вход регистра 23. По сигналу, поступившему на управляющий вход У1 регистра 23, в послед-

ний записывается код a_0 . Следовательно, под действием сигналов А (2) и У1 в регистр 23 записывается код a_0 . Сказанное отражает запись

$$(A(2), U1) P_r 23 := a_0.$$

На управляющий вход В мультиплексора 25 подается код В (2), обеспечивающий с второго входа мультиплексора 25 передачу кода начальной частоты f_0 , если закон частотной модуляции линейный - лин., или значение ее логарифма $\log f_0$ (для простоты основание логарифма опущено), если закон частотной модуляции логарифмический - лог., с входа задания начальной частоты на информационный вход регистра 26. По сигналу, поступившему на управляющий вход У7 регистра 26, в последний записывается код f_0 или $\log f_0$ $f_H \leq f_0 \leq f_B$, $f_0 = f + fM$, где $M=0, 1, 2, \dots, \left[\frac{f_B - f_H}{\Delta f} \right]$; Δf - код приращения частоты. Задается с входа задания периода дискретности (период дискретности или период квантования управляющего сигнала по времени $T_A = \frac{1}{\Delta f}$) системы, т.е.

$$B(2), U7) P_r 26 := f_0 - \text{лин.}, \\ P_r 26 := \log f_0 - \text{лог.}$$

По сигналу, поступающему на управляющий вход У17 регистра 16, в последний записывается код скорости развертки V_f или V_e с входа задания скорости развертки. В исходном состоянии $P_r := 0$ (по сигналу "Сброс") для обеспечения плавного выхода на режим, т.е.

$$U17) P_r 16 := V_f - \text{лин.}, \\ P_r 16 := V_e - \text{лог.}$$

(Сигнал У17 возникает в начале реализации программы испытаний).

По сигналу У18 в регистр 17 записывается код f_H или $\log f_H$ нижней границы диапазона развертки частоты с входа задания нижней границы развертки, т.е.

$$U18) P_r 17 := f_H - \text{лин.}, \\ P_r 17 := \log f_H - \text{лог.}$$

По сигналу У 19 в регистр 18 записывается код f_B или $\log f_B$ верхней границы диапазона развертки, т.е.

$$U19) P_r 18 := f_B - \text{лин.}, \\ P_r 18 := \log f_B - \text{лог.}$$

Состояние триггера 13 определяет направление развертки частоты. Поэтому, если необходимо обеспечить начальное изменение частоты в стороны уменьшения, необходимо на вход РН-развертки вниз установки единицы триггера 13 подать соответствующий сигнал. Если же начальное изменение частоты должно проходить в сторону увеличения, то такой сигнал необходимо подать на вход РВ-развертки вверх установки в ноль триггера 13, т.е.

$$PН) T13 := 1 \\ PВ) T13 := 0.$$

На управляющий вход В коммутатора 9 под воздействием сигнала "Канал" с блока 21 управления подается код, например В(1), обеспечивающий подключение выхода требуемого, например первого, датчика из группы датчиков 8 к информационному входу усилителя 10 (порядок подключения канала (датчиков) может быть произвольный).

Подачей кода Л(1) на управляющий вход мультиплексора 45 обеспечивается передача кодов $U_0^{пр}$ с входа задания эталонных значений управляемой величины на информационный вход блока 46 памяти. Одновременно код Л(1), поступающий на первый адресный вход блока 46 памяти, выбирает нужную "страницу" памяти, предназначенную для записи требуемой информации. В исходном состоянии выбирается страница для записи массива $U_0^{пр}$. По сигналу, поступившему на установочный вход У23 счетчика 20, последний устанавливается в ноль. С каждым сигналом, поступившим на суммирующий вход У24 счетчика 20, содержимое его увеличивается на единицу. Одновременно на вход У29 записи блока 46 поступают сигналы, обеспечивающие запись по адресам, равным сумме Л(1) + $C_4 20$, в память последовательности кодов с информационного входа блока 46 памяти, т.е.

$$U23) C_4 20 := 0; \\ U(1) U29) БП46 [Л(1) + C_4 20] := U_0^{пр}, \\ U24) C_4 20 := C_4 20 + 1.$$

Таким образом, после подачи на входы У24 и У29 серии сигналов (количество которых определено разрядностью счетчика 20, равной $\log_2 \left(\frac{f_B - f_H}{\Delta f} = M_{\max} \right)$, для удобства выбрано $M_{\max} = 2^p$, p -

целое положительное число) в блоке 46 памяти оказывается записанным нужное количество значений $U_{\Delta f}^{3T}$, которые определяют требуемую программу (профиль) испытаний. Затем по сигналу У26 в счетчик 20 записывается код M_0 адреса начального счетчика управляемой функции, соответствующей величине f_0 или $\log f_0$ и определяемой из условия $N_0 = \frac{f_0 - f_H}{\Delta f}$, т.е. У26) $C_4 20 := M_0$.

По сигналу "Сброс", поступающему также на четвертый вход блока 21 управления, на соответствующем выходе У38 последнего появляется сигнал, который, поступая на установочный вход У38 регистра 5, устанавливает указанный регистр в ноль, т.е.

$$У38) P_r 5 := 0.$$

При этом коэффициент K_{att} передачи аттенюатора 4 оказывается равным нулю.

По сигналу, поступающему из блока 21 управления на вход У28 счетчика 53 циклов, в последний записывается код $N-1$, где N - код числа циклов качания частоты по частотному диапазону, с входа задания числа циклов системы, т.е.

$$У28) C_4 53 := N-1.$$

По сигналу $H(6)$, поступающему с блока 21 управления на управляющий вход мультиплексора 48, на выходе последнего появляется код f_0 или $\log f_0$ с входа задания начальной частоты. Сигнал У20 обеспечивает запись в регистр 49 кода f_0 или $\log f_0$, т.е.

$$H(6), У20) P_r 49 := f_0 - \text{лин.}, \\ P_r 49 := \log f_0 - \text{лог.}$$

По сигналу $H(7)$ код Δf или $\Delta \log f$ проходит с седьмого входа мультиплексора 48 на его выход и затем по сигналу У43 записывается в регистр 50, т.е.

$$H(7), У43) P_r 50 := \Delta f - \text{лин.}, \\ P_r 50 := \Delta \log f - \text{лог.}$$

Если Т13 установлен в ноль сигналом "РВ", т.е. $X1=0$, то по сигналу У41 выполняется операция сложения в алгебраическом сумматоре 51 над кодами, хранящимися в регистрах 49 и 50 (в данном случае $f_0 + \Delta f$ или $\log f_0 +$

$+ \Delta \log f$). Сигнал $H(2)$ обеспечивает прохождение кода полученной суммы с сумматора 51 на выход мультиплексора 48. По сигналу У37 код суммы $f_H + \Delta f$ или $\log f_H + \Delta \log f$ записывается в регистр 47, т.е.

$$У41, H(2), У37) P_r 47 := P_r 49 + \\ + P_r 50, \text{ если } X1=0; \\ У42, H(2), У37) P_r 47 := P_r 49 - \\ - P_r 50, \text{ если } X1=1.$$

В данном случае

$$P_r 47 := f_0 \pm \Delta f - \text{лин.}, \\ P_r 47 := \log f_0 \pm \Delta \log f - \text{лог.}$$

На этом заканчивается установка системы в исходное состояние, которое отражено в таблице.

20

Работа системы начинается по сигналу "Пуск" с реализации этапа "выхода на режим". При этом система обеспечивает плавное увеличение действующего значения управляющего (испытательного) сигнала на фиксированной частоте f_0 до тех пор, пока действующее значение сигнала на входе усилителя 10 не достигнет (с определенной точностью) значения U_{OM0}^{3T} . Это обеспечивается плавным (последовательно шаг за шагом) увеличением коэффициента передачи аттенюатора 4 в процессе формирования гармонического сигнала фиксированной частоты f_0 .

35

| Линейный закон | Логарифмический закон |
|----------------|-----------------------|
| 1 | 2 |

40

$$P_r 23 := a_0$$

$$P_r 26 := f_0$$

$$P_r 26 := \log f_0$$

45

$$P_r 16 := 0$$

$$P_r 17 := f_H$$

$$P_r 17 := \log f_H$$

$$P_r 18 := f_0$$

$$P_r 18 := \log f_B$$

50

$$P_r 34 := 0$$

$$P_r 35 := 0$$

$$P_r 36 := 0$$

$$P_r 1 := 0$$

55

$$T13 := 0 \text{ или } T13 := 1$$

$$P_r 5 := 0$$

$$P_r 47 := f_0 + \Delta f$$

$$P_r 47 := \log f_0 + \Delta \log f$$

Продолжение таблицы

| 1 | 2 |
|---|--|
| | T33:=0 |
| | C ₄ 20:=M ₀ |
| | C ₄ 53:=N-1 |
| | ВН46 [Л(1)+0] :=U _{а₀} ^{эп} |
| | ВН46 [Л(1)+1] :=U _{д₁} ^{эп} |
| | : |
| | : |
| | ВН46 [Л(1)+N] :=U _{а_n} ^{эп} |
| | : |
| | : |

Формирование гармонического сигнала осуществляется следующим образом.

По сигналу, поступающему на первый управляющий вход У2 преобразователя 24, на выходе последнего формируется код $\hat{Y}_n = \sin a_n$. В исходном состоянии $n = 0$. Следовательно $\hat{Y}_0 = \sin a_0$. Этот код по сигналу У4 записывается в регистр 1 и на выходе преобразователя 2 оказывается напряжение электрического тока, равное по величине $U(o) = U_{оп} \sin a_0$, где $U_{оп}$ - величина опорного напряжения, для простоты далее будем полагать $U_{оп}=1$. Фильтр 3 обеспечивает плавное нарастание напряжения на информационном входе аттенюатора 4. На выходе аттенюатора формируется напряжение $U(o) = K_{атт} \sin a_0$. В исходном состоянии для обеспечения плавного выхода на режим системы после ее включения $U(o)=0$, так как в регистре 5 записан нулевой код. Далее блок 21 управления вырабатывает последовательность сигналов Г(1) или Г(2) и Д(2), обеспечивая прохождение через мультиплексоры 14 и 29 кода пропорционального $f(t)$, в исходном состоянии $f(t)=f_0$, на первый информационный вход сумматора 15. На его второй информационный вход в это время под действием сигнала Е(2) через мультиплексор 30 поступает код текущей фазы (в данный момент a_0). Под воздействием сигнала У10 сумматор 15 выполняет операцию сложения над содержимым регистра 23 и либо содержимым регистра 26, либо кодом с выхода преобразователя 27, который соответствует содержимому регистра 26.

Это соответствие определяется зависимостью вида $Y=D^X$, где Y - код на выходе преобразователя 27; X - код на выходе регистра 26; D равно 2 или 10. Код указанной суммы без изменения под действием сигнала У13 проходит через регистр 31 сдвига и по сигналам А(1), У1 записывается в регистр 23, т.е.

Г(2), Д(2), Е(2) У10, У13, А(1) У1) Р_r 23 :=
= Р_r 23 + Р_r 26 - лог.
Г(1), Д(2), Е(2) У10, У13, А(1) У1) Р_r 24 :=
= Р_r 23 + ФП27 (Р_r 26) - лог.

Новое значение кода фазы, соответствующее теперь значению $a_1 = \arcsin \frac{U_1}{U_0} + a_0$, опять под воздействием сигналов У2 и У4 преобразуется в новое значение напряжения. Затем формируется очередное значение кода фазы (аналогично рассмотренному выше, так как реализуется итерационная процедура $a_{n+1} = a_n + \Delta a_n$) и т.д. В исходном состоянии при реализации "выхода на режим" $V_f = V_0 = 0$, поэтому в регистре 16 код ноль. Он участвует в образовании кода текущей фазы, так как $\Delta a_{n+1} = \Delta a_n + \Delta^2 a_n$, где $\Delta^2 a_n$ - приращение приращения фазы, $\Delta^2 a \propto V_f (V_c)$. В исходном состоянии $\Delta^2 a = 0$ и код регистра 16 не влияет на величину a_n , здесь не рассмотрена процедура образования кода приращения фазы (будет рассмотрено при $V_f = 0$ и $V_c = 0$). Одновременно с формированием гармонического сигнала в системе осуществляется анализ действующего значения сигнала на выходе усилителя 10.

По сигналам У5 и У6 на выходе преобразователя 12 формируется код U_i^* мгновенного значения управляемого сигнала. Этот код по сигналам З(6) и И(5) проходит через мультиплексоры 41 и 42 на оба информационных входа умножителя 43. По сигналу У34 на выходе умножителя 43 появляется код произведения $U_i^* U_i^*$, т.е.

Б(1), У5, У6, З(6), И(5), У34) УМН43 :=
= АЦП12 · АЦП12

Далее реализуется один шаг алгоритма, который называется экспоненциальным усреднением

$$\bar{X} = \bar{X}_{i-1} + \frac{X_i - \bar{X}_{i-1}}{N_{ij}}, \quad i = 1, 2, \dots,$$

где X_i - усредняемая величина; \bar{X}_i - усредненное значение; N_{ij} - параметр

усреднения, $N_f = 2^k / f_n$, f_n - текущее значение частоты управляемого сигнала.

При этом блок 21 управления вырабатывает сигналы Д(1), по которому код с выхода умножителя 43 через мультиплексор 29 поступает на первый информационный вход сумматора 15; по сигналу Е(5) код с регистра 34 (в исходном состоянии ноль) через мультиплексор 30 поступает на второй вход сумматора 15, где по сигналу У11 реализуется операция вычитания. Полученный код разности при прохождении через регистр 31 сдвига под воздействием сигнала У14 сдвигается на R разрядов вправо (так реализуется операция деления на 2^R). Полученный код с выхода регистра 31 сдвига под воздействием сигнала У8 записывается в рабочий регистр 28, т.е.

$$Д(1), Е(5), У11, У14, У8) P_r 28 := (УМН43 - P_r 34) \cdot 2^{-R}.$$

Под действием сигнала 3(2) на второй информационный вход умножителя 43 через мультиплексор 41 поступает ранее полученный код с выхода регистра 28. На первый информационный вход умножителя 43 через мультиплексор 42 по сигналу И(1) поступает код через мультиплексор 14, либо с выхода регистра 26, если сформирован сигнал Г(2), либо с выхода преобразователя 27, если сформирован сигнал Г(1). По сигналу У34 в умножителе 43 выполняется операция умножения, т.е.

$$3(2), И(1), Г(2), У34) УМН43 := P_r 28 \cdot P_r 26 - \text{лин.},$$

$$3(2), И(1), Г(1), У34) УМН43 := P_r 28 \cdot \text{ФП27}(P_r 26) - \text{лог.}$$

Затем под действием сигналов Д(1), Е(5), У10, У13, У31 реализуется операция сложения кода, хранящегося в регистре 34 (проходит на сумматор 15 через мультиплексор 30), и кода, хранящегося в блоке 43 (проходит на сумматор 15 через мультиплексор 29), результат сложения, проходя без изменения через регистр сдвига, записывается в регистр 34. Таким образом в регистре 34 накапливается код $(U_{\Delta}^*)^2$ квадрата действующего значения управляемого сигнала, т.е.

$$Д(1), Е(5), У10, У13, У31) P_r 34 := P_r 34 + УМН43$$

Периодически (по сигналам, поступающим на второй тактовый вход "Такты 2" блока управления, период следования которых определяется требуемым временем выходов на режим) блок 21 управления вырабатывает последовательность управляющих сигналов, по которым реализуется сравнение действующего значения управляемого сигнала $U_{\Delta Mo}^*$ с эталоном $U_{\Delta}^{эТ} M_{\Delta}^{эТ}$ на фиксированной частоте. Если при этом окажется, что $U_{\Delta Mo} < U_{\Delta Mo}^*$, система увеличивает коэффициент передачи аттенуатора 4 на фиксированную величину $\Delta K_{\Delta T}$, т.е. реализуется итерационная процедура $K_{\Delta T, i+1} = K_{\Delta T, i} + \Delta K_{\Delta T}$. Если же $U_{\Delta Mo} \geq U_{\Delta Mo}^*$, то система переходит к реализации основной задачи: отработка программы (профиля) испытаний.

20 Указанное реализуется следующим образом.

По сигналу У30 из ячейки памяти, хранящей эталонное значение $U_{\Delta Mo}^{эТ}$ действующего значения напряжения для частоты $f_{\Delta}^{эТ}$, блока 46 памяти считывается код $U_{\Delta Mo}^{эТ}$. Этот код по сигналам Н(4) и У43 записывается в регистр 50, т.е.

$$30 У30, Н(4), У43 P_r 50 := \text{БП46} [Л(1) + M_{\Delta}].$$

По сигналам Ж(3) и У20 из содержимого регистра 34 извлекается корень квадратный в блоке 38 (код поступает через мультиплексор 37). По сигналу У22 код действующего значения управляемого сигнала переписывается из блока 38 в регистр 40, т.е.

$$Ж(3), У20) \text{БК38} := \sqrt{P_r 34},$$

$$40 У22) P_r 40 := \text{БК38}.$$

Далее по сигналу Л(3) и У29 (код в счетчике 20 не меняется) в ячейку памяти с адресом $[Л(3) + M_{\Delta}]$ записывается код текущей величины действующего значения $U_{\Delta Mo}^*$ управляемого сигнала. После этого по сигналам У30, Н(4) и У40 код $U_{\Delta Mo}^*$ записывается в регистр 49, т.е.

$$50 Л(3), У29) \text{БП46} [Л(3) + M_{\Delta}] := P_r 40,$$

$$У30, Н(4), У40) P_r 49 := \text{БП46} [Л(3) + M_{\Delta}].$$

По сигналу У42 в алгебраическом сумматоре 51 реализуется операция вычитания. По знаку разности $P_r 49 - P_r 50$, т.е. $U_{\Delta Mo} - U_{\Delta Mo}^*$ определяется выполнение условия $U_{\Delta Mo} < U_{\Delta Mo}^*$. Если $U_{\Delta Mo} - U_{\Delta Mo}^* \geq 0$ (знак разности плюс), система пе-

реходит к реализации программы испытаний. Если же $U_{дмо}^* - U_{дмо}^* < 0$, то блок 21 управления вырабатывает сигналы, обеспечивающие приращение значения $K_{атт}$.

По сигналам Н(9), У43 в регистр 50 через мультиплексор 48 заносится код $\Delta K_{атт}$, а по сигналам Н(10), У40 в регистр 49 из регистра 5 через мультиплексор 48 заносится код $K_{атт}$ (в исходном состоянии $K_{атт} = 0$), т.е.

$$\begin{aligned} \text{Н(9), У43 } P_r 50 &:= \Delta K_{атт}, \\ \text{Н(10), У40 } P_r 49 &:= P_r 5. \end{aligned}$$

По сигналу У41 в сумматоре 51 реализуется операция сложения. Код полученной суммы по сигналу У43 заносится в регистр 50, т.е.

$$\text{У41, У39) } P_r 5 := P_r 49 + P_r 50.$$

При этом происходит увеличение $K_{атт}$ на величину $\Delta K_{атт}$. Гармонический сигнал той же фиксированной частоты f_0 , но большого уровня по сравнению с предыдущим циклом, продолжает поступать на вибростенд.

Аналогично описанному в регистре 34 накапливается новое значение $U_{дмо}^*$, которое затем сравнивается с эталонным и т.д. до выполнения условия $U_{дмо}^* - U_{дмо}^* \geq 0$.

При этом система начинает реализовывать заданную программу испытаний.

Блок 21 управления вырабатывает сигнал У17, по которому в регистр 16 заносится код V_f или V_θ . Система продолжает формирование гармонического сигнала. При этом блок 21 управления вырабатывает сигналы У2 и У4, обеспечивая занесение в регистр 1 очередного кода мгновенного значения гармонического сигнала, т.е.

$$\text{У2, У4) } P_r 1 := \sin(P_r 23);$$

и Г(2) или Г(1), Д(2), Е(2), У10, У13, А(1), У1, обеспечивая как и ранее реализацию операции сложения, т.е.

$$\text{Г(2), Д(2), Е(2), У10, У13, А(1) У1) } P_r 23 := P_r 23 + P_r 26 - \text{лин.}$$

$$\text{Г(1), Д(2), Е(2), У10, У13, А(1) У1) } P_r 23 := \text{ФП27}(P_r 26) - \text{лог.}$$

Под действием сигнала Е(3) код V_f или V_θ с выхода регистра 16 через мультиплексор 30 поступает на второй информационный вход сумматора 15. В это же время по сигналам Г(2) и Д(2) на

первый информационный вход сумматора 15 через мультиплексоры 14 и 29 поступает код текущего значения частоты f_n или логарифма частоты $\log f_n$. По сигналу У10 сумматор 15 реализует операцию сложения. Код полученной суммы без изменения по сигналу У13 проходит через регистр 31 сдвига и по сигналам В(1), У7 записывается в регистр 26, т.е.

$$\begin{aligned} \text{Е(3), Г(2), Д(2), У10, У13, В(1) У7) } \\ P_r 26 := P_r 26 + P_r 16. \end{aligned}$$

Очевидно, что содержимое регистра 26 определяет приращение кода фазы, а содержимое регистра 16 - приращение приращения кода фазы гармонической функции. То есть под действием указанной последовательности управляющих сигналов реализуются две итерационные процедуры вида

$$a_{n+1} = a_n + \Delta a_n \quad \text{и} \quad \Delta a_{n+1} = \Delta a_n + \Delta^2 a_n.$$

Увеличение содержимого регистра 26 происходит только при условии, когда триггер 13 направления развертки находится в нулевом состоянии. В противном случае (когда триггер 13 в единице) вместо сигнала У10 на сумматор 15 подается сигнал У11. При этом реализуется операция вычитания, т.е.

$$\begin{aligned} \text{Е(3), Г(2), Д(2), У11, У13, В(1), У7) } \\ P_r 26 := P_r 26 - P_r 16. \end{aligned}$$

При такой последовательности управляющих сигналов реализуется развертка частоты гармонического сигнала в сторону уменьшения частоты. Исходное состояние регистра 13 определяется сигналами РН и РВ. Текущее состояние триггера определяется следующим образом. Если предыдущее состояние триггера 13 - ноль, то сигнал с единичного выхода триггера обеспечивает прохождение через мультиплексор 19 кода f_v или $\log f_v$ в регистре 18. Если предыдущее состояние триггера 13 - единица, то сигнал с его единичного выхода обеспечивает прохождение через мультиплексор 19 кода f_n или $\log f_n$ с регистра 17. По сигналу Е(4) этот код проходит через мультиплексор 30 на второй информационный вход сумматора 15. На первый информационный вход этого сумматора 15 в это время по сигналам Г(2) и Д(2)

через мультиплексоры 14 и 29 поступает код с выхода регистра 26. По сигналу У12 на сумматоре 15 реализуется операция "инверсного вычитания". Выход знакового разряда этого сумматора 15 и определяет текущее состояние триггер 13, в которое он устанавливается по сигналу У9, т.е.

если $T13=0$, то $E(4), G(2), D(2), U12, U9$ 10
 $T13 := (P_r 18 - P_r 26)$;
 если $T13=1$, то $E(4), G(2), D(2), U12, U9$
 $T13 := (P_r 17 - P_r 26)$.

В процессе формирования модулированного по частоте гармонического сигнала системой осуществляется сравнение значений текущей частоты f_M и текущей частоты управления f_{yM} . Напомним, что $f_{yM} = f_M + M\Delta f$, здесь $M = 1, 2, 3, \dots$. При достижении очередного значения f_{yM} блок 21 вырабатывает сигналы, обеспечивающие вычисление некоторых параметров управляемого сигнала (действующего значения первой гармоники U_1 , действующего значения сигнала U_0 , коэффициента гармоник K_f) и реализацию функции управления. Отмеченные операции системой реализуются периодически с периодом дискретности $T_A = \frac{1}{\Delta f}$. Указанные действия инициируются единичным состоянием триггера 33. Как уже отмечалось, его исходное состояние ноль. Текущее состояние определяется соотношением содержимых регистров 26 и 47. Для сравнения указанных величин блок 21 управления вырабатывает сигналы $G(2)$, $D(2)$ и $E(8)$, по которым сигналы с выходов регистров 26 и 47 поступают на информационные входы алгебраического сумматора 15, где по сигналу У11 реализуется операция вычитания. Знак разности с выхода знакового разряда сумматора поступает на второй вход сумматора 32 по модулю два. На его первый вход постоянно подается инверсное значение состояния триггера 13 (триггер 13 в данный момент не меняет свое состояние, так как отсутствует сигнал У9). Результат сложения по модулю два указанных величин по сигналу У16 записывается в триггер 33, т.е.

$G(2), D(2), E(8), U11, U16$ $T33 :=$
 $= T13 \oplus \text{sign}(P_r 26 - P_r 47)$,

здесь \oplus - знак суммы по модулю два.

Параллельно с формированием гармонического сигнала, как и ранее, система проводит анализ управляемого сигнала (дискретный эквивалент которого по сигналам У9 снимается с выхода аналого-цифрового преобразователя 12).

Процедура вычисления квадрата действующего напряжения уже описана.

Поэтому здесь приведем лишь формализованное ее описание:

$B(1), U5, U6, 3(6), I(5), U34$ $UMH43 :=$
 $= АЦП12 \cdot АЦП12$;

$D(1), E(5), U11, U14, U8$ $P_r 28 :=$
 $= (UMH43 - P_r 34) \cdot 2^{-R}$;

$3(2), I(1), G(2), U34$ $UMH43 :=$
 $= P_r 28 \cdot P_r 26$ - лин.

20 $3(2), I(1), G(1), U34$ $UMH43 :=$
 $= P_r 28 \cdot ФП27(P_r 26)$ - лог.;

$Ц(1), E(5), U10, U13, U31$ $P_r 34 :=$
 $= P_r 34 + UMH43$

25 Далее система вычисляет мнимую U_a и действительную U_b составляющие амплитуды первой гармоники. При этом используется преобразование Фурье.

При вычислении U_a системой реализуются следующие операции. По сигналу $I(5)$ код с выхода преобразователя 12 поступает на первый информационный вход умножителя 43. На его второй информационный вход по сигналу $3(3)$ через мультиплексор 41 поступает код с выхода преобразователя 24 фазы в амплитуду, который по сигналу У2 вырабатывает код функции \sin от аргумента, записанного в регистре 23. По сигналу У34 в умножителе формируется код произведения указанных величин, т.е.

$I(5), 3(3), U2, U34$ $UMH43 :=$
 $= АЦП12 \cdot Ф24(\sin P_r 23)$.

45 Далее, как и ранее, реализуется алгоритм экспоненциального усреднения. По сигналу $D(1)$ код с выхода умножителя 43 через мультиплексор 29 поступает на первый информационный вход сумматора 15. На его второй информационный вход по сигналу $E(6)$ через мультиплексор 30 поступает код с регистра 35 (в исходном состоянии ноль). По сигналу У11 реализуется операция вычитания. Полученный код разности при прохождении через регистр 31 сдвигается под воздействием сигнала У14, сдвигается вправо на R разрядов (код

умножается на 2^R). Полученный код с выхода регистра 31 сдвига под действием сигнала У8 записывается в рабочий регистр 28, т.е.

$$D(1), E(6), U_{11}, U_{14}, U_8) P_r 28 := \\ = (УМН43 - P_r 35) \cdot 2^{-R}.$$

Под действием сигнала 3(2) на второй информационный вход умножителя 43 через мультиплексор 41 поступает ранее полученный код с выхода регистра 28. На первый информационный вход умножителя 43 через мультиплексор 42 по сигналу И(1) поступает код через мультиплексор 14, либо с выхода регистра 26, если сформирован сигнал Г(2), либо с выхода преобразователя 27, если сформирован сигнал Г(1). По сигналу У34 в умножителе 43 выполняется операция умножения, т.е.

$$3(2), И(1), Г(2), У34) УМН43 := \\ = P_r 28 \cdot P_r 26 \quad - \text{лин.}$$

$$3(2), И(1), Г(1), У34) УМН43 := \\ = P_r 28 \cdot \text{ФП27}(P_r 26) \quad - \text{лог.}$$

Затем под действием сигналов Д(1), Е(6), У 10, У13, У32 реализуется операция сложения кода, хранящегося в регистре 35 (проходит на сумматор 15 через мультиплексор 39), и кода, хранящегося в блоке 43 (проходит на сумматор 15 через мультиплексор 29), результат сложения, проходя без изменения через регистр 31 сдвига, записывается в регистр 35. Таким образом, в регистре 35 накапливается код

$\frac{1}{2} U_a^*$ мнимой составляющей амплитуды первой гармоники.

$$D(1), E(6), U_{10}, U_{13}, U_{32}) P_r 35 := \\ = P_r 35 + УМН43.$$

Вычисление U_b осуществляется аналогично рассмотренному выше с той лишь разницей, что с преобразователя 24 снимается код функции \cos , а не \sin , и что результат накапливается в регистре 36, т.е.

$$И(5), У3, 3(3), У34) УМН43 := \\ = АЦП12 \text{ ПФА24} (\cos P_r 23);$$

$$D(1), E(7), U_{11}, U_{14}, U_8) P_r 28 := \\ = (УМН43 - P_r 36) \cdot 2^{-R};$$

$$\begin{cases} 3(2), И(1), Г(2), У34) УМН43 := \\ = P_r 28 \cdot P_r 26 \quad - \text{лин.}, \\ 3(2), И(1), Г(1), У34) УМН43 := \\ = P_r 28 \cdot \text{ФП27}(P_r 23) \quad - \text{лог.}; \end{cases}$$

$$D(1), E(7), U_{10}, U_{13}, U_{33}) P_r 36 := \\ = P_r 36 + УМН43.$$

Так накапливается код $\frac{1}{2} U_b^*$.

5 Повторяя указанную последовательность операций, система обеспечивает непрерывное формирование испытательного сигнала: гармонический сигнал с линейным или логарифмическим законом частотной модуляции (частный случай - с фиксированной частотой) и анализ (получение оценок квадрата действующего значения управляемого сигнала, действительной и мнимой составляющей амплитуды первой гармоники). Кроме того, как уже отмечалось, периодически, с периодом

дискретности $T_A = \frac{1}{\Delta f}$, система осу-

20 ществляет вычисление действующих значений сигнала и его первой гармоники и коэффициента нелинейных искажений, и реализует функцию управления. Это выполняется при сравнении значений текущей частоты f_n и текущей частоты управления f_{yM} по сигналу с триггера 33 управления, поступающему в блок 21 управления. При этом блок 21 управления вырабатывает сигналы 3(4) и И(3), по которым код с регистра 35 через мультиплексоры 41 и 42 поступает на оба информацион-

25 ных входа умножителя 43, где по сигналу У34 реализуется операция умножения, т.е.

$$3(4), И(3), У34) УМН43 := P_r 35 \cdot P_r 35.$$

Далее по сигналу Д(1) код квадрата мнимой составляющей амплитуды первой гармоники через мультиплексор 29 поступает на первый информационный вход сумматора 15. На его второй информационный вход по сигналу Е(1) через мультиплексор 30 поступает код нуля. По сигналу У10 реализуется операция сложения ($U_a^2 + 0$). По сигналу У13 код полученной суммы проходит без изменений через сдвигатель 31 и по сигналу 18 записывается в регистр 28 (здесь операции, выполняемые по сигналам Д(1), Е(1), У10, У13, не имеют самостоятельной функциональной нагрузки. С их помощью лишь обеспечивается передача кода с выхода умножителя 43 на вход регистра 28), т.е.

$$D(1), E(1), U_{10}, U_{13}, U_8) P_r 28 := УМН43.$$

Затем по сигналам 3(5) и И(4) код с выхода регистра 36 через мультиплексоры 41 и 42 поступает на оба информационных входа умножителя 43, где по сигналу У34 реализуется операция умножения, т.е.

$$3(5), И(4), У34 \text{ УМН}43 := P_r 36 \cdot P_r 36.$$

По сигналу Д(1) код полученного произведения с выхода умножителя 43 поступает через мультиплексор 29 на первый информационный вход сумматора 15. На его второй вход по сигналу Е(9) через мультиплексор 30 поступает код с выхода регистра 28. По сигналу У10 сумматор 15 реализует операцию сложения. Полученный код суммы, проходя (по сигналу У15) через регистр 31 сдвига, сдвигается на два разряда влево (умножается на четыре) и по сигналу У8 записывается в регистр 28, т.е.

$$Д(1), Е(9), У10, У15, У8) P_r 28 := 2^2 \times (P_r 28 + \text{УМН}43).$$

Далее по сигналу Ж(2) код с выхода регистра 28 поступает через мультиплексор 37 на блок 38 извлечения корня, где по сигналу У20 реализуется функция извлечения корня квадратного, т.е.

$$Ж(2), У20) \text{БК}38 := \sqrt{P_r 28}.$$

Полученный код действующего значения первой гармоники сигнала (напомним: $U_{1a} = U_{1n} / \sqrt{2}$, $U_{1m} = \sqrt{(2U_a)^2 + (2U_b)^2}$) с выхода блока 38 по сигналу У21 записывается в регистр 39, т.е.

$$У21) P_r 39 := \text{БК}38,$$

Действующее значение управляемого сигнала вычисляется под действием следующих сигналов: по сигналу Ж(3) код квадрата действующего значения, накопленный ранее в регистре 34, подается через мультиплексор 37 на вход блока 38, где под действием сигнала У20 выполняется операция извлечения корня квадратного, т.е.

$$Ж(3), У20) \text{БК}38 := P_r 34.$$

Полученный код действующего значения сигнала с выхода блока 38 по сигналу У22 заносится в регистр 40, т.е.

$$У22) P_r 40 := \text{БК}38.$$

Коэффициент нелинейных искажений, определяемый по формуле $K_n = \sqrt{\frac{U_a^2 - U_{1a}^2}{U_{1a}^2}}$

*100, вычисляется под действием следующих управляющих сигналов. По сигналу Е(5) код с регистра 34 поступает на второй информационный вход сумматора 15. На его первый вход подается код с выхода регистра 28 (под действием сигнала Д(3)). По сигналу У12 в алгебраическом сумматоре 15 реализуется операция "инверсного" вычитания (от содержимого регистра 34 отнимается содержимое регистра 28). Код полученной разности проходит через сдвигатель 31 (по сигналу У13) без изменения и по сигналу 3(7) поступает на второй информационный вход умножителя - делителя 43. На его первый вход по сигналу И(2) поступает код с регистра 28. По сигналу У35 реализуется операция деления, т.е.

$$Е(5), Д(3), У12, У13, 3(7), И(2), У35) \text{УМН}43 := (P_r 34 - P_r 28) / P_r 28.$$

Код полученного частного по сигналу Ж(1) поступает через мультиплексор 37 на вход блока 38, где по сигналу У20 реализуется операция извлечения корня квадратного, т.е.

$$Ж(1), У20) \text{БК}38 := \sqrt{\text{УМН}43}.$$

По сигналу 3(1) на второй вход умножителя 43 через мультиплексор 41 подается код с выхода блока 38, а на первый вход - код "100" через мультиплексор 42 по сигналу И(6). По сигналу У34 в умножителе 43 реализуется операция умножения. Код полученного произведения по сигналу У36 записывается в регистр 44, т.е.

$$3(1), И(6), У34) \text{УМН}43 := \text{БК}38 \cdot 100; \\ У36) P_r 44 := \text{УМН}43.$$

Каждому значению частоты управления f_{yM} поставлен в соответствие код в счетчике 20. При увеличении значения f_{yM} на Δf код в счетчике 20 увеличивается на единицу. Это происходит если триггер 13 направления развертки установлен в ноль. Если триггер 13 установлен в единицу, то при уменьшении значения на Δf (или $\log f_{yM}$ на $\Delta \log f_{yM}$) код в счетчике 20 уменьшается на единицу. Такое увеличение кода в счетчике 20 осуществляется по сигналу У24. По сигналу У25 осуществляется уменьшение кода в счетчике 20 на единицу. Следовательно, по сигналам У29 в соответствующие "страницы" памяти по выб-

ранним адресам могут быть записаны коды с регистров 39, 40 и 44 (это производится без изменения кода в счетчике 20), т.е.

$$\begin{aligned} \text{Л}(2), \text{У}29 \text{ БП}46 [\text{Л}(2) + \text{С}_4 20] &:= \text{Р}_r 39; \\ \text{Л}(3), \text{У}29 \text{ БП}46 [\text{Л}(3) + \text{С}_4 20] &:= \text{Р}_r 40; \\ \text{Л}(4), \text{У}29 \text{ БП}47 [\text{Л}(4) + \text{С}_4 20] &:= \text{Р}_r 44. \end{aligned}$$

После получения оценок параметров управляемого сигнала реализуется выбранный алгоритм управления (в каждой точке f_{yM}) коэффициентом передачи аттенюатора. По сигналам Л(3) У30 текущий код U_{∂} считается из соответствующей ячейки памяти блока 46. По сигналу Н(4) он поступает через мультиплексор 48 на входы регистров 5, 47, 49 и 50. По сигналу У43 указанный код записывается в регистр 50, т.е.

Л(3), У30, Н(4), У43 $\text{Р}_r 50 := \text{БП}46 [\text{Л}(3) + \text{С}_4 20]$.
Затем по сигналам Л(1), У24 или У25 и У30 из соответствующей ячейки памяти блока 46 считывается код эталонного значения f_{yM} (У25 уменьшает, а У24 увеличивает содержимое счетчика 20 на единицу). По сигналам Н(4) и У40 этот код через мультиплексор 48 записывается в регистр 49, т.е.

$$\text{Л}(1), \text{У}25/\text{У}24, \text{У}30, \text{Н}(4), \text{У}40 \text{ Р}_r 49 := \text{БП} [\text{Л}(1) + \text{С}_4 20].$$

По сигналу У42 в сумматоре 51 реализуется операция вычитания. Код полученной разности по сигналу Н(2) проходит через мультиплексор 48 и по сигналу У40 записывается в регистр 49, т.е.

У42, Н(2), У40 $\text{Р}_r 49 := \text{Р}_r 49 - \text{Р}_r 50$.
Затем по сигналам Н(11) и У43 код $U_{\text{макс}}$ записывается в регистр 50. По сигналу У45 в блоке 52 реализуется операция деления, результат которой по сигналу И(3) проходит через мультиплексор 48, а по сигналу У43 записывается в регистр 50, т.е.

$$\begin{aligned} \text{Н}(11), \text{У}43 \text{ Р}_r 50 &:= U_{\text{макс}} \\ \text{У}45 \text{ Н}(3), \text{У}43 \text{ Р}_r 50 &:= \text{Р}_r 49 / \text{Р}_r 50 \end{aligned}$$

По сигналу Н(8) код К коэффициента пропорциональности проходит через мультиплексор 48, а по сигналу У40 записывается в регистр 49, т.е.

$$\text{Н}(8), \text{У}40 \text{ Р}_r 49 := \text{К}.$$

По сигналу У44 в умножителе 53 реализуется операция умножения. Код про-

изведения по сигналу Н(3) проходит через мультиплексор 48 и по сигналу У43 записывается в регистр 50, т.е.

$$5 \quad \text{У}44, \text{Н}(3), \text{У}43 \text{ Р}_r 50 := \text{Р}_r 49 \cdot \text{Р}_r 50.$$

Далее, по сигналу Н(10) код с выхода регистра 5 проходит через мультиплексор 48, а по сигналу У40 записывается в регистр 49, т.е.

$$\text{Н}(10), \text{У}40 \text{ Р}_r 49 := \text{Р}_r 5.$$

Наконец, по сигналу У41 реализуется операция сложения. Полученный код суммы по сигналу Н(2) проходит через мультиплексор 48, а по сигналу У39 записывается в регистр 5, т.е.

$$\text{У}41, \text{Н}(2), \text{У}39 \text{ Р}_r 5 := \text{Р}_r 49 + \text{Р}_r 50.$$

Таким образом, реализуется выбранный для примера алгоритм управления вида

$$K_{\text{атт}, i+1} = K_{\text{атт}, i} \cdot K \frac{U_{\partial i+1}^{\text{эт}} - U_{\partial i}}{U_{\text{макс}}}$$

$$25 \quad \text{или} \quad K_{\text{атт}, i+1} = K_{\text{атт}, i} + K \frac{U_{\partial i+1}^{\text{эт}} - U_{\partial i}}{U_{\text{макс}}}$$

(в зависимости от направления развертки частоты).

Полученный код коэффициента $K_{\text{атт}, i+1}$ определяет значение коэффициента передачи аттенюатора 4, фиксированное до следующего "момента управления", определяемого очередным значением f_{yM} . Очередное значение частоты управления f_{yM} вычисляется следующим образом.

По сигналу Н(5) код с выхода регистра 47 проходит мультиплексор 48 и по сигналу У40 записывается в регистр 49, т.е.

$$\text{Н}(5), \text{У}40 \text{ Р}_r 49 := \text{Р}_r 47.$$

По сигналу Н(7) код Δf или $\Delta \log f$ проходит через мультиплексор 48 и по сигналу У43 записывается в регистр 50, т.е.

$$\begin{aligned} \text{Н}(7), \text{У}43 \text{ Р}_r 50 &:= \Delta f - \text{лин.}, \\ \text{Р}_r 50 &:= \Delta \log f - \text{лог.} \end{aligned}$$

Затем по сигналу У43 сумматор 51 реализует операцию сложения. Код полученной суммы по сигналу Н(2) проходит мультиплексор 48 и по сигналу У37 записывается в регистр 47, т.е.

$$\text{У}41, \text{Н}(2), \text{У}37 \text{ Р}_r 47 := \text{Р}_r 49 + \text{Р}_r 50$$

Так реализуется итерационная процедура вида $f_{yM, i} = f_{yM} + \Delta f$ или $\log f_{yM, i} = \log f_{yM} + \Delta \log f$, если триггер 13 ус-

тановлен в ноль. Если триггер 13 находится в единице, то реализуется процедура $f_{y_{м.г}} = f_{y_{м}} - \Delta f$. Это происходит аналогично описанному, только вместо сигнала У41 на сумматор 51 подается сигнал У42. При этом реализуется операция вычитания, т.е.

$$У42, Н(2), У37) P_r 47 := P_r 49 - P_r 50.$$

При проведении испытаний на вибропрочность и на виброустойчивость выбирают необходимое число N полных циклов изменения частоты от f_n до f_b и обратно. При изменении f_n периодически происходит изменение состояния триггера 13. Сигнал Х1 о состоянии триггера 13, проходя через блок 21 управления, поступает на вычитающий вход счетчика 53. Этот управляющий сигнал У27 уменьшает каждый раз на единицу содержимое счетчика 53. При поступлении на вычитающий вход счетчика $53N$ импульсов (сигналов У27) в нем формируется сигнал Х5 отрицательного переполнения, который указывает на то, что программа испытаний завершена.

По завершению программы испытаний или в любой момент по желанию оператора, который подает сигнал "Стоп", блок 21 управления вырабатывает сигналы, обеспечивающие плавный сброс управляющего сигнала. Данная процедура аналогична процедуре выхода на режим. Однако при этом осуществляется не увеличение, а уменьшение значения $K_{атт}$ до нуля. Это реализуется следующим образом.

По сигналам Н(9), У 43 в регистр 50 через мультиплексор 48 заносится код $\Delta K_{атт}$, а по сигналам Н(10), У 40 в регистр 49 из регистра 5 через мультиплексор 48 заносится код $K_{атт_n}$, т.е.

$$Н(9), У43) P_r 50 := \Delta K_{атт}, \\ Н(10), У40) P_r 40 := P_r 5.$$

По сигналу У42 в сумматоре 51 реализуется операция вычитания. Если результат отрицательный ($K_{атт_n} < \Delta K_{атт}$), то вырабатывается сигнал У38 (на основе анализа сигнала Х3), и регистр 5 устанавливается в ноль. Если результат положительный, то вырабатываются сигналы Н(2), У39 занесения разности в регистр 5, т.е.

$$У42, У38) P_r 5 := 0, \text{ если } P_r 49 - P_r 50 < 0; \\ У42, Н(2), У39) P_r 5 := P_r 49 - P_r 50, \text{ если } \\ P_r 49 - P_r 50 \geq 0.$$

После выработки сигнала У39 блок 21 управления периодически вырабатывает сигналы Н(10), У42, Н(2), У39 до установления регистра 5 в нулевое положение (до появления сигнала У38). На этом система заканчивает свою работу.

Таким образом, введение новых функциональных блоков и связей обеспечивает предлагаемой системе управления вибростендом по сравнению с известной ряд существенных преимуществ: повышена точность воспроизведения испытательных сигналов; расширен частотный диапазон изменения испытательных сигналов; расширен диапазон изменения скорости развертки частоты испытательных сигналов; обеспечена возможность проведения анализа результатов испытания путем вычисления оценок коэффициента нелинейных искажений, действующих значений управляемого сигнала и его первой гармоники; обеспечена полная автоматизация управления работой вибростенда по заданной программе; обеспечена автоматизация задания программы испытаний; обеспечен плавный сброс управляющего сигнала при завершении программы испытаний либо по команде оператора; обеспечен плавный выход на режим.

Несомненным преимуществом системы управления вибростендом является использование принципа микропрограммного управления, который позволяет изменить алгоритм работы системы с целью повышения качества управления. В конкретной реализации использована современная элементная база. Все это существенно расширяет функциональные возможности известных устройств аналогичного назначения и позволяет существенно сократить перечень измерительных приборов и устройств, используемых при проведении вибрационных испытаний на гармоническое воздействие фиксированной или качающейся частоты.

50 Ф о р м у л а и з о б р е т е н и я

Система управления вибростендом, содержащая последовательно соединенные регистр цифроаналогового преобразователя, цифроаналоговый преобразователь, фильтр нижних частот, аттенюатор, усилитель мощности, вибростенд, группу вибродатчиков, коммутатор, масштабирующий усилитель, блок

аналоговой памяти, аналого-цифровой преобразователь, а также триггер направления развертки, мультиплексор задания закона модуляции частоты, первый алгебраический сумматор, регистр задания скорости развертки, информационный вход которого является входом задания скорости развертки системы, регистр задания нижней границы диапазона развертки, информационный вход которого является входом задания нижней границы диапазона развертки системы, последовательно соединенные регистр задания верхней границы диапазона развертки, информационный вход которого является входом задания верхней границы диапазона развертки системы, и мультиплексор выбора направления развертки, а также реверсивный счетчик адреса, регистр аттенюатора, выход которого подключен к второму информационному входу аттенюатора, и блок управления, первый вход которого является входом задания закона модуляции частоты системы, второй вход - входом запуска системы, третий вход - первым тактовым входом системы, четвертый вход - входом задания начальных условий системы, а выходы блока управления соединены соответственно с управляющими входами регистра цифроаналогового преобразователя, коммутатора, блока аналоговой памяти, аналого-цифрового преобразователя, двумя входами регистра аттенюатора, с входом регистра задания скорости развертки, с входом регистра задания нижней границы диапазона развертки и с входом регистра задания верхней границы диапазона развертки, о т л и ч а ю щ а я с я тем, что, с целью расширения функциональных возможностей, в систему введены последовательно соединенные мультиплексор выбора фазы, регистр задания фазы и преобразователь фазы в амплитуду, последовательно соединенные мультиплексор выбора частоты, регистр задания частоты и функциональный преобразователь, последовательно соединенные рабочий регистр и мультиплексор выбора первого слагаемого, а также мультиплексор выбора второго слагаемого, регистр сдвига, последовательно соединенные сумматор по модулю два и триггер управления, а также три регистра памяти, последовательно соединенные

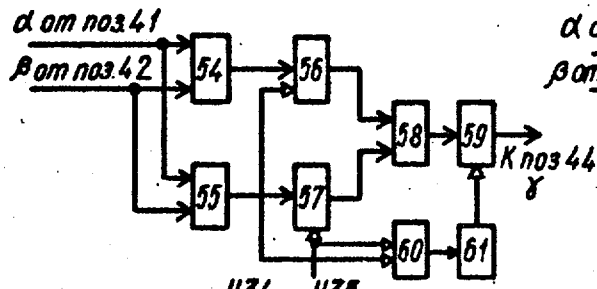
мультиплексор выбора подкоренного выражения, блок извлечения корня и регистр хранения действующего значения первой гармоники, а также регистр хранения действующего значения сигнала, мультиплексор выбора первого сомножителя, последовательно соединенные мультиплексор выбора второго сомножителя, первый блок умножения - деления, регистр хранения коэффициента гармоник, мультиплексор блока памяти и блок памяти, последовательно соединенные регистр частоты управления, мультиплексор выбора операнда и регистр первого операнда, последовательно соединенные регистр второго операнда и второй блок умножения - деления, а также второй алгебраический сумматор и счетчик циклов, причем второй информационный вход второго блока умножения - деления подключен к второму информационному входу мультиплексора выбора операнда, к выходу регистра первого операнда и первому информационному входу второго алгебраического сумматора, выход которого подключен к третьему информационному входу мультиплексора выбора операнда, выход знакового разряда второго алгебраического сумматора подключен к пятому входу блока управления, а второй информационный вход - к выходу регистра второго операнда, выход второго блока умножения - деления соединен с четвертым информационным входом мультиплексора выбора операнда, пятый информационный вход которого подключен к выходу блока памяти и к информационному выходу системы, информационный вход регистра частоты управления подключен к информационным входам соответственно регистра аттенюатора, регистров второго и первого операндов, шестой, седьмой, восьмой и девятый информационные входы мультиплексора выбора операнда являются соответственно входом задания начальной частоты, входом задания периода дискретности, входом задания коэффициента пропорциональности закона управления и входом задания приращения коэффициента передачи аттенюатора системы, десятый информационный вход подключен к выходу регистра аттенюатора, а одиннадцатый вход является входом задания кода максимального значения напряжения на выходе аттенюато-

ра системы, вход задания нулевого кода системы подключен к первому информационному входу мультиплексора выбора второго слагаемого, второй информационный вход которого подключен к информационному входу преобразователя фазы в амплитуду, первый информационный вход мультиплексора выбора фазы соединен с выходом регистра сдвига, с первым информационным входом мультиплексора выбора частоты, с информационным входом рабочего регистра, с первыми информационными входами трех регистров памяти и с первым информационным входом мультиплексора выбора первого сомножителя, а второй информационный вход мультиплексора выбора фазы является входом задания начальной фазы системы, вход задания начальной частоты которой соединен с вторым информационным входом мультиплексора выбора частоты, выход регистра задания частоты соединен с первым входом мультиплексора задания закона модуляции частоты, второй информационный вход которого соединен с выходом функционального преобразователя, а выход мультиплексора соединен с вторым информационным входом мультиплексора выбора первого слагаемого и с первым информационным входом мультиплексора выбора второго слагаемого, второй информационный вход которого соединен с вторым информационным входом мультиплексора выбора первого сомножителя, с первым входом мультиплексора выбора подкоренного выражения, с третьим информационным входом мультиплексора выбора второго слагаемого и с первым информационным входом мультиплексора выбора первого слагаемого, а также с выходом рабочего регистра, третий вход мультиплексора выбора первого слагаемого соединен с вторым информационным входом мультиплексора выбора подкоренного выражения и с выходом первого блока умножения - деления, второй вход которого соединен с выходом мультиплексора выбора первого сомножителя, третий информационный вход которого соединен с входом регистра хранения действующего значения сигнала и с выходом блока извлечения корня, четвертый информационный вход мультиплексора выбора первого сомножителя подключен к выходу преобразователя фазы в амплитуду и к информа-

ционному входу регистра цифроаналогового преобразователя, установочный вход которого подключен к входу установки в ноль триггера управления, к установочным входам трех регистров памяти, к входу задания начальных условий системы и установочному входу регистра задания скорости развертки, выход которого подключен к четвертому информационному входу мультиплексора выбора второго слагаемого, пятый вход которого соединен с выходом мультиплексора выбора направления развертки, второй информационный вход которого соединен с выходом регистра задания нижней границы диапазона развертки, а управляющий вход - с выходом триггера направления развертки и шестым входом блока управления, седьмой вход которого подключен к единичному выходу триггера управления, первый вход сумматора по модулю два подключен к нулевому выходу триггера направления развертки, второй вход сумматора по модулю два подключен к информационному входу триггера направления развертки и к выходу знакового разряда первого алгебраического сумматора, второй вход которого подключен к регистру сдвига, первый информационный вход - к выходу мультиплексора выбора первого слагаемого, а второй информационный вход - к выходу мультиплексора выбора второго слагаемого, шестой информационный вход которого подключен к третьему информационному входу мультиплексора выбора подкоренного выражения и выходу первого регистра памяти, седьмой информационный вход - к выходу второго регистра памяти, к пятому информационному входу мультиплексора выбора первого сомножителя и третьему информационному входу мультиплексора выбора второго сомножителя, четвертый информационный вход которого подключен к выходу третьего регистра памяти, к шестому информационному входу мультиплексора выбора первого сомножителя и восьмому информационному входу мультиплексора выбора второго слагаемого, девятый информационный вход которого подключен к выходу регистра частоты управления, седьмой и пятый соответственно информационные входы мультиплексоров выбора первого и второго сомножителей объединены и подключены

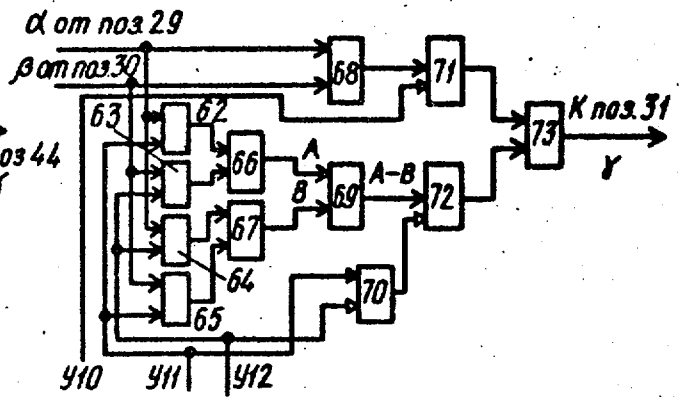
к выходу аналого-цифрового преобразователя, шестой информационный вход мультиплексора выбора второго сомножителя подключен к входу задания кода "Сто" системы, вход задания числа циклов которой подключен к информационному входу счетчика циклов, выход отрицательного переполнения которого подключен к восьмому входу блока управления, девятый вход которого подключен к выходу положительного переполнения реверсивного счетчика адреса, информационный вход которого является входом задания начального адреса системы, а выход - к первому адресному входу блока памяти, второй адресный вход которого объединен с управляющим входом мультиплексора блока памяти, второй, третий и четвертый информационные входы которого подключены соответственно к входу задания эталонных значений управляемой величины системы, к выходу регистра хранения действующего значения первой гармоники и выходу регистра хранения действующего значения сигнала, входы задания направления развертки системы подключены к входам установки в единицу и в ноль триггера направления развертки, вход записи эталона, второй тактовый вход, вход останова системы и вход задания номера канала подключены соответственно к десятому, одиннадцатому, двенадцатому и тринадцатому входам блока управления, соответствующие выходы которого подключены к управляющим входам мультиплексора выбора фазы, мультиплексора выбора частоты, мультиплексора задания закона модуляции, мультиплексора выбора первого слагаемого, мультиплексора выбора второго слагаемого, мультиплексора выбора подкоренного выражения, мультиплексора выбора первого сомножителя

мультиплексора выбора второго сомножителя, мультиплексора блока памяти и мультиплексора выбора операнда, к управляющему входу регистра задания фазы, к первому и второму управляющим входам преобразователя фазы в амплитуду, к управляющему входу регистра задания частоты, к управляющему входу рабочего регистра, к синхронизирующему входу триггера направления развертки, к входам сложения, вычитания и инверсного вычитания: первого алгебраического сумматора, к входам передачи, сдвига вправо и сдвига влево регистра сдвига, к синхронизирующему входу триггера управления, к управляющему входу блока извлечения корня, к управляющему входу регистра хранения действующего значения первой гармоники, к управляющему входу регистра хранения действующего значения сигнала, к установочному входу, к суммирующему входу, к вычитающему входу и управляющему входу реверсивного счетчика адреса, к вычитающему входу и управляющему входу счетчика циклов, к входу записи и входу чтения блока памяти, к управляющему входу первого регистра памяти, к управляющему входу второго регистра памяти, к управляющему входу третьего регистра памяти, к входу умножения и входу деления первого блока умножения - деления, к управляющему входу регистра хранения коэффициента гармоник, к управляющему входу регистра частоты управления, к управляющему входу регистра первого операнда, к суммирующему входу и вычитающему входу второго алгебраического сумматора, к управляющему входу регистра второго операнда, к входу умножения и входу деления второго блока умножения - деления.



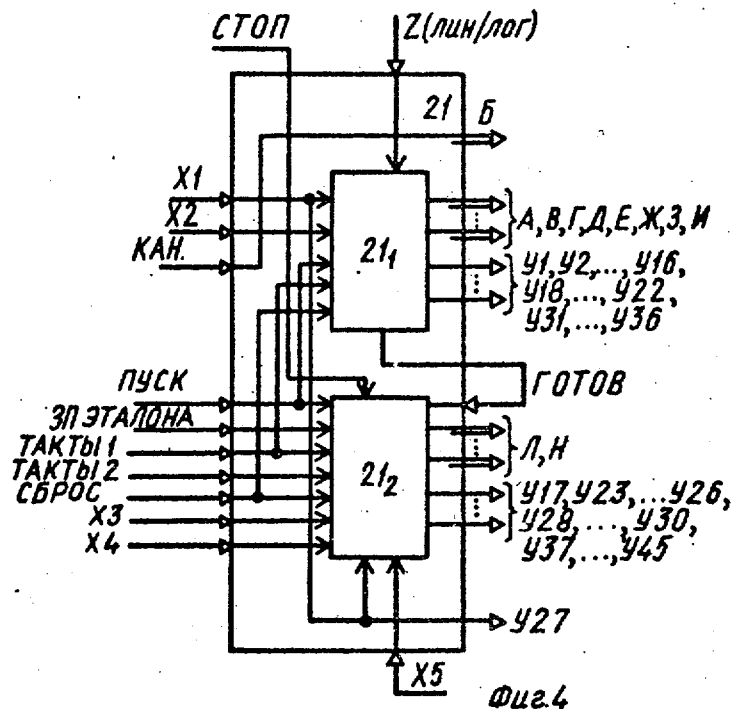
У34) $\gamma = \alpha \cdot \beta$
 У35) $\gamma = \alpha / \beta$

Фиг. 2



У10) $\gamma = \alpha + \beta$; У11) $\gamma = \alpha - \beta$; У12) $\gamma = \beta - \alpha$

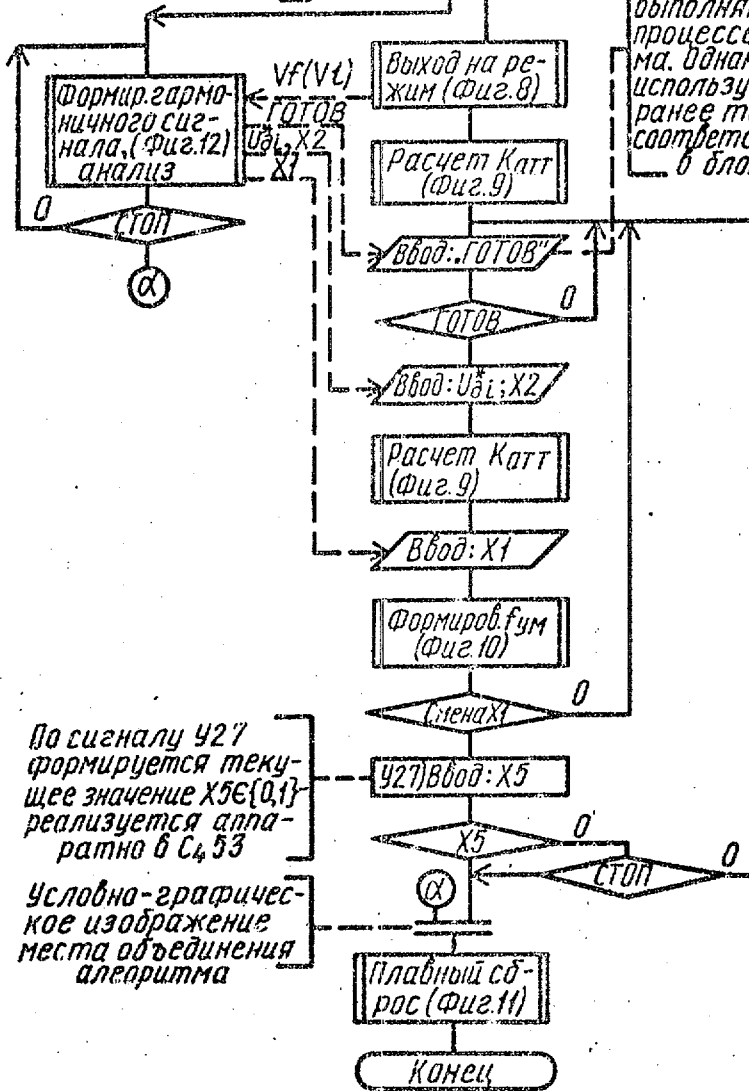
Фиг. 3



Фиг. 4

Осуществляется начальная установка. Если начальное направление развертки частоты определено, то оператор должен перед сигналом „СБРОС“ сформировать соответствующий сигнал РВ/РН. В противном случае Т13 устанавливается в произвольное состояние (0/1) при включении питания

Условно-графическое изображение места распараллеливания алгоритма



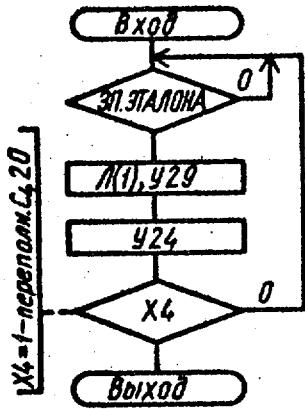
Эта и последующие операторные вершины являются условно выполняемыми, т. е. выполняются только при отсутствии сигнала "СТОП". При появлении сигнала "СТОП" в любой момент времени управление передается вершине "Плавный сброс" (Вход α)

Эта и последующие вершины ввода данных реализуются аппаратно и поэтому могут выполняться в любое время в процессе реализации алгоритма. Однако результаты ввода используются в алгоритме не ранее того момента, который соответствует положению вершины в блок-схеме алгоритма

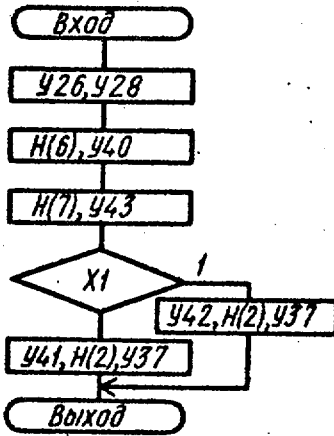
По сигналу У27 формируется текущее значение $X5 \in \{0,1\}$ реализуется аппаратно в С4.53

Условно-графическое изображение места объединения алгоритма

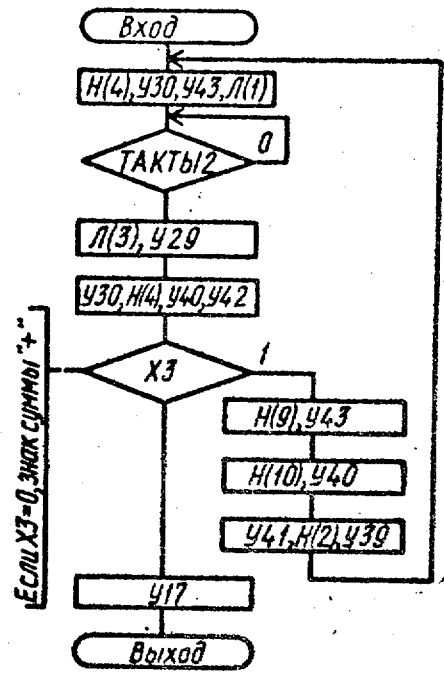
Фиг. 5



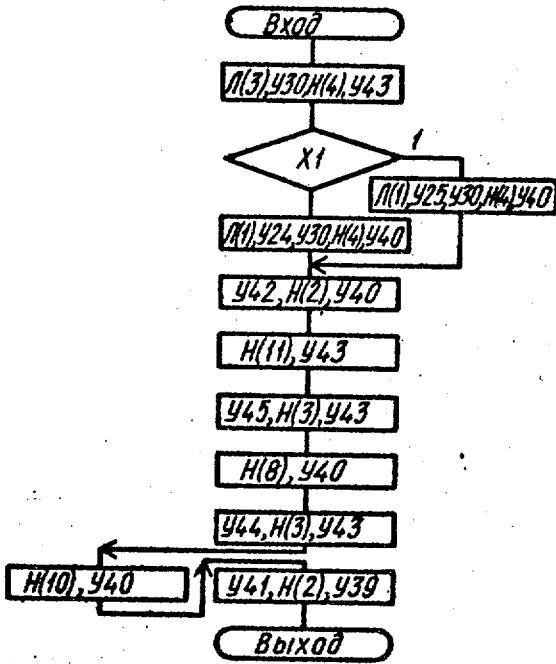
Фиг. 6



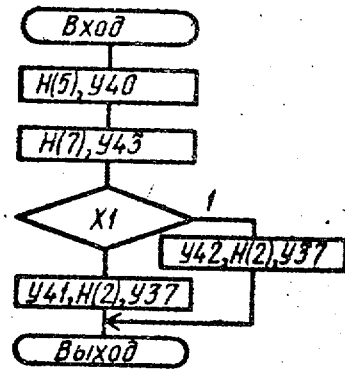
Фиг. 7



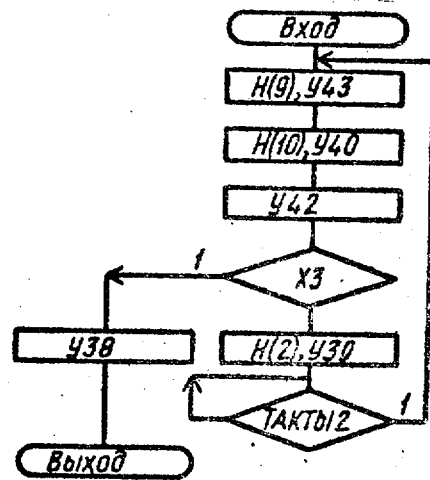
Фиг. 8



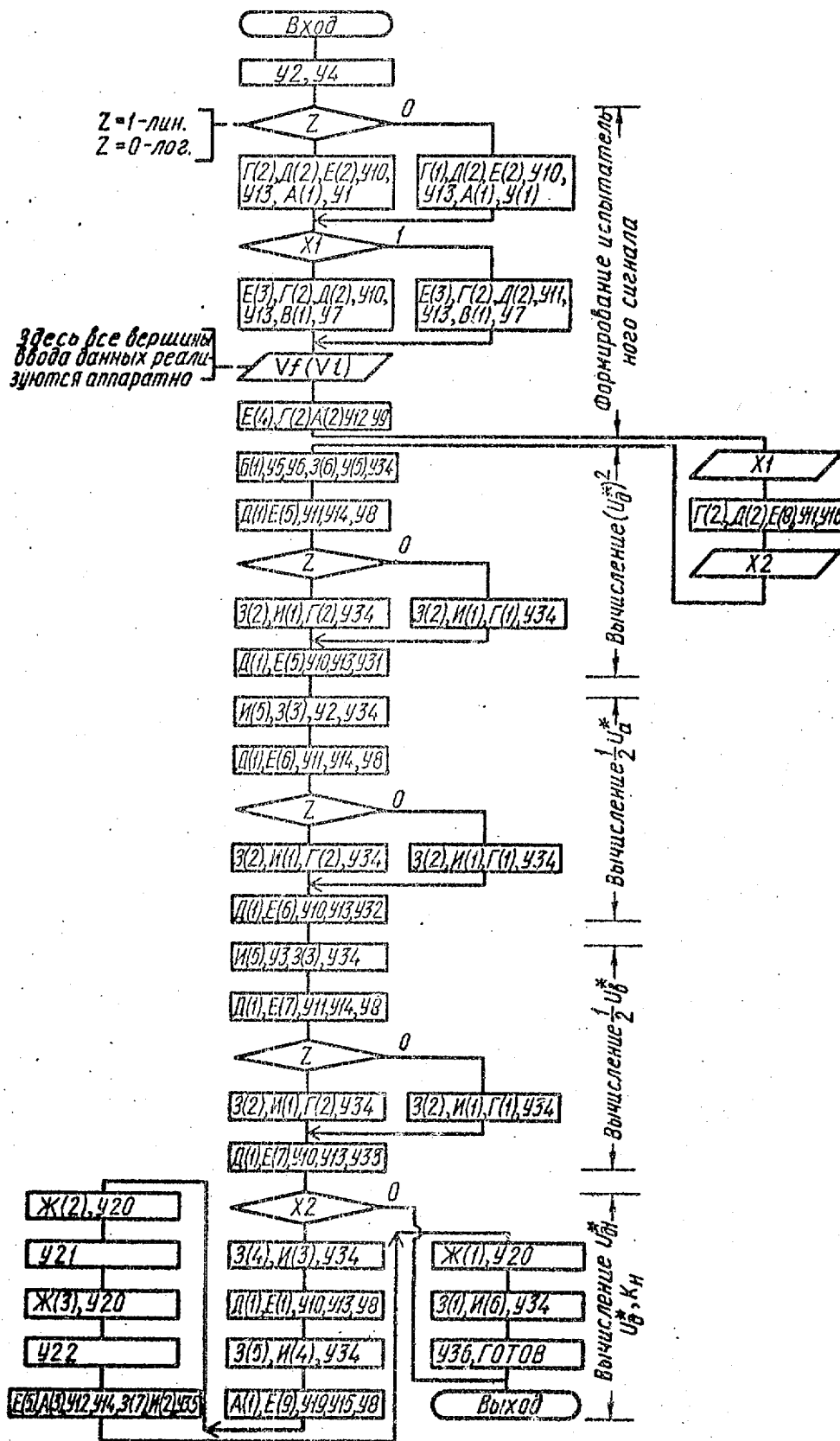
Фиг. 9



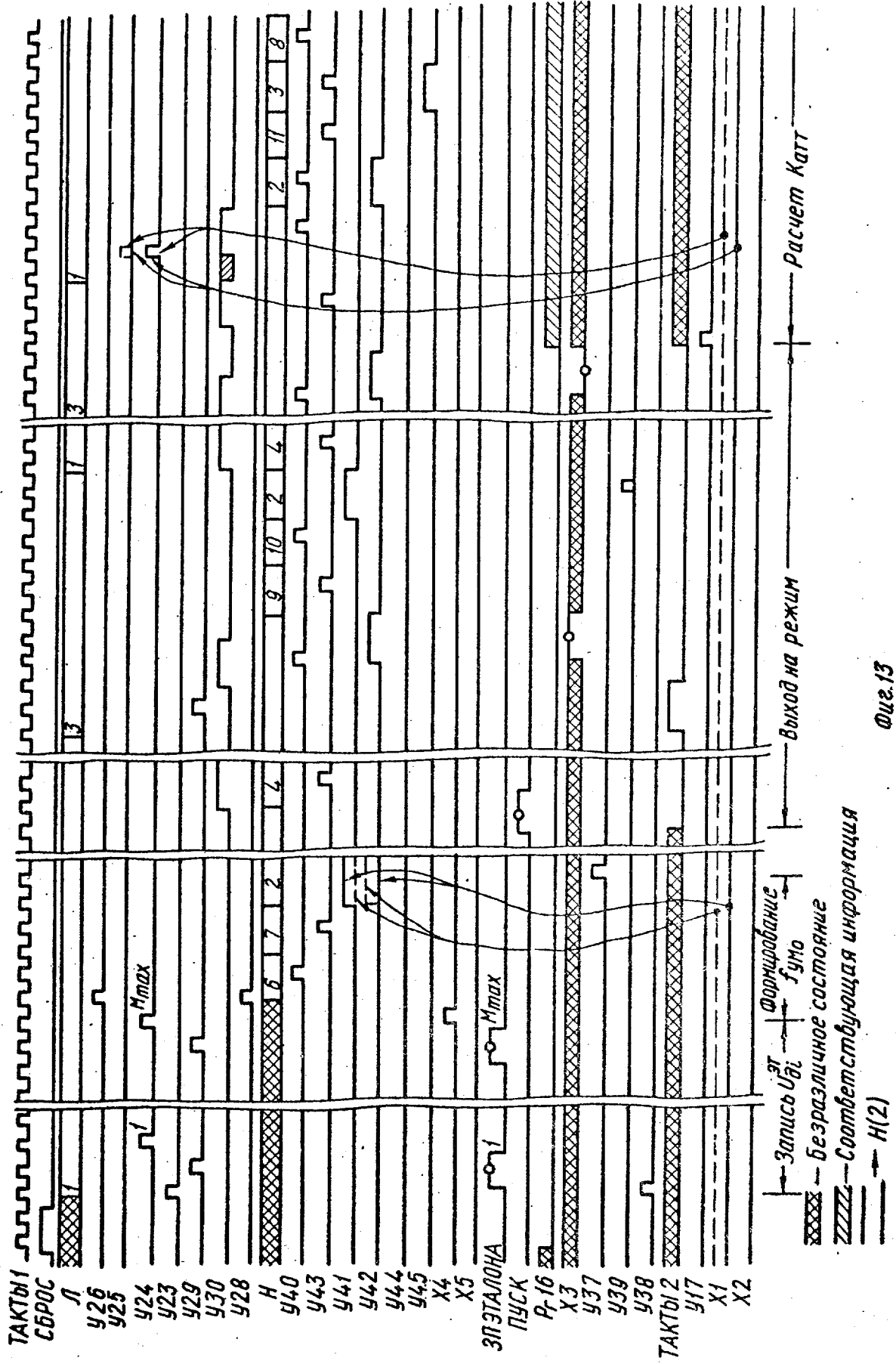
Фиг. 10



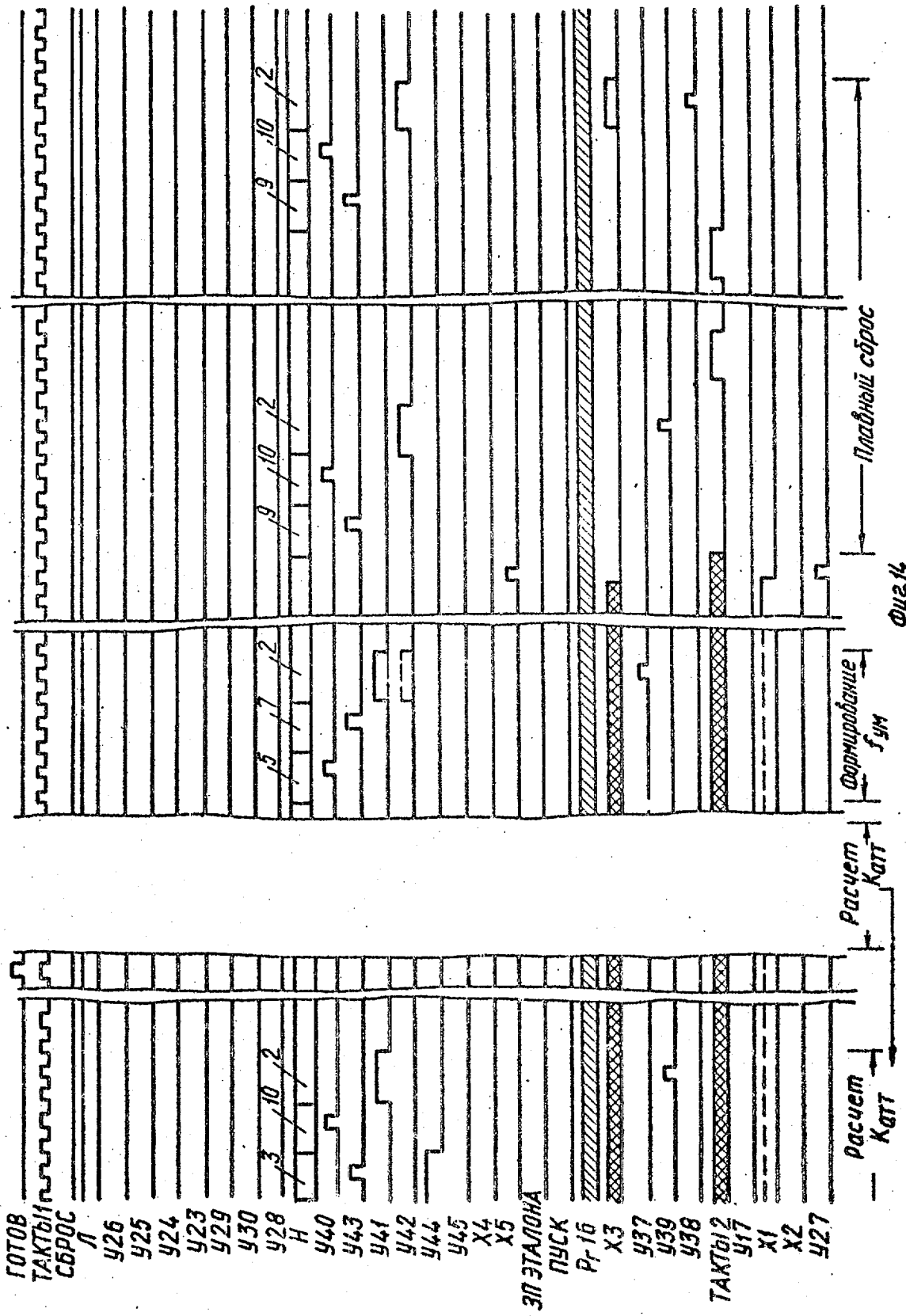
Фиг. 11



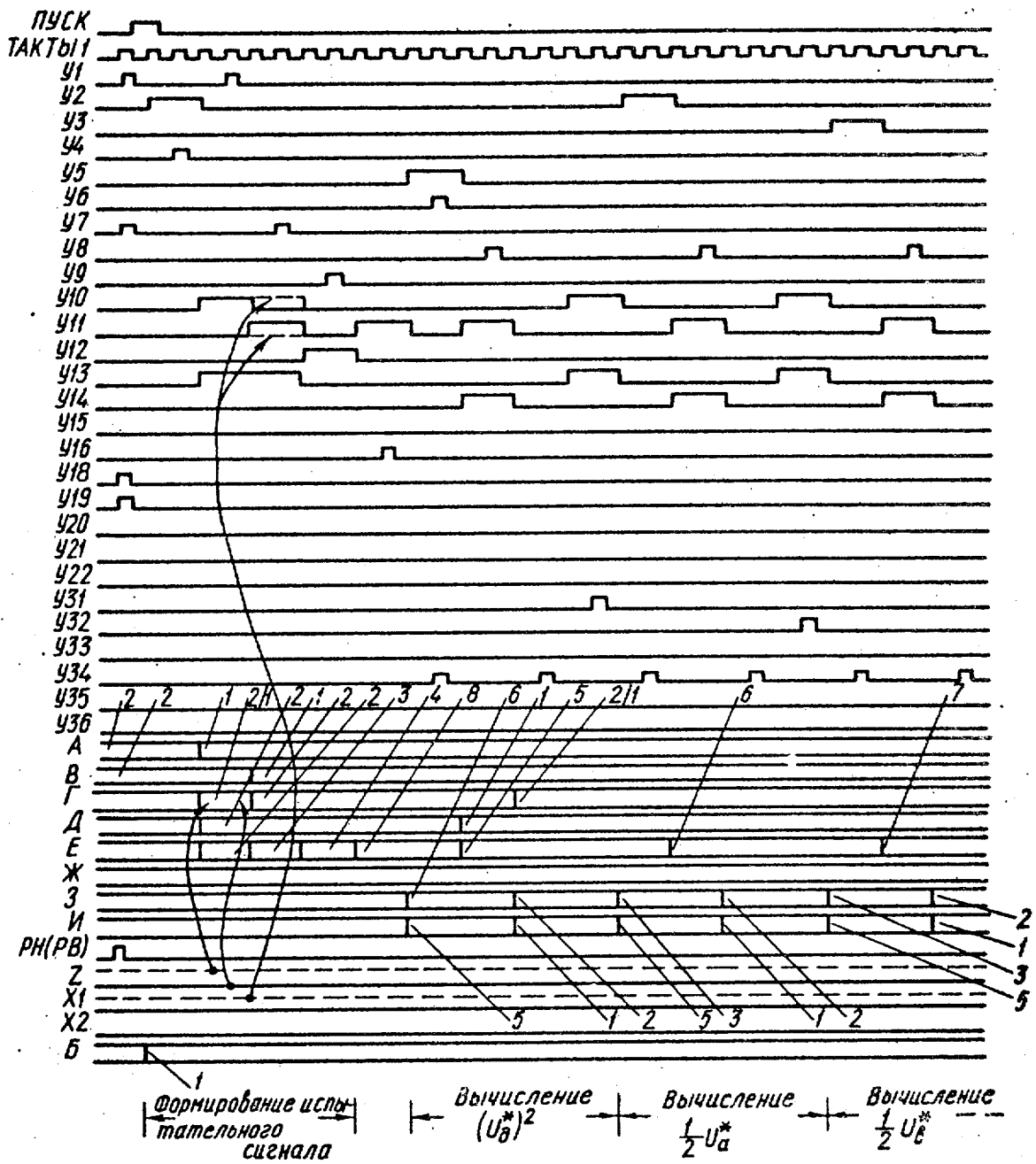
Фиг.12



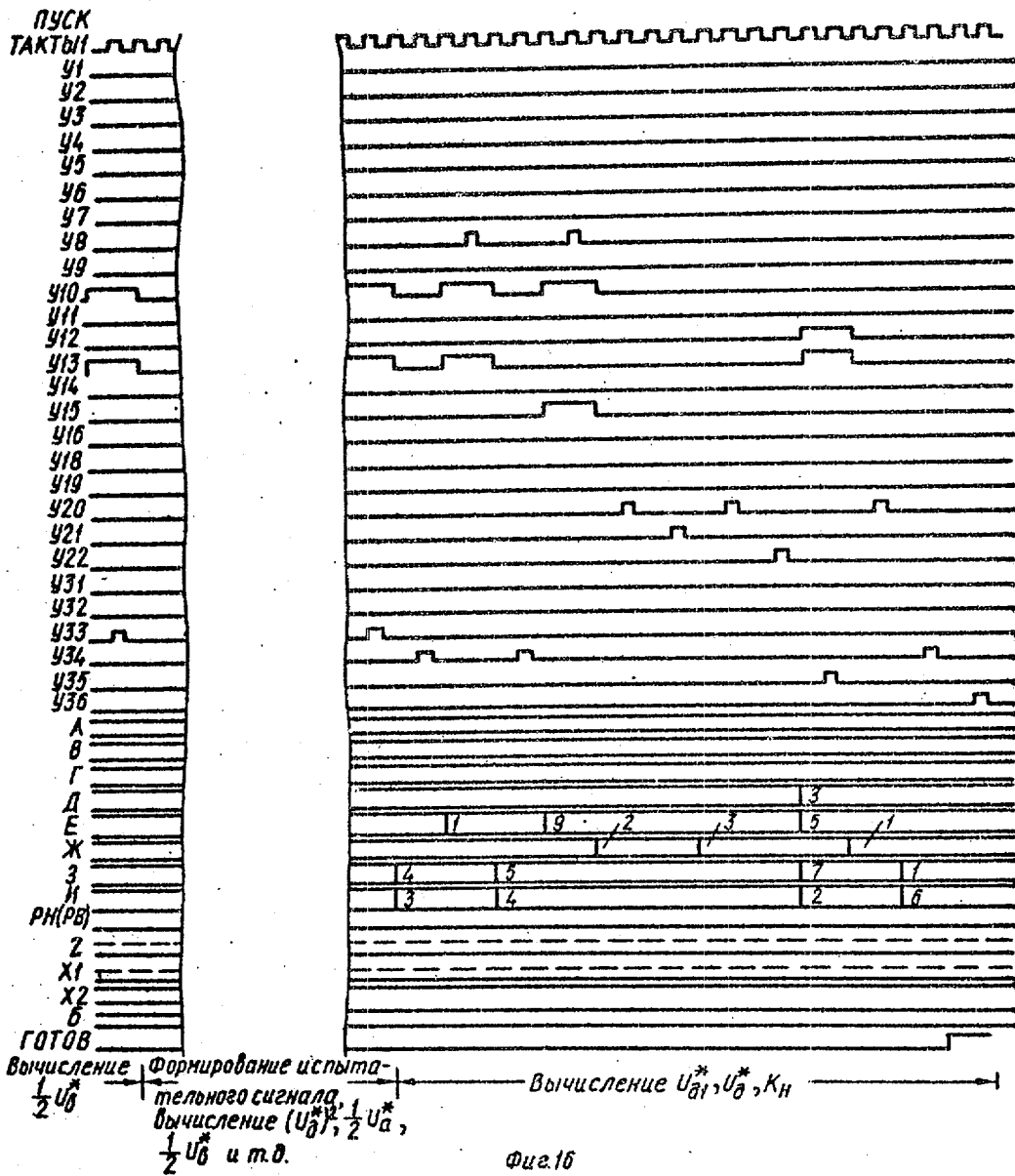
Фиг. 13



Фиг. 14



Фиг.15



Составитель М. Левина
 Редактор В. Иванова Техред Л. Сердюкова Корректор М. Шароши

Заказ 6560/39 Тираж 836 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4