



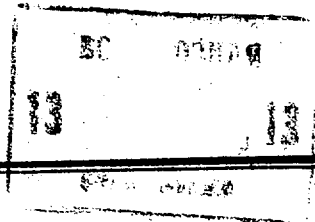
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1257645 A1

(51) 4 G 06 F 9/22

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3840823/24-24

(22) 07.01.85

(46) 15.09.86. Бюл. № 34

(71) Минский радиотехнический инсти-
тут

(72) А.В.Соловей и А.А.Шостак

(53) 681.325 (088,8)

(56) 1. Путков В.Н., Обросов И.И.,
Бекетов С.В. Электронные вычислитель-
ные устройства. Минск.: Вышэйная шко-
ла, 1981, с.225, рис.9.14.

2. Авторское свидетельство СССР
№ 964640, кл. G 06 F 9/22, 1981.

3. Авторское свидетельство СССР
№ 1151962, 1983.

(54) МИКРОПРОГРАММНОЕ УСТРОЙСТВО УП-
РАВЛЕНИЯ

(57) Изобретение относится к вычис-
лительной технике и может быть ис-
пользовано при построении управляю-
щих автоматов. Целью изобретения яв-
ляется сокращение количества исполь-
зуемого оборудования. Устройство со-
держит два блока формирования адре-
са, два блока памяти микрокоманд,
коммутатор, регистр микроопераций,
блок проверки условий и блок форми-
рования адреса зоны. Цель достигнута
за счет введения блока формирования
адреса зоны. 6 ил.

(19) SU (11) 1257645 A1

Изобретение относится к вычислительной технике и может быть использовано при построении управляющих автоматов.

Целью изобретения является сокращение оборудования.

На фиг. 1 приведена структурная схема микропрограммного устройства управления; на фиг. 2, 3, 4 изображены функциональные схемы соответственно блока формирования адреса, блока проверки условий и блока формирования адреса зоны; на фиг. 5, 6 показаны соответственно граф-схема микропрограммы и принцип ее размещения в блоках памяти устройства.

Микропрограммное устройство управления (фиг. 1) содержит первый 1 и второй 2 блоки формирования адреса, первый 3 и второй 4 блоки памяти микрокоманд, коммутатор 5, состоящий из поля 6 кода микроопераций, поля 7 логического условия и поля 8 признака изменения адреса зоны, регистр 9 микроопераций, блок 10 проверки условий и блок 11 формирования адреса зоны. Выходы 12, 13 первого 1 и второго 2 блоков формирования адреса соединены с младшими разрядами адресных входов соответственно первого 3 и второго 4 блоков памяти микрокоманд. Выходы 14, 15 кодов микроопераций, логических условий и признака изменения адреса зоны первого 3 и второго 4 блоков памяти микрокоманд соединены соответственно с первыми и вторым информационными входами коммутатора 5. Выходы 16, 17 кода адреса первого 3 и второго 4 блоков соединены соответственно с информационными входами второго 2 и первого 1 блоков формирования адреса. Выходы 18 - 18_m кода микроопераций коммутатора 5 соединены с информационными входами регистра 9 микроопераций. Выходы 19 - 19_n кода логического условия коммутатора 5 соединены с второй группой входов блока 10 проверки условий и с информационными входами блока 11 формирования адреса зоны, а выход 20 признака изменения адреса зоны коммутатора 5 соединен с управляющими входами блоков 10, 11 проверки условий и формирования адреса зоны соответственно. Выход 21 регистра 9 микроопераций является выходом устройства. Группа входов 22 логических условий уст-

ройства является первой группой входов блока 10 проверки условий, выходы 23, 24 являются первым и вторым выходами блока 10 проверки условий. Выход 25 является выходом блока 11 формирования адреса зоны.

На фиг. 2 представлена одна из возможных реализаций первого 1 блока формирования адреса (второй 2 блок формирования адреса по построению полностью идентичен). Он содержит комбинационный сумматор 26, коммутатор 27 и регистр 28. На вход переноса сумматора 26 заведен с шины 29 сигнал логической единицы.

На фиг. 3 представлена функциональная схема одной из возможных реализаций блока 10 проверки условий. Блок 10 содержит коммутатор 30, регистр 31, второй элемент НЕ 32, дешифратор 33, группу из K элементов И 34 (K - число логических условий), элемент ИЛИ 35 и первый элемент НЕ 36. Второй информационный вход коммутатора 30 соединен с шиной 37 нулевого потенциала.

На фиг. 4 представлена функциональная схема одной из возможных реализаций блока 11 формирования адреса зоны. Он содержит коммутатор 38, регистр 39 и элемент НЕ 40.

Работу устройства рассмотрим на примере выполнения микропрограммы, блок-схема которой изображена на фиг. 5. Размещение рассматриваемой микропрограммы в блоках 3, 4 памяти устройства показано на фиг. 6. На рисунках адреса ячеек памяти, в которых размещены микрокоманды, изображаются в виде старших и младших разрядов. Старшие разряды обозначаются через Z_k ($1 \leq k \leq 2$), и в дальнейшем будут называться адресами зон, а младшие разряды обозначаются через A_m и B_n ($0 \leq m \leq 3$, $0 \leq n \leq 3$) соответственно для первого 3 и второго 4 блоков памяти микрокоманд и в дальнейшем будут называться адресами внутри зоны для соответствующего блока памяти. Здесь предполагается, что отличие значений Z_k от Z_{k+1} , A_m от A_{m+1} , и B_n от B_{n+1} составляет единицу. Через $Y_1 - Y_{10}$ обозначены коды микроопераций, а через $\alpha, -\alpha, -$ коды логических условий соответствующих микрокоманд. При размещении микрокоманд в блоках памяти устройства предполагалось, что зоны этих

блоков состоят из четырех ячеек и что предыдущая размещенная микропрограмма заняла две ячейки из зоны 3, первого 3 и второго 4 блоков памяти. В устройстве адрес следующей микрокоманды формируется двумя способами. При формировании адреса первым способом предполагается, что следующая микрокоманда будет находиться в той же зоне, что и предыдущая. Поэтому адрес зоны следующей микрокоманды не изменяется. Адрес же внутри зоны может формироваться или путем увеличения на единицу адреса внутри зоны предыдущей микрокоманды, если следующая микрокоманда размещается в соседнем блоке памяти, что и предыдущая, или определяется полем кода адреса предыдущей микрокоманды, если следующая микрокоманда размещается в соседнем блоке памяти. При формировании адреса вторым способом предполагается, что следующая микрокоманда находится в какой-то другой зоне. Тогда адрес этой зоны указывается в поле кода логического условия предыдущей микрокоманды, а адрес внутри зоны формируется таким же образом, как и при первом способе.

Устройство работает следующим образом.

В исходном состоянии регистр 9 микроопераций и регистр 31 блока 10 проверки условий обнуляется, в регистр 39 блока 11 формирования адреса зоны записывается адрес зоны Z_2 , в которой находится первая микрокоманда выполняемой микропрограммы, а в регистр первого 1 блока формирования адреса записывается ее адрес A_0 внутри зоны Z_2 . (Цепи синхронизации, обнуления и занесения начальных адресов в соответствующие регистры устройства на рисунках с целью упрощения не показаны). Таким образом, из первого 3 блока памяти считывается микрокоманда по адресу $Z_2 A_0$. Так как в регистре 31 блока 10 проверки условий находится нулевой код, то на выходах 23, 24 этого блока устанавливаются сигналы соответственно логической единицы и логического нуля. Поэтому коммутатор 5 будет выбирать коды микроопераций, логического условия и признака изменения адреса зоны с выхода 14 первого 3 блока памяти микрокоманд. Следовательно, в первом такте работы устройства по синх-

росигналу в регистр 9 запишется код микроопераций Y_1 , в регистры первого 1 и второго 2 блоков формирования адреса записываются соответственно значения адресов A_1 и O , так как признак изменения адреса зоны в считываемой микрокоманде равен 0, то в регистр 31 блока 10 проверки условий записывается нулевой код логического условия (на фиг. 6 обозначен как "0"), а в регистре 39 блока 11 формирования адреса зоны значение адреса зоны не изменяется. Во время выполнения микроопераций Y_1 происходит чтение следующей микрокоманды по адресу $Z_2 A_1$ из первого 3 блока памяти. Так как в регистре 31 блока 10 проверки условий остается нулевой код, то значения сигналов на выходах 23, 24 этого блока не изменятся. Поэтому во втором такте работы устройства по синхросигналу в регистр 9 запишется код микроопераций Y_2 , в регистры первого 1 и второго 2 блоков формирования адреса записываются значения адресов A_2 и B_0 соответственно, и так как знак изменения адреса зоны в считываемой микрокоманде равен также 0, то в регистр 31 блока 10 проверки условий записывается единичный код логического условия считываемой микрокоманды (на фиг. 6 обозначен как "1"), а в регистре 39 блока 11 формирования адреса зоны значение адреса зоны не изменится. Во время выполнения микроопераций Y_2 происходит чтение информации по адресам $Z_2 A_2$ и $Z_2 B_0$ соответственно из первого 3 и второго 4 блоков памяти. Но, так как в регистре 31 блока 10 проверки условий находится единичный код, то на выходах 23, 24 этого блока устанавливаются сигналы соответственно логического нуля и логической единицы. Поэтому коммутатор 5 будет выбирать коды микроопераций, логического условия и признака изменения адреса зоны с выхода 15 второго 4 блока памяти микрокоманд. Следовательно, в третьем такте работы устройства по синхросигналу в регистр 9 запишется код микроопераций Y_3 , в регистры первого 1 и второго 2 блоков формирования адреса записываются соответственно значения адресов A_2 и B_1 и, так как признак изменения адреса зоны в считываемой микрокоманде равен 0, то в регистр

31 блока 10 проверки условий записывается код логического условия α_1 , а в регистре 39 блока 11 формирования адреса зоны значение адреса зоны не изменяется. Во время выполнения микроопераций Y_3 одновременно происходит считывание двух возможных следующих микрокоманд из первого 3 и второго 4 блоков памяти соответственно по адресам Z_2A_2 и Z_2B_1 . В зависимости от выполнения или невыполнения логического условия α_1 на выходах 23, 24 блока 10 проверки условий установятся следующие сигналы. Если условие α_1 выполняется, то на первом и втором выходах 23, 24 блока 10 проверки условий установятся сигналы соответственно логического нуля и логической единицы. Поэтому коммутатор 5 будет выбирать в этом случае коды микроопераций, логического условия и признака изменения адреса зоны с выхода 15 второго 4 блока памяти микрокоманд. Следовательно, в четвертом такте работы устройства по синхросигналу в регистр 9 запишется код микроопераций Y_3 , в регистры первого 1 и второго 2 блоков формирования адреса записываются значения адресов A_1 и B_2 соответственно, и, так как признак изменения адреса зоны в считываемой микрокоманде равен 0, то в регистр 31 блока 10 проверки условий записывается код логического условия α_3 , а в регистре 39 блока 11 формирования адреса зоны значение адреса зоны не изменится. Таким образом, во время выполнения микроопераций Y_3 будет происходить чтение двух возможных следующих микрокоманд из первого 3 и второго 4 блоков памяти соответственно по адресам Z_2A_1 и Z_2B_2 . Если же условие α_1 не выполнится, то на первом и втором выходах 23, 24 блока 10 проверки условий установятся сигналы соответственно логической единицы и логического нуля. Поэтому коммутатор 5 будет выбирать коды микроопераций, логических условий и признака изменения адреса зоны с выхода 14 первого 3 блока памяти микрокоманд. Тогда в четвертом такте работы устройства по синхросигналу в регистр 9 запишется код микроопераций Y_4 , в регистры первого 1 и второго 2 блоков формирования адреса записываются значения адресов A_3 и 0 соответственно, и, так как при-

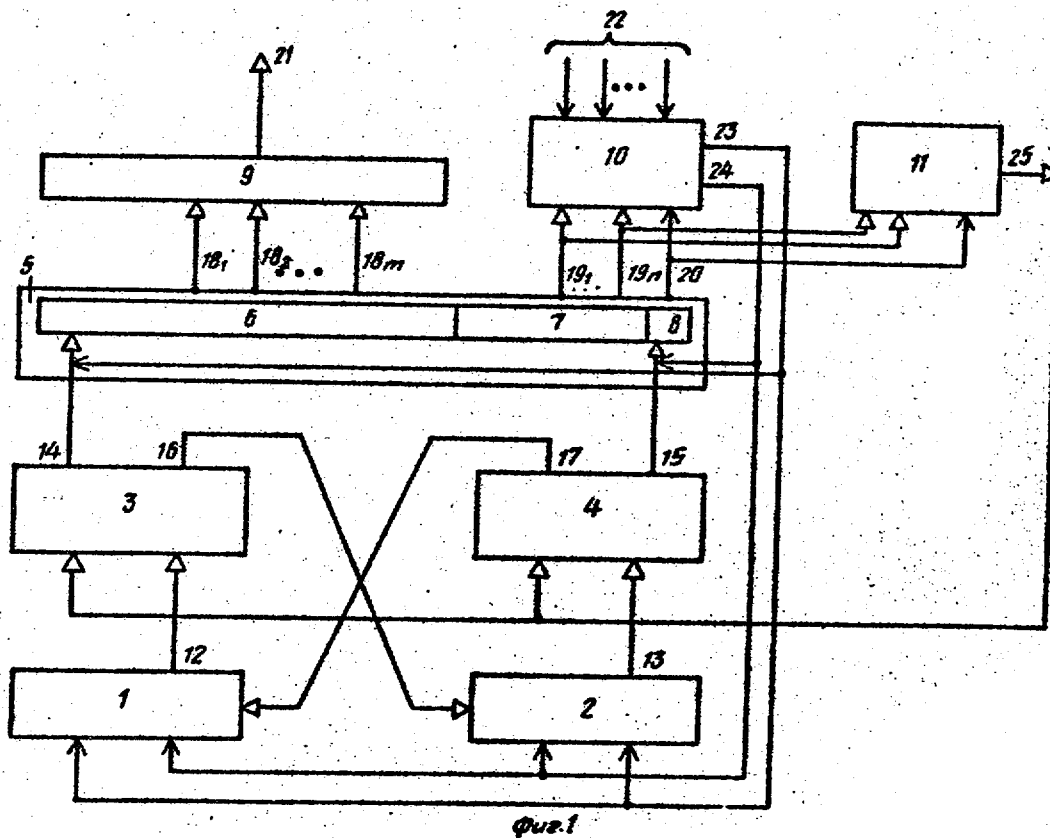
знак изменения адреса зоны в считываемой микрокоманде равен 1, то в регистр 31 блока 10 проверки условий записывается нулевой код с шины 37, а в регистр 39 блока 11 формирования адреса зоны - значение адреса зоны Z_1 , указанное в поле кода логического условия считываемой микрокоманды. Таким образом, во время выполнения микроопераций Y_4 будет происходить чтение следующей микрокоманды из первого блока 3 памяти микрокоманд по адресу Z_1A_3 . Последний пример показывает в динамике работы устройства принцип изменения адреса зоны при размещении следующей микрокоманды в другой зоне. Далее устройство работает подобным образом и при выполнении других микрокоманд.

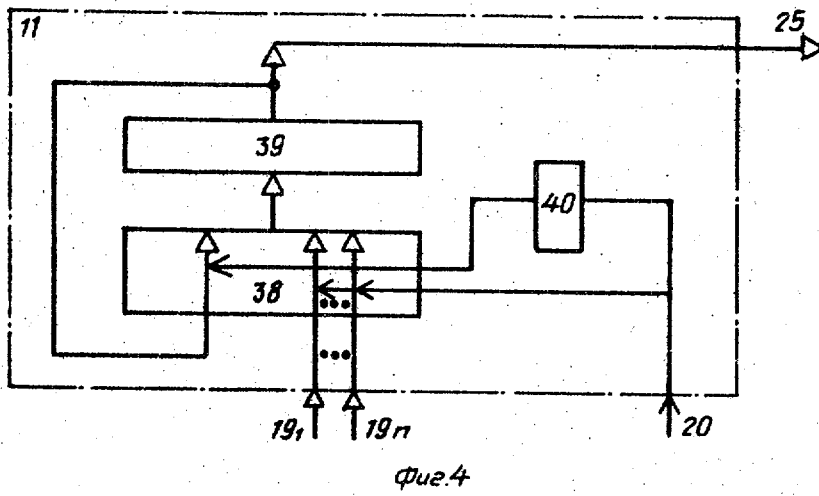
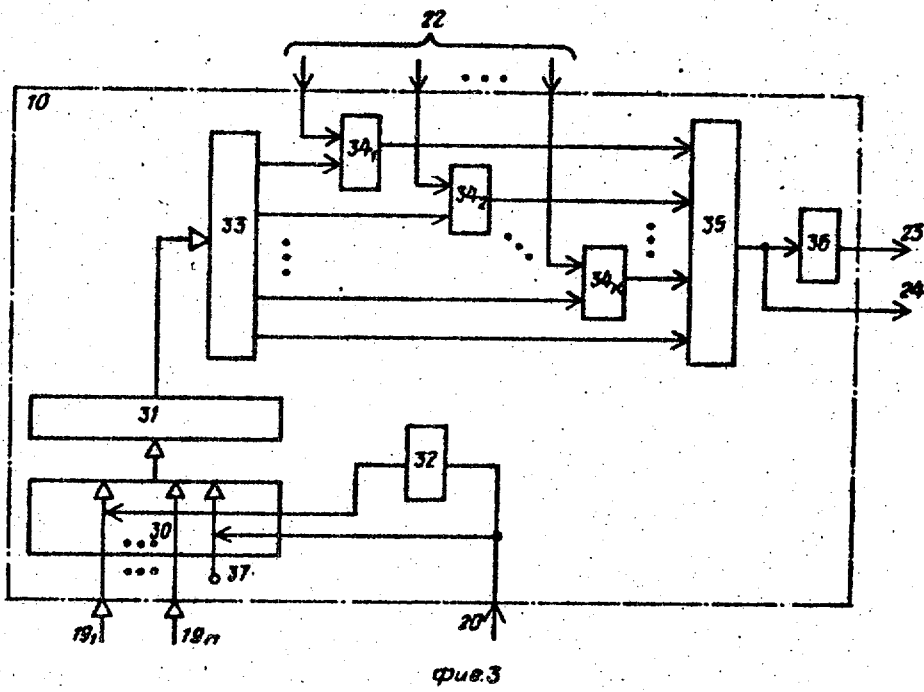
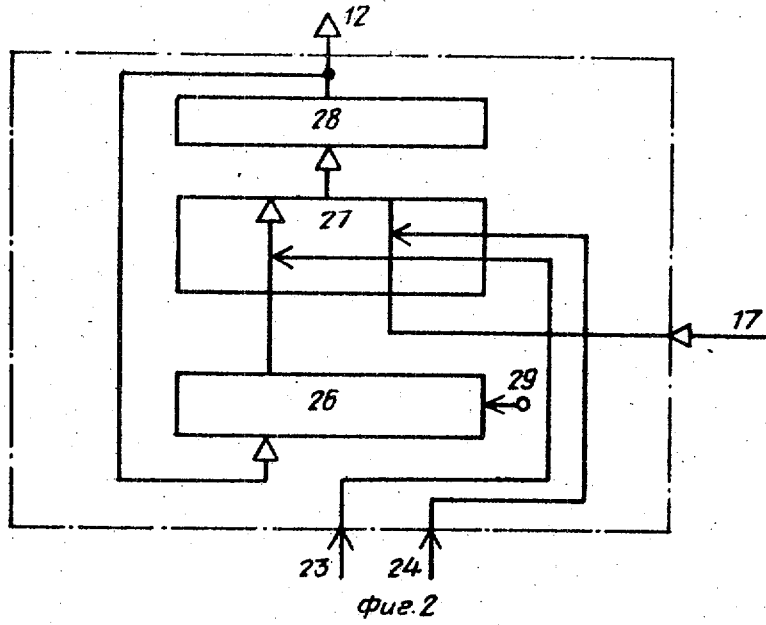
Ф о р м у л а и з о б р е т е н и я

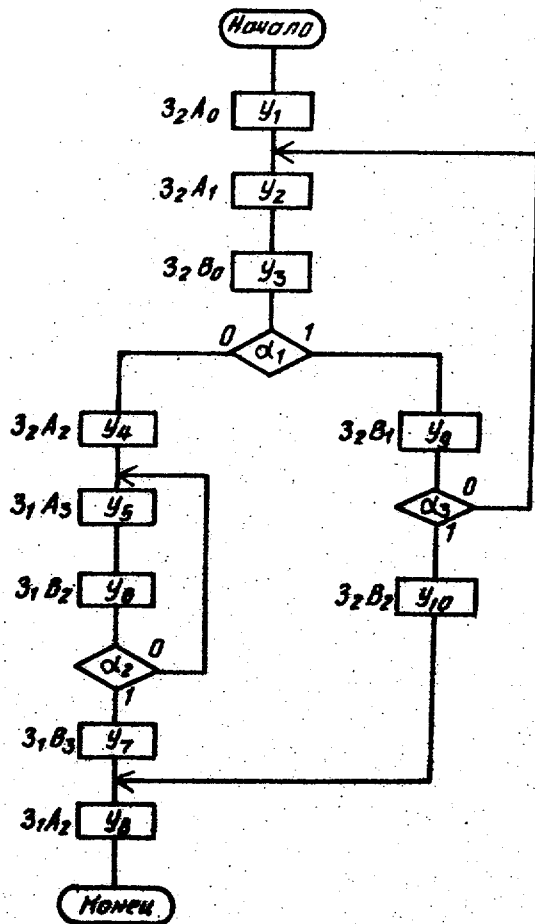
Микропрограммное устройство управления, содержащее два блока формирования адреса, два блока памяти микрокоманд, коммутатор, регистр микроопераций и блок проверки условий, причем выходы с 1-го по m -й (где m - число разрядов кода микроопераций) коммутатора соединены с информационными входами регистра микроопераций, выход которого является выходом устройства, первая группа входов блока проверки условий является группой входов логических условий устройства, первый и второй выходы блока проверки условий, соединены соответственно с первым и вторым управляющими входами коммутатора, первым и вторым управляющими входами первого и второго блоков формирования адреса, выходы которых соединены с младшими разрядами адресных входов соответственно первого и второго блоков памяти микрокоманд, выходы кода адреса которых соединены соответственно с информационными входами второго и первого блоков формирования адреса, отличающееся тем, что, с целью сокращения оборудования, устройство содержит блок формирования адреса зоны, причем выходы блока формирования адреса зоны соединены со старшими разрядами адресных входов первого и второго блоков памяти микрокоманд, выходы кодов микроопераций, логических условий и признака изменения адреса, зо-

ны которых соединены соответственно с первым и вторым информационными входами коммутатора, с $(m+1)$ -го по $(m+n)$ -й (где n - число разрядов кода логических условий), выходы которого соединены с второй группой входов блока проверки условий и с информационными входами блока формирования адреса зоны, $(m+n+1)$ -й выход коммутатора соединен с управляющими входами блоков проверки условий и формирования адреса зоны, причем блок проверки условий содержит коммутатор, регистр, дешифратор, группу элементов И, элемент ИЛИ и первый и второй элементы НЕ, причем каждый вход группы входов условий устройства соединен с первым входом соответствующего элемента И группы, второй вход которого соединен с соответствующим выходом дешифратора, выходы элементов И группы и дополнительный выход дешифратора соединены с входами элемента ИЛИ, выход которого соединен с вторым выходом блока проверки условий и через первый элемент НЕ - с его первым выходом, вход дешифратора соединен с выходом регистра блока проверки условий, информационный вход которого соединен с вы-

ходом коммутатора блока проверки условий, первый информационный вход которого является второй группой входов блока проверки условий, а второй информационный вход соединен с шиной нулевого потенциала, управляющий вход блока проверки условий соединен с первым управляющим входом коммутатора блока проверки и через второй элемент НЕ - с его вторым управляющим входом, причем блок формирования адреса зоны содержит регистр, коммутатор и элемент НЕ, причем выход коммутатора блока формирования адреса зоны соединен с информационным входом регистра блока формирования адреса зоны, выходы которого соединены с 1-го по n -й входами коммутатора блока формирования адреса зоны и являются выходами блока формирования адреса зоны, с $(n+1)$ -го по $2n$ -й входы коммутатора блока формирования адреса зоны являются информационными входами блока формирования адреса зоны, управляющий вход которого соединен с первым управляющим входом коммутатора блока формирования адреса зоны и через элемент НЕ - со вторым управляющим входом коммутатора блока проверки условий.







Фиг. 5

Адрес зона	Первый блок памяти				Второй блок памяти					
	Адрес ячейки	Код микро-операций	Код условия	Признак измен. адреса	Адрес ячейки	Код микро-операций	Код условия	Признак измен. адреса	Адрес	
31	A2	y8	0	0	0	B2	y6	alpha2	0	A3
	A3	y5	1	0	B2	B3	y7	0	0	A2
32	A0	y1	0	0	0	B0	y3	alpha1	0	A2
	A1	y2	1	0	B0	B1	y9	alpha3	0	A1
	A2	y4	31	1	0	B2	y10	31	1	A2
	A3					B3				

Фиг. 6

Редактор Э.Слигон Составитель Э.Криворучко Техред Л.Сердюкова Корректор И.Муска

Заказ 4958/48 Тираж 671 Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д.4/5

Производственно-полиграфическое предприятие, г.Ужгород, ул.Проектная, 4