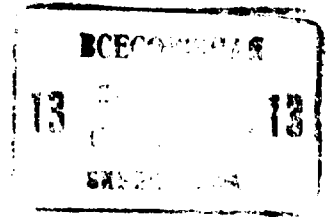




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

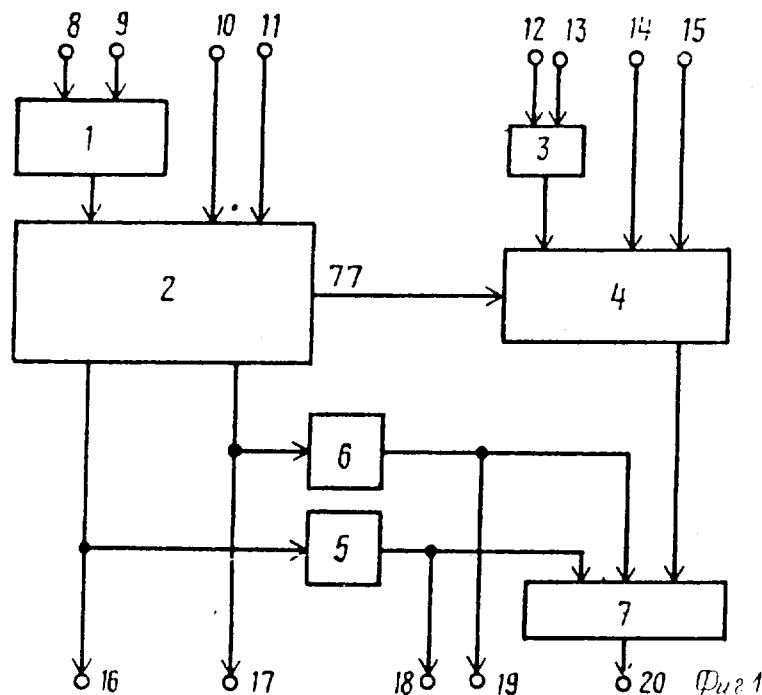


ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 4096847/24-24
 (22) 07.08.86
 (46) 23.01.88. Бюл. № 3
 (71) Минский радиотехнический институт
 (72) А.А. Шостак
 (53) 681.325.5(088.8)
 (56) Карцев М.А. и Брик В.А. Вычислительные системы и синхронная арифметика. - М.: Радио и связь, 1981, с.216, рис.44.26.
 Guild H.H., Fully Iterative Fast Array for Binary Multiplication and Addition. - "Electron Lett", 1969, v.5, № 12, p.263.
 (54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ
 (57) Изобретение относится к вычислительной технике и может быть примене-

но при разработке быстродействующих арифметических устройств, контроль которых организован по четности. Целью изобретения является повышение достоверности формируемых в устройстве результатов путем обнаружения всех ошибок, вызываемых его одиночной неисправностью. Устройство содержит блок 1 формирования частичных произведений и блок 2 суммирования, а также нововведенные элемент И 3 и четыре блока 4-7 свертки по модулю два с соответствующими связями. С помощью введенных в устройство блоков и связей обеспечивается обнаружение в нем всех ошибок (одиночных и групповых), вызываемых одиночной неисправностью. 4 ил., 1 табл.



Изобретение относится к вычислительной технике и может быть применено при разработке быстродействующих арифметических устройств, контроль которых организован по четности.

Цель изобретения - повышение достоверности формируемых в устройстве результатов путем обнаружения всех ошибок, вызываемых его одиночной неисправностью.

На фиг.1 приведена структурная схема устройства для умножения; на фиг.2 - функциональная схема блока формирования частичных произведений для случая перемножения в устройстве 4-разрядных чисел; на фиг.3 - функциональная схема блока суммирования, для этого же случая; на фиг.4 - функциональная схема одноразрядного двоичного сумматора с дублирующим переносом, используемого в блоке суммирования.

Устройство для умножения (фиг.1) содержит блок 1 формирования частичных произведений, блок 2 суммирования, элемент И 3, блоки 4-7 свертки по модулю два с первого по четвертый соответственно, вход 8 множимого, вход 9 множителя, вход 10 первого слагаемого, вход 11 второго слагаемого, вход 12 четности множимого, вход 13 четности множителя, вход 14 четности первого слагаемого, вход 15 четности второго слагаемого, выход 16 старшей части результата; выход 17 младшей части результата, выход 18 четности старшей части результата, выход 19 четности младшей части результата устройства и выход 20 признака ошибки. Первый и второй входы блока 1 формирования частичных произведений соединены с входами 8 и 9 множимого и множителя соответственно, выход блока 1 формирования частичных произведений соединен с первым входом блока 2 суммирования, второй и третий входы которого соединены с входами 10 и 11 первого и второго слагаемых соответственно, выход старших разрядов суммы блока 2 суммирования соединен с входом второго блока 5 свертки по модулю два и является выходом 16 старшей части результата устройства, выход младших разрядов суммы блока 2 суммирования соединен с входом третьего блока 6 свертки по модулю два и является выходом 17 младшей части результата устройства, первый и второй входы

элемента И 3 соединены с входами 12 и 13 четностей множимого и множителя соответственно, выход элемента И 3 соединен с первым входом первого блока 4 свертки по модулю два, второй и третий входы которого соединены с входами 14 и 15 четностей первого и второго слагаемых соответственно, четвертый вход первого блока 4 свертки по модулю два соединен с выходом дублирующих переносов блока 2 суммирования, выход второго блока 5 свертки по модулю два соединен с первым входом четвертого блока 7 свертки по модулю два и является выходом 18 четности старшей части результата устройства, выход третьего блока 6 свертки по модулю два соединен с вторым входом четвертого блока 7 свертки по модулю два и является выходом 19 четности младшей части результата устройства, выход первого блока 4 свертки по модулю два соединен с третьим входом четвертого блока 7 свертки по модулю два, выход которого является выходом 20 признака ошибки устройства.

Блок 1 предназначен для формирования частичных произведений множимого на цифры множителя. Он может быть реализован в виде матрицы двухвходовых элементов И. На фиг.2 для случая перемножения в устройстве 4-разрядных сомножителей изображена такая матрица. Она содержит шестнадцать двухвходовых элементов И 21-36 с выходами с 37-52 соответственно.

В блоке 2 осуществляется суммирование частичных произведений, формируемых в блоке 1 и поступающих на первый вход блока 2 суммирования с учетом весов их разрядов. Кроме частичных произведений в блок 2 поступают еще два слагаемых через его второй и третий входы с входов 10 и 11 устройства. Этим самым обеспечивается реализация в устройстве умножения следующей сложной функции:

$$F = X \cdot Y + A + B$$

где X , Y , - n -разрядные соответственно множимое и множитель;

A , B - n -разрядные соответственно первое и второе слагаемое.

Отметим, что n -разрядные слагаемые A и B подсуммируются в блоке 2 к n

младшим разрядам произведения $X \cdot Y$. Этим обеспечивается эффективное использование устройства при применении БИС.

На фиг.3 приведена для случая $n=4$ функциональная схема блока 2 суммирования, в котором используются входы 53-56, 57-60 первого и второго слагаемых и шестнадцать одноразрядных двоичных сумматоров 61-76 с дублирующим переносом. Выходы дублирующих переносов одноразрядных двоичных сумматоров 61-76 образуют выход 77 дублирующих переносов блока 2 суммирования. Выходы суммы одноразрядных двоичных сумматоров 62 и 63 и выходы суммы и переноса одноразрядного двоичного сумматора 61 образуют выход старших разрядов суммы блока 2, который является выходом 16 старшей части результата устройства, выходы суммы одноразрядных двоичных сумматоров 64, 65, 70 и 75 образуют выход младших разрядов суммы блока 2, который является выходом 17 младшей части результата устройства.

На фиг.4 изображена функциональная схема одноразрядного двоичного сумматора с дублирующим переносом, который может быть применен в блоке 2 суммирования. Сумматор содержит элементы И 78-81, элементы ИЛИ 82-84, элемент НЕ 85 и элемент 86 сложения по модулю два. Схема этого сумматора известна и описывается следующими логическими выражениями:

$$S_n = \bar{G}_n T_n \oplus C_{n-1};$$

$$C_n = G_n + T_n \cdot C_{n-1};$$

$$C_n^d = T_n (G_n + C_{n-1}^d),$$

где $G_n = a_n \cdot b_n$ - функция генерации переноса;

$T_n = a_n^+ \cdot b_n$ - функция транзита переноса;

S_n, C_n и C_n^d - сумма, перенос и дублирующий перенос соответственно;

a_n, b_n, C_{n-1} - разрядные слагаемые сумматора.

С помощью элемента И 3 и первого блока 4 свертки по модулю два на выходе последнего формируется значение предсказываемой четности результата устройства в соответствии с соотношением:

$$P_F^n = P_x \cdot P_y \oplus P_A \oplus P_B \oplus P_C^d,$$

где P_x, P_y - четности соответственно множимого X и множителя Y ;

P_A, P_B - четности соответственно первого A и второго B слагаемых;

P_C^d - четность дублирующих переносов блока 2 суммирования;

P_F^n - предсказываемая четность результата.

С помощью второго и третьего блоков 5 и 6 свертки по модулю два образуется в устройстве значение фактической четности результата, которое сравнивается в четвертом блоке 7 свертки по модулю два со значением предсказываемой четности результата. На основе этого сравнения на выходе 20 устройства формируется или не формируется сигнал ошибки.

Устройство работает следующим образом.

После подачи сомножителей на входы 8 и 9 устройства в блоке 1 формируются частичные произведения, которые далее поступают в блок 2, где суммируются с учетом весов их разрядов. Одновременно с этим в блок 2 суммирования с входов 10 и 11 устройства подаются также два слагаемых, которые подсуммируются к младшим разрядам произведения сомножителей, в результате чего на выходах суммы блока 2 образуется результат в одноразрядном коде, который и поступает на выходы 16 и 17 устройства. Одновременно с выполнением суммирования в блоке 2 возникающие в нем дублирующие переносы поступают в первый блок 4 свертки по модулю два, где осуществляется их суммирование по модулю два. На другие входы этого блока подается значение произведения четностей сомножителей с выхода элемента И 3, а также значение четностей первого и второго слагаемых с входов 14 и 15 устройства. На выходе первого блока 4 свертки по модулю два формируется косвенно предсказанная четность результата, которая в дальнейшем сравнивается на четвертом блоке 7 свертки по модулю два с фактической четностью результата, образованной на выходах второго и третьего блоков 5 и 6 свертки по модулю два. В случае несовпадения значений фактической и предсказываемой четностей результата

на выходе 20 устройства формируется сигнал ошибки. Если блок 2 суммирования построен с использованием одноразрядных двоичных сумматоров с дублирующим переносом (фиг.4), то в устройстве для умножения обнаруживаются все ошибки в его результате (одиночные и групповые), которые вызваны одиночной неисправностью.

Пример. Пусть на выходе 50 элемента И 34 блока 1 сформирован неверный результат вследствие неисправности элемента И 34. Тогда эта ошибка обязательно приведет к ошибкам в образовании сумм сумматоров 73, 69 и 65, а следовательно, и к ошибке в разряде результата с весом 2^2 . Пусть эта же неисправность вызывает также ошибку в образовании переноса сумматора 73, а следовательно, и в образовании дублирующего переноса с сумматора 73 (неисправность элемента И 34 может и не вызвать ошибки в образовании переноса сумматора 73). Ошибка же в образовании переноса сумматора 73 обязательно приведет к ошибкам в формировании сумм сумматоров 68 и 64, а следовательно, и в разряде результата с весом 2^3 . Таким образом, общее число ошибок в дублирующих переносах и в разрядах результата нечетное (в рассматриваемом случае оно равно трем: одна ошибка в дублирующем переносе сумматора 73 и две ошибки в разрядах результата с весами 2^2 и 2^3), что обнаруживается контролем по четности. Подобным образом можно показать, что и другие классы ошибок, вызываемые одиночной неисправностью устройства, будут всегда обнаружены контролем по четности.

В заключение произведем оценку количества контролируемого (блоки 1 и 2) и контролирующего (блоки 4-7, элемент И 3 и схемы дублирующих переносов сумматоров 61-76 блока 2) оборудования в устройстве. Результаты такого расчета для различной разрядности сомножителей в предположении использования двухвходовых логических элементов И, ИЛИ, а также элемента НЕ приведены в таблице.

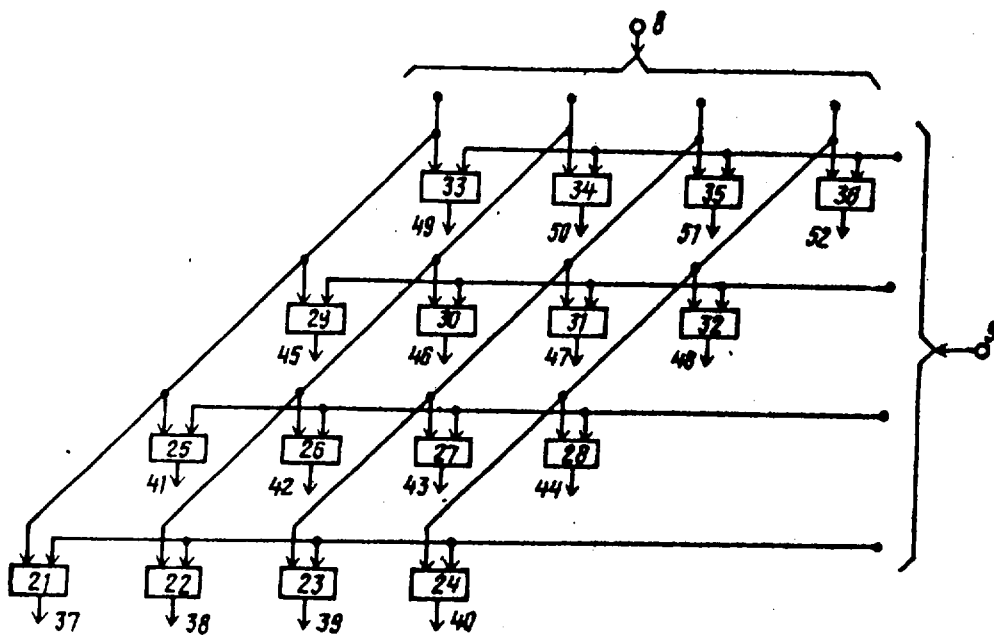
Как следует из данных таблицы, введенное в устройство контролирующее оборудование составляет примерно 55-65% от количества контролируемого оборудования, что подтверждает высо-

кую эффективность предлагаемого в устройстве системы контроля.

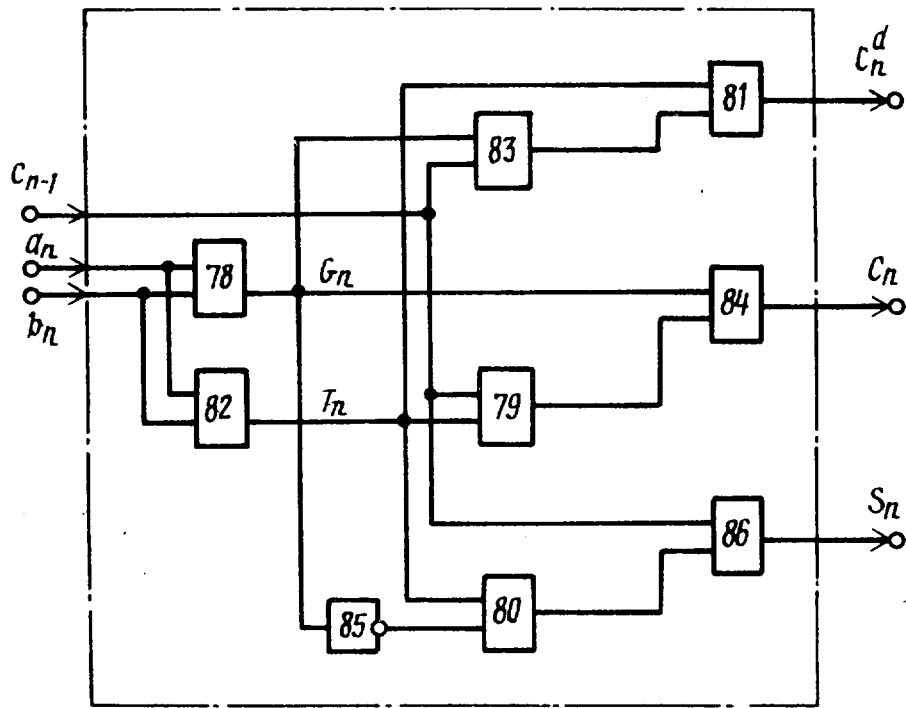
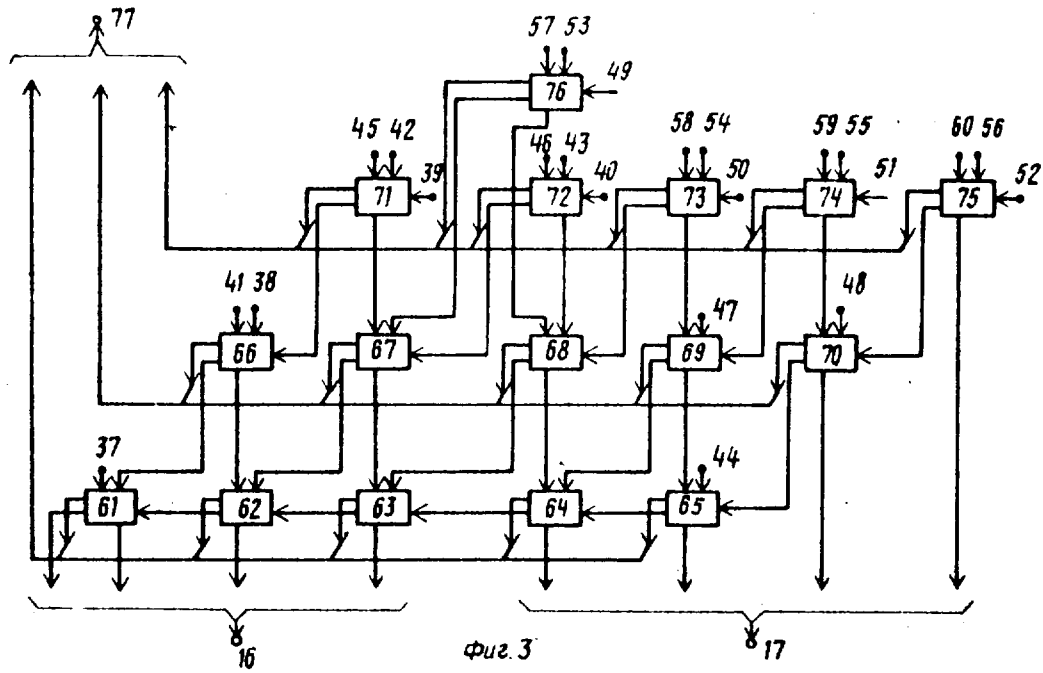
5 Ф о р м у л а и з о б р е т е н и я

Устройство для умножения, содержащее блок формирования частичных произведений и блок суммирования, прием первый и второй входы блока формирования частичных произведений соединены с входами множимого и множителя устройства соответственно, выход блока формирования частичных произведений соединен с первым входом блока суммирования, второй и третий входы которого соединены с входами первого и второго слагаемых устройства соответственно, выход старших разрядов суммы блока суммирования является выходом старшей части результата устройства, выход младших разрядов суммы блока суммирования является выходом младшей части результата устройства, отличающееся тем, что, с целью повышения достоверности формируемых в устройстве результатов, оно содержит четыре блока свертки по модулю два и элемент И, причем первый и второй входы элемента И соединены с входами четностей множимого и множителя устройства соответственно, а выход элемента И соединен с первым входом первого блока свертки по модулю два, второй и третий входы которого соединены с входами четностей первого и второго слагаемых устройства соответственно, четвертый вход первого блока свертки по модулю два соединен с выходом дублирующих переносов блока суммирования, выход старших разрядов суммы блока суммирования соединен с входом второго блока свертки по модулю два, выход которого является выходом четности старшей части результата устройства, выход младших разрядов суммы блока суммирования соединен с входом третьего блока свертки по модулю два, выход которого является выходом четности младшей части результата устройства, выходы второго, третьего и первого блоков свертки по модулю два соединены соответственно с первым, вторым и третьим входами четвертого блока свертки по модулю два, выход которого является выходом признака ошибки устройства.

Разряд- ность со- множите- лей	Количество оборудования		
	контро- лируемо- го, чис- ло эле- ментов	контро- лирую- щего число эlemen- тов	контроли- рующего % к конт- ролируемому
8	704	457	65
16	2816	1673	60
32	11264	6409	57
64	45056	25096	55



Фиг. 2



Фиг. 4

Составитель В. Березкин

Редактор Е. Папп

Техред М. Ходанич

Корректор О. Кравцова

Заказ 297/51

Тираж 704

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4