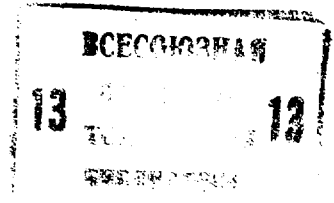




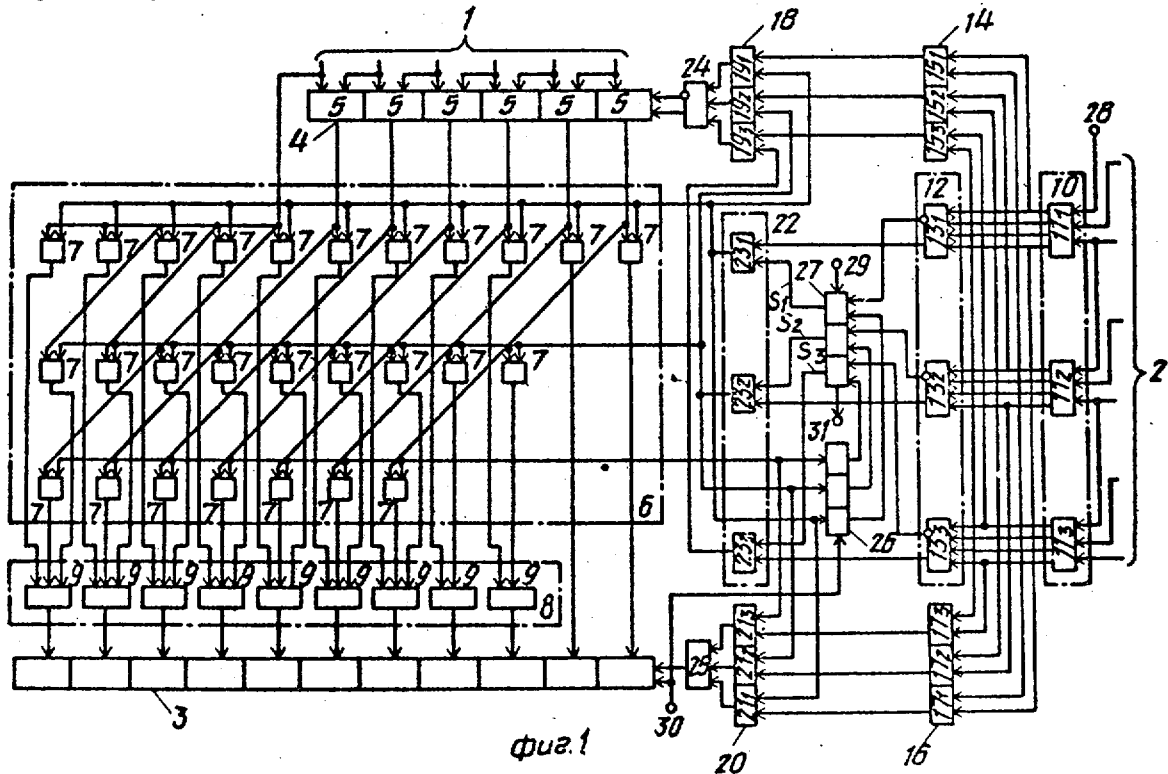
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 4100190/24-24
- (22) 04.08.86
- (46) 15.02.88. Бюл. № 6
- (71) Минский радиотехнический институт
- (72) Л.Г.Лопато и А.А.Шостак
- (53) 681.325 (088.8)
- (56) Авторское свидетельство СССР № 1193667, кл. G 06 F 7/52, 1982.
- Авторское свидетельство СССР № 1111153, кл. G 06 F 7/52, 1982.
- (54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ N-РАЗРЯДНЫХ ЧИСЕЛ
- (57) Изобретение относится к вычислительной технике и может быть использовано при разработке быстродействующих устройств умножения асинхронного

типа. Целью изобретения является расширение функциональных возможностей за счет умножения отрицательных чисел. Поставленная цель достигается тем, что устройство для умножения n-разрядных чисел, содержащее накапливающий сумматор 3, группу 4 коммутаторов 5, матрицу 6 элементов И 7, группу 8 элементов ИЛИ 9, группу 10 дешифраторов 11, группу 12 элементов ИЛИ 13, группу 18 элементов И 19, группу 20 элементов И 21, группу 22 элементов И 23, элементы ИЛИ 24, 25 и буферный регистр 26, дополнительно содержит группы 14 и 16 элементов ИЛИ и комбинационный сумматор 27. 2 ил.



(19) SU (11) 1374217 A1

Изобретение относится к вычислительной технике и может быть использовано при разработке быстродействующих устройств умножения асинхронного типа.

Целью изобретения является расширение функциональных возможностей за счет умножения отрицательных чисел.

На фиг.1 изображена схема устройства для умножения n -разрядных чисел для случая $n=6$; на фиг.2 - функциональная схема дешифратора.

Устройство (фиг.1) содержит вход 1 множимого устройства, вход 2 множителя устройства, $(2n-1)$ -разрядный накапливающий сумматор 3, группу 4 из n коммутаторов 5, матрицу 6 из $\frac{3n^2}{4}$ элементов И 7, содержащую $n/2$ строк и $2n-1$ столбцов, первую группу 8 из $2n-3$ элементов ИЛИ 9, группу 10 из $n/2$ дешифраторов 11, вторую группу 12 из $n/2$ элементов ИЛИ 13, третью группу 14 из $n/2$ элементов ИЛИ 15, четвертую группу 16 из $n/2$ элементов ИЛИ 17, первую группу 18 из $n/2$ элементов И 19, вторую группу 20 из $n/2$ элементов И 21, третью группу 22 из $n/2$ элементов И 23, первый и второй элементы ИЛИ 24 и 25, $(n/2)$ -разрядный буферный регистр 26, комбинационный сумматор 27, вход 28 логического нуля устройства, вход 29 логической единицы устройства, тактовый вход 30 устройства и выход 31 окончания умножения устройства.

Дешифратор 11 (фиг.2) содержит элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 32 и элементы И 33-36.

Буферный регистр 26 построен на двухтактных триггерах.

Если на выходе инвертирования сумматора 3 присутствует сигнал "1", то его входная информация инвертируется, а в качестве входного переноса сумматора 3 формируется сигнал "1".

Коммутаторы 5 группы 4 предназначены для подачи на входы первой группы матрицы 6 одинарного или удвоенного значения множимого. Если на прямом выходе первого элемента ИЛИ 24 сформирован сигнал "1", то на выходе коммутаторов 5 группы 4 передается значение одинарного множимого, в противном случае на выходы коммутаторов 5 группы 4 поступает значение удвоенного множимого.

С помощью дешифраторов 11 группы 10 двоичный код множителя с цифрами $\{0, 1\}$ преобразуется в код с цифрами $\{1, 0, 1\}$. Ниже приведена таблица истинности, поясняющая функционирование дешифраторов 11 группы 10.

Устройство работает следующим образом.

Пусть множимое $X=-0,10011$, множитель $Y=0,01111$, тогда произведение $Z=X \cdot Y = -0,0100011101$.

На его входах 1 и 2 устройства множимое и множитель представлены дополнительными кодами в виде 1,01101 и 0,01111 соответственно, а в накапливающем сумматоре 3 должен сформироваться результат 1,1011100011.

Пусть в исходном состоянии устройства на его входы 1 и 2 поступают дополнительные коды множимого и множителя, а накапливающий сумматор 3 и буферный регистр 26 обнулены (цепи установки в нуль накапливающего сумматора 3 и буферного регистра 26 не показаны). Тогда на втором выходе первого дешифратора 11, и на первом выходе третьего дешифратора 11, группы 10 формируются сигналы "1" (верхний вывод дешифратора 11 является первым, а нижний выход - четвертым), что означает преобразование первой (самой младшей) пары разрядов множителя к виду "1", второй - к виду "0" и третьей (самой старшей - к виду "1", с помощью дешифраторов 11, -11, группы 10 множитель преобразуется к виду 0,10001. Сформированные на выходах дешифраторов 11, -11, группы 10 сигналы поддерживаются постоянными на протяжении всего процесса умножения данных чисел в устройстве.

По значению сигналов, сформированных на выходах дешифраторов 11, -11, группы 10, на инверсных выходах элементов ИЛИ 13, -13, второй группы 12 образуется двоичный код $A=a_3 a_2 a_1 = 010$, который служит первым слагаемым для комбинационного сумматора 2 (это слагаемое сумматора 27 не изменяется на протяжении всего процесса умножения данных чисел в устройстве; a_1 - младший разряд слагаемого; a_3 - его старший разряд). В качестве второго слагаемого $B=b_3 b_2 b_1$ комбинационного сумматора 27 используется содержимое буферного регистра 26. Значение этого слагаемого изменяется в процессе выполнения умножения (в начале умноже-

ния $V=000$, а в конце умножения оно должно быть равно $V=\bar{a}_3\bar{a}_2\bar{a}_1$, т.е. для рассматриваемого примера в конце умножения второе слагаемое должно быть равно 101). Входным переносом комбинационного сумматора 27 постоянно служит сигнал "1", который подается через вход 29 устройства.

В первом такте умножения на выходах суммы комбинационного сумматора 27 формируется результат $S=S_3S_2S_1=010+000+001=011$. При этом только на выходе первого элемента И 23, третьей группы 22 формируется сигнал "1" который; во-первых, через первый элемент И 19, первой группы 18 и первый элемент ИЛИ 24 настраивает коммутаторы 5 группы 4 на передачу одинарного множимого, во-вторых, разрешает передачу этого одинарного множимого в накапливающий сумматор 3 с выходов элементов И 7 первой строки матрицы 6, в-третьих, настраивает накапливающий сумматор 3 через первый элемент И 21, второй группы 20 и второй элемент ИЛИ 25 на инвертирование его входной информации и формирует единичный сигнал входного переноса сумматора 3, в-четвертых, подготавливает вход первого (самого младшего) разряда буферного регистра 26 для записи в него "1". С приходом первого тактового импульса на вход 30 устройства разрешается прием в накапливающий сумматор 3 с его разрядных входов инверсного значения информации, а также запись единицы в первый разряд буферного регистра 26. На этом первый такт работы устройства заканчивается.

Во втором такте одновременно с выполнением суммирования в накапливающем сумматоре 3 и формированием в нем промежуточного результата, равного 0,0000010011, выполняются следующие действия. На выходах суммы комбинационного сумматора 27 формируется значение $S=S_3S_2S_1=010+001+001=100$, в результате чего на выходе третьего элемента И 23, третьей группы 22 образуется сигнал "1". Этот сигнал выполняет следующие действия: во-первых, через третий элемент И 19, первой группы 18 и первый элемент ИЛИ 24 настраивает коммутаторы 5 группы 4 на передачу одинарного множимого, во-вторых, разрешает передачу этого одинарного множимого в накапливающий сумматор 3 с выходов элементов И 7

третьей строки матрицы 6, в-третьих, подготавливает вход третьего (самого старшего) разряда буферного регистра 26 для записи в него "1". Следует отметить, что на входе инвертирования накапливающего сумматора 3 в этом такте не формируется сигнал "1", так как на выходе третьего элемента ИЛИ 17, четвертой группы 16 образован сигнал "0". С приходом второго тактового импульса на вход 30 устройства разрешается прием в накапливающий сумматор 3 с его разрядных входов информации без инвертирования, а также запись единицы в третий (самый старший) разряд буферного регистра 26. На этом второй такт работы устройства заканчивается.

Далее одновременно с выполнением суммирования в накапливающем сумматоре 3 и формированием в нем окончательного результата равного $0,0000010011 + 1,1011010000 = 1,1011100011$, в комбинационном сумматоре 27 осуществляется суммирование кодов $010 + 101 + 001$, в результате чего на выходе его переноса образуется сигнал "1", который подается на выход 31 устройства, сигнализируя об окончании операции умножения.

Предлагаемое устройство позволяет выполнить умножение двух n -разрядных чисел в среднем за $3n/8$ тактов.

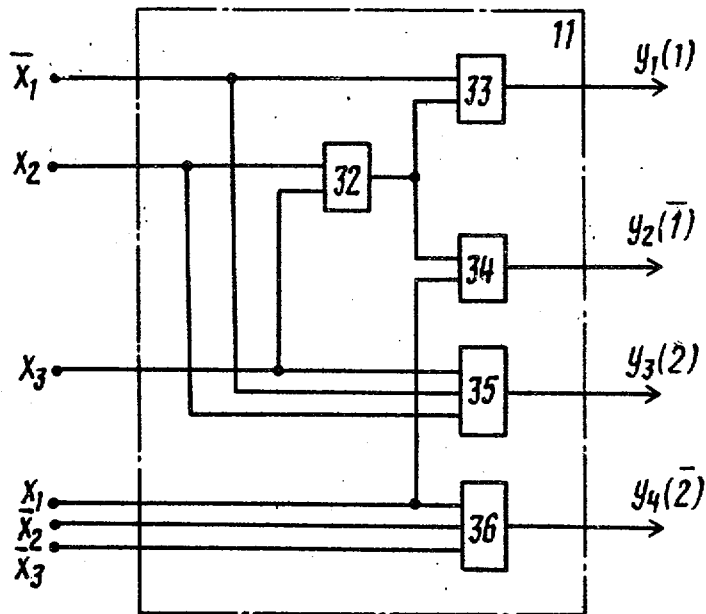
Ф о р м у л а и з о б р е т е н и я

Устройство для умножения n -разрядных чисел, содержащее $n/2$ разрядный буферный регистр, $(2n-1)$ -разрядный накапливающий сумматор, матрицу из $\frac{n^2+n}{2}$ элементов И, содержащую $n/2$ строк и $n+1$ столбцов, первую группу из $2n-3$ элементов ИЛИ, вторую группу из $n/2$ элементов ИЛИ, группу из $n/2$ дешифраторов, первую группу из $n/2$ элементов И, вторую группу из $n/2$ элементов И, первый и второй элементы ИЛИ, группу из n коммутаторов и третью группу из $n/2$ элементов И, причем входы разрядов множимого устройства соединены прямо и со сдвигом на один разряд в сторону старших соответственно с первыми и вторыми информационными входами коммутаторов группы, выходы которых соединены соответственно с первыми входами эле-

ментов И столбцов матрицы, первые входы элементов И $(n+1)$ -го столбца матрицы объединены и соединены с входами старшего разряда множимого устройства, входы K -го элемента ИЛИ первой группы $(K=1, 2, \dots, n-3)$ соединены с выходами $[K+2-2(i-1)]$ -х элементов И i -х строк матрицы $(i=1, 2, \dots, n/2)$, выходы элементов ИЛИ первой группы соединены соответственно с входами разрядов с третьего по $(2n-1)$ -й накапливающего сумматора, выходы первого и второго элементов И первой строки матрицы соединены соответственно с входами первого и второго разрядов накапливающего сумматора, входы старшего и младшего разрядов каждой пары разрядов множителя устройства соединены соответственно с первым и вторым входами соответствующего дешифратора, выходы элементов И первой группы соединены соответственно с входами первого элемента ИЛИ, прямой выход которого соединен с первыми управляющими входами коммутаторов группы, выходы элементов И второй группы соединены соответственно с входами второго элемента ИЛИ, первые входы элементов И первой и второй групп соединены с вторыми входами элементов И соответствующих строк матрицы и входами соответствующих разрядов буферного регистра, вход разрешения записи которого соединен с тактовым входом накапливающего сумматора и с тактовым входом устройства, о т л и ч а ю щ е е с я тем, что, с целью расширения функциональных возможностей за счет умножения отрицательных чисел, оно содержит третью группу из $n/2$ элементов ИЛИ, четвертую группу из $n/2$ элементов ИЛИ и $n/2$ -разрядный комбинационный сумматор, i -я строка матрицы элементов И дополнительно содержит $n-2i$ элементов И, причем третий вход j -го дешифратора группы $(j=2, 3, \dots, n/2)$ соединен с первым входом $(j-1)$ -го дешифратора группы, третий вход первого дешифратора группы является входом логического нуля устройства, первые выходы дешифраторов группы соединены с пер-

выми входами соответствующих элементов ИЛИ второй и третьей группы, вторые выходы дешифраторов группы соединены с вторыми входами соответствующих элементов ИЛИ второй и третьей группы и первыми входами соответствующих элементов ИЛИ четвертой группы, третьи выходы дешифраторов группы соединены с третьими входами соответствующих элементов ИЛИ второй группы, четвертые выходы дешифраторов группы соединены с четвертыми входами соответствующих элементов ИЛИ второй группы и вторыми входами соответствующих элементов ИЛИ четвертой группы, выходы элементов ИЛИ третьей группы соединены с вторыми входами соответствующих элементов И первой группы, выходы элементов ИЛИ четвертой группы соединены с вторыми входами соответствующих элементов И второй группы, инверсные выходы элементов ИЛИ второй группы соединены с входами соответствующих разрядов первого слагаемого комбинационного сумматора, выходы разрядов суммы которого соединены с первыми входами соответствующих элементов И третьей группы, вторые входы которых соединены с прямыми выходами соответствующих элементов ИЛИ второй группы, первые входы элементов И столбцов с $(n+2)$ -го $(2n-1)$ -й матрицы соединены с входом старшего разряда множимого устройства, выходы элементов И третьей группы соединены с вторыми входами элементов И соответствующих строк матрицы, вход переноса комбинационного сумматора соединен с входом логической единицы устройства, выход переноса комбинационного сумматора является выходом окончания умножения устройства, инверсный выход первого элемента ИЛИ соединен с вторыми управляющими входами коммутаторов группы, выход второго элемента ИЛИ соединен с входом инвертирования накапливающего сумматора, выходы разрядов буферного регистра соединены с входами соответствующих разрядов второго слагаемого комбинационного сумматора.

Первый вход дешифратора X_1 (ст. раз-д анализ, пары)	Второй вход дешифратора X_2 (мл. раз-д анализ, пары)	Третий вход дешифратора X_3 (ст. раз-д пре-дыдущей пары)	Первый выход Y_1 дешифратора (вых. 1)	Второй выход Y_2 дешифратора (вых. $\bar{1}$)	Третий выход Y_3 дешифратора (вых. 2)	Четвертый выход Y_4 дешифратора (выход $\bar{2}$)
0	0	0	0	0	0	0
0	1	0	1	0	0	0
1	0	0	0	0	0	1
1	1	0	0	1	0	0
0	0	1	1	0	0	0
0	1	1	0	0	1	0
1	0	1	0	1	0	0
1	1	1	0	0	0	0



Фиг. 2

Составитель А. Клюев
 Редактор И. Рыбченко Техред А. Кравчук Корректор В. Гирняк

Заказ 603/45 Тираж 704 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Ружская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4