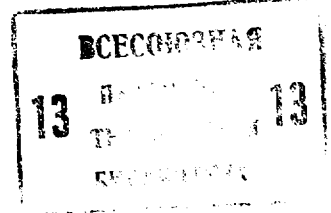




(51) 4 G 06 G 7/186

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

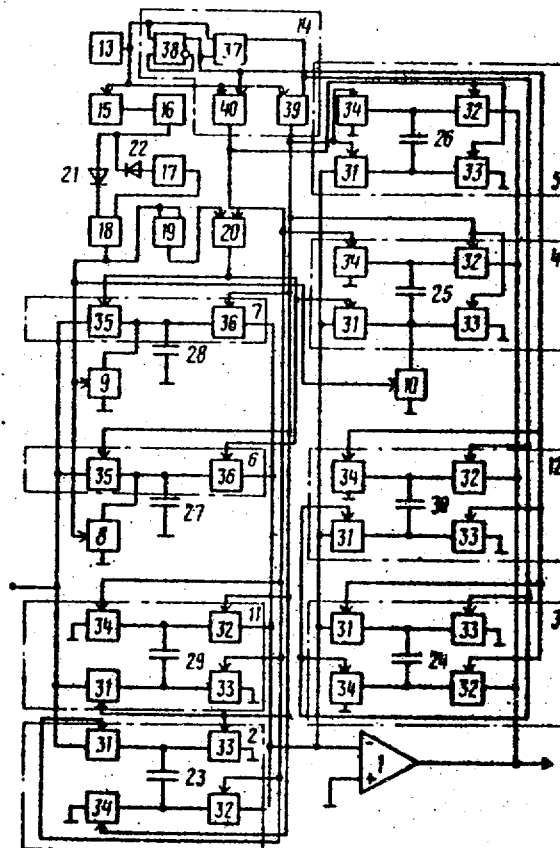


ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4086732/24-24
(22) 14.07.86
(46) 23.02.88. Бюл. № 7
(71) Минский радиотехнический институт
(72) В.А.Кешишьян и Л.И.Гончарик
(53) 681.335(088.8)
(56) Авторское свидетельство СССР
№ 1144122, кл. G 06 G 7/12,
G 06 G 7/186, 1983.
Авторское свидетельство СССР
№ 1251112, кл. G 06 G 7/186, 1985.

(54) ИНТЕГРАТОР

(57) Изобретение относится к автоматике и вычислительной технике и может найти применение в различных устройствах в качестве базового узла при построении, например, электрических фильтров. Цель изобретения - повышение точности интегрирования при изменении интегрируемой функции. Интегратор содержит операционный усилитель 1, зарядно-разрядные ячей-



Фиг. 1

ки 2-5, 11, 12, пары 6, 7 последовательно соединенных ключей, дополнительные ключи 8-10, генератор 13 импульсов, распределитель 14 импульсов, делитель 15 частоты, дифференцирующую RC-цепь 16, инвертор 17, элемент ИЛИ 18, элемент ИЛИ-НЕ 19, элемент И 20, разделительные диоды 21, 22, накопительные конденсаторы 23-30. Изобретение позволяет повысить точность процесса интегрирования при

периодических режимах работы за счет устранения паразитных зарядов на накопительных конденсаторах 23, 24 зарядно-разрядных ячеек 2, 3, обусловленных билинейными свойствами последних. Введение дополнительных ключей 8 - 10 зарядно-разрядных ячеек 11, 12, накопительных конденсаторов 29, 30 позволяет устранить влияние паразитных зарядов на всех накопительных конденсаторах. 2 ил.

1

Изобретение относится к автоматике и вычислительной технике и может найти применение в различных устройствах в качестве базового узла при построении, например, электрических фильтров.

Цель изобретения - повышение точности интегрирования при изменении интегрируемой функции.

На фиг.1 представлена схема интегратора; на фиг.2 - временная диаграмма его работы.

Интегратор (фиг.1) содержит операционный усилитель 1, зарядно-разрядные ячейки 2-5, первую 6 и вторую 7 пары последовательно соединенных ключей, три дополнительных ключа 8 - 10, дополнительные зарядно-разрядные ячейки 11 и 12, генератор 13 импульсов, распределитель 14 импульсов, делитель 15 частоты (на триггерах), дифференцирующую RC-цепь 16, инвертор 17, элемент ИЛИ 18, элемент ИЛИ-НЕ 19, элемент И 20, разделительные диоды 21 и 22, накопительные конденсаторы 23-30.

Каждая зарядно-разрядная ячейка 3-5 и 11 и 12 содержит первый 31, второй 32, третий 33 и четвертый 34 ключи, каждая пара 6 и 7 последовательно соединенных ключей состоит из ключей 35 и 36.

Распределитель 14 импульсов содержит триггеры 37 и 38 и элементы И 39 и 40.

Интегратор работает следующим образом.

2

На вход интегратора подается сигнал, подлежащий интегрированию. Распределитель 14 импульсов представляет из себя регистр сдвига на тактируемых фронтах триггерах 37 и 38, которые изменяют свое первоначальное состояние при изменении переднего фронта тактового импульса, поступающего на их первые входы в соответствии с уровнем потенциала, находящимся на их вторых входах. На выходах первого и второго элементов И 39 и 40, а также на выходах первого 37 и второго 38 триггеров формируются соответственно противофазные управляющие импульсы (фиг.1 и 2).

Длительности импульсов на первом и втором выходах распределителя 14 равны длительности тактовых импульсов с выхода генератора 13 импульсов, а длительность импульсов на третьем и четвертом выходах равна периоду импульсов генератора 13 (фиг.2).

В момент $t = 0$ тактовый импульс генератора 13 по переднему фронту включает делитель 15 частоты, на выходе которого сформирован высокий уровень, длительность которого определяется коэффициентом деления делителя 15. Сигнал с выхода делителя 15 частоты поступает на вход дифференцирующей RC-цепи 16, которая формирует положительный импульс, по длительности не превосходящий длительность импульса с генератора 13 (фиг.2), который через разделительный диод 21 поступает на один из входов элемента

ИЛИ 18, с выхода которого в момент $t = 0$ снимается короткий управляющий импульс, поступающий на входы элемента ИЛИ-НЕ 19, на выходе которого в этом режиме сигнал отсутствует. Выход элемента ИЛИ-НЕ 19 соединен с одним из входов элемента И 20 (фиг.1), на другой вход которого поступает сигнал с первого выхода распределителя 14, причем этот сигнал в момент $t = 0$ имеет высокий уровень. Таким образом, в момент $t = 0$ на входы элемента И 20 поступают сигналы "0", "1", а на его выходе сигнал отсутствует.

Импульс с первого выхода распределителя 14 поступает на управляющие входы ключей 31 и 32 ячейки 2, ключа 34 ячейки 4, ключей 32 и 33 ячейки 5, а также ключей 33 и 34 ячейки 11. Импульс с выхода элемента ИЛИ 18 включает дополнительные ключи 8-10. Ключи 35 и 36 в этот момент не включены, так как на выходе элемента И 20 низкий уровень напряжения. Управляющие импульсы с выхода триггера 38 включают ключи 31 и 32 ячейки 3 и ключи 33 и 34 ячейки 12. Включение в момент $t = 0$ дополнительных ключей 8 - 10 приводит к разряду накопительных конденсаторов 27, 28 и 25, а также конденсаторов 29 и 30. Таким образом, в момент $t = 0$ заряды на накопительных конденсаторах 27, 28, 25, 29 и 30 равны нулю и готовы к работе в соответствующем изменении входной функции, не внося искажений в выходные значения сигнала.

Для этого момента времени ($t=0$) можно записать зарядное уравнение

$$C_{23}U_1(0) = C_{24}U_2(0), \quad (1)$$

где $U_1(0)$ - напряжение на входе интегратора (при $t=0$);

$U_2(0)$ - напряжение на выходе интегратора;

C_{23}, C_{24} - емкости конденсаторов 23 и 24.

В этот момент времени ($t=0$) заряд, образовавшийся на конденсаторе 26, запоминается и не оказывает влияния на выходной сигнал.

На выходе интегратора в момент $t=0$ будет напряжение

$$U_2(0) = \frac{C_{23}}{C_{24}} U_1(0) \quad (2)$$

Полагая $2C_{23} = C_{24}$, получим

$$U_2(0) = \frac{1}{2} U_1(0). \quad (3)$$

В следующий момент времени $t=1$ с приходом второго тактового импульса с выхода генератора 13 импульсов управляющий импульс на первом и четвертом выходах распределителя 14 отсутствует, а появляются импульсы на втором и третьем его выходах. При этом, на выходе дифференцирующей RC-цепи 16 сигнал отсутствует, на выходе элемента ИЛИ 18 сигнал нулевого уровня, на выходе элемента ИЛИ-НЕ 19 сигнал высокого уровня. Этот импульс поступает на первый вход третьего элемента И 20, на второй вход которого в этот момент времени импульс не поступает (фиг.1), т.е. на выходе элемента И 20 нулевой уровень.

Начиная с момента $t = 1$ и до момента окончания сигнала с выхода делителя 15 частоты, т.е. до окончания длительности первого периода входной периодической функции, подлежащей интегрированию, на первый вход элемента И 20 всегда поступает импульс высокого уровня с выхода элемента ИЛИ-НЕ 19, тем самым синхронизируя работу элемента И 20 с работой элемента И 40. Таким образом, в момент $t=1$ управляющие импульсы существуют на втором и третьем выходах распределителя 14. При этом включаются ключи 33 и 34 ячеек 2 и 3, ключ 35 и ключ 36 соответственно пары 6 и 7, ключи 32 и 33 ячейки 5, ключи 31 и 32 ячеек 11 и 12.

В этот момент времени заряды, накопленные в момент $t=0$ в накопительных конденсаторах 23 и 24, полностью разряжаются и готовы для работы в следующем такте. Это полностью устраняет билинейный эффект.

Зарядное уравнение для этого момента времени следующее:

$$U_1(1)C_{23} + U_2(0)C_{24} = U_2(1)C_{30}. \quad (4)$$

Учитывая, что $U_2(0) = U_1(0) \frac{C_{23}}{C_{24}}$, и полагая, что $C_{23} = C_{23} = C_{27} = 1/2 C_{24} = 1/2 C_{30} = 1/2 C_{26}$, выходное напряжение для момента $t = 1$ имеет вид:

$$\begin{aligned} U_2(1) &= \frac{C_{23}}{C_{30}} U_2(1) + \frac{C_{23}}{C_{24}} U_1(0) \frac{C_{26}}{C_{30}} = \\ &= \frac{1}{2} U_1(0) + \frac{1}{2} U_1(1). \end{aligned} \quad (5)$$

Заряд, образовавшийся на конденсаторах 25 и 27, запоминается до сле-

дующего такта и для $t=1$ не оказывает влияния.

В момент времени $t=2$ управляющие импульсы вновь на первом и четвертом выходах распределителя импульсов.

При этом включаются ключи 31 и 32 ячейки 2, ключи 31 и 32 ячейки 3, ключи 34 и 31 ячейки 4 и ключи 32 и 33 ячейки 5, ключ 36 первой и ключ 35 второй пар.

Зарядное уравнение имеет вид:

$$U_1(2)C_{23} + U_1(1)C_{27} + U_2(1)C_{25} = U_2(2)C_{24} \quad (6)$$

Учитывая (5) и полагая, что $C_{24} = C_{25} = 2C_{27} = 2C_{23}$, получим для выходного напряжения следующее выражение:

$$U_2(2) = \frac{C_{23}}{C_{24}} U_1(2) + \frac{C_{23}}{C_{24}} U_1(1) + \frac{C_{27}}{C_{24}} U_1(1) + \frac{C_{25}}{C_{24}} U_1(0) = \frac{1}{2} U_1(0) + U_1(1) + \frac{1}{2} U_1(2) \quad (7)$$

Для этого момента времени ($t=2$) происходит заполнение входного и выходного напряжений, существующих в момент $t=2$ на накопительных конденсаторах 28 и 26 соответственно.

Для момента $t=3$ характерен режим работы интегратора, рассмотренный в момент времени $t=1$ (т.е., включаются ключи, которые включаются в момент $t=1$). При этом зарядное уравнение имеет вид:

$$U_1(3)C_{29} + U_1(2)C_{28} + U_2(2)C_{26} = U_2(3)C_{30} \quad (8)$$

Учитывая (7) и $C_{24} = C_{30} = C_{26} = 2C_{23} = 2C_{28} = 2C_{29}$, выходное напряжение имеет вид:

$$U_2(3) = \frac{C_{29}}{C_{30}} U_1(3) + \frac{C_{28}}{C_{30}} U_1(2) + \frac{C_{23}}{C_{24}} \cdot \frac{C_{26}}{C_{30}} U_1(2) + \frac{C_{26}}{C_{30}} U_1(1) + \frac{C_{23}}{C_{24}} \cdot \frac{C_{26}}{C_{30}} U_1(0) = \frac{1}{2} U_1(0) + U_1(1) + U_1(2) + \frac{1}{2} U_1(3) \quad (9)$$

В момент $t=3$ происходит запоминание входного и выходного напряжений на накопительных конденсаторах 27 и 25 соответственно.

Для следующего момента времени $t=4$ характерен режим работы, рассмотренный в момент времени $t=2$. При этом зарядное уравнение имеет вид:

$$U_1(4)C_3 + U_2(3)C_{25} + U_1(3)C_{27} = U_2(4)C_{24} \quad (10)$$

Учитывая (9), выходное напряжение для этого момента времени имеет вид:

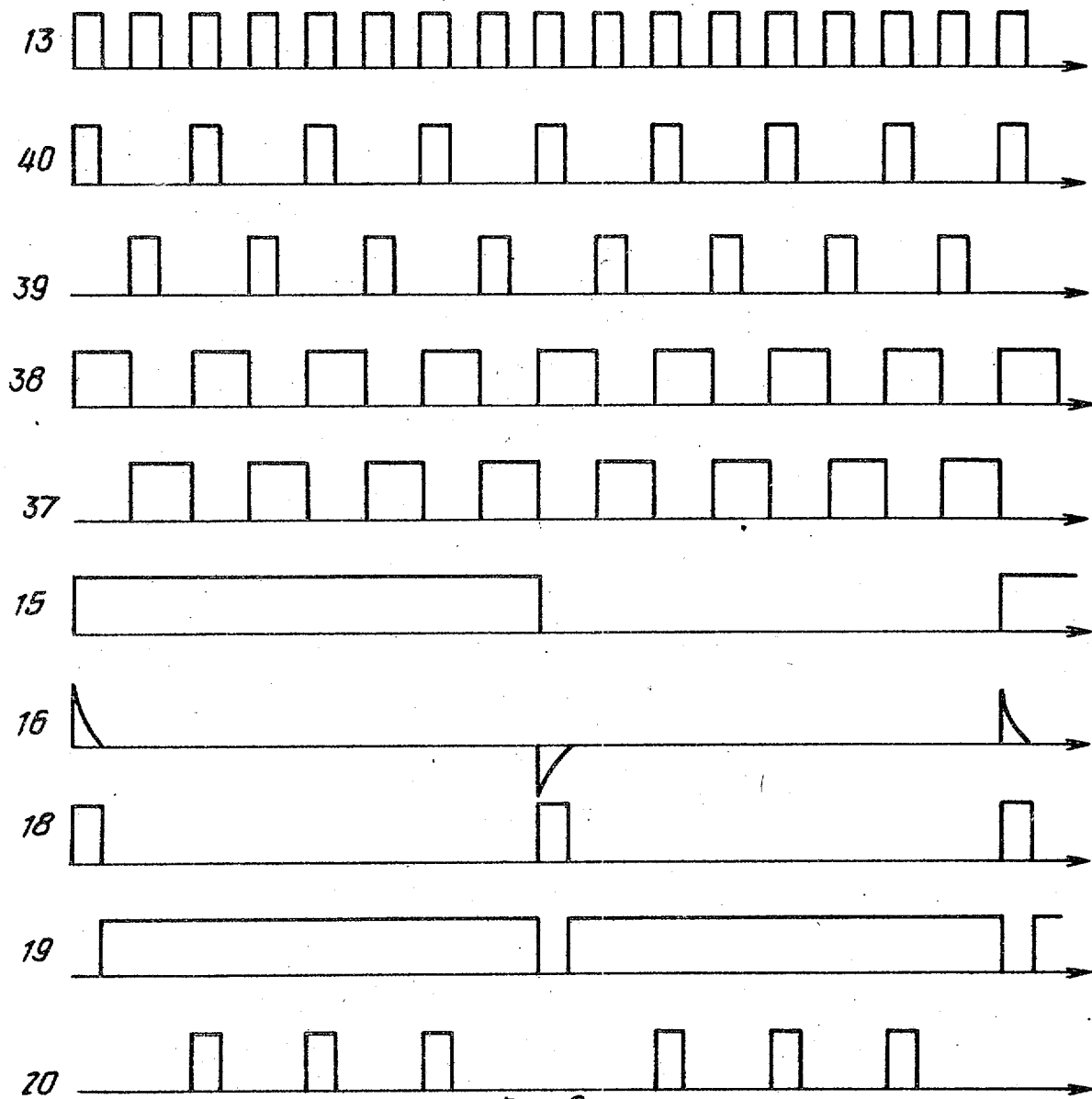
$$U_2(4) = \frac{1}{2} U_1(0) + U_1(1) + U_1(2) + U_1(3) + \frac{1}{2} U_1(4) \quad (11)$$

Ф о р м у л а и з о б р е т е н и я

Интегратор, содержащий первую, вторую, третью и четвертую зарядно-разрядные ячейки, каждая из которых выполнена в виде последовательно соединенных первого ключа, накопительного конденсатора и второго ключа, к обкладкам накопительного конденсатора подключены первые информационные выводы третьего и четвертого ключей, а также первую и вторую пары последовательно соединенных ключей, общий вывод которых в каждой паре через соответствующий накопительный конденсатор соединен с шиной нулевого потенциала, свободный информационный вывод первого ключа первой зарядно-разрядной ячейки и свободные информационные выводы первых ключей первой и второй пар соединены с входом интегратора, свободный информационный вывод второго ключа первой зарядно-разрядной ячейки, свободные информационные выводы вторых ключей первой и второй пар, свободные информационные выводы первых ключей второй, третьей и четвертой зарядно-разрядных ячеек соединены с инвертирующим входом операционного усилителя, выход которого, являющийся выходом интегратора, подключен к свободным информационным выводам вторых ключей второй, третьей и четвертой зарядно-разрядных ячеек, вторые информационные выводы третьего и четвертого ключей третьей и четвертой зарядно-разрядных ячеек и неинвертирующий вход операционного усилителя подключены к шине нулевого потенциала, генератор импульсов, выход которого соединен с входом распределителя импульсов, первый выход которого подключен к управляющим входам первого и второго ключей первой зарядно-разрядной ячейки четвертого ключа третьей и второго и третьего ключей четвертой зарядно-разрядных ячеек, второй выход распределителя импульсов соединен с управляющими входами первого ключа первой и второго ключа второй пар ключей, с управляю-

щими входами третьего и четвертого ключей первой, второго и третьего ключей третьей и первого и четвертого ключей четвертой зарядно-разрядных ячеек, третий выход распределителя импульсов соединен с управляющими входами третьего и четвертого ключей второй зарядно-разрядной ячейки, управляющие входы первого и второго ключей которой подключены к четвертому выходу распределителя импульсов, о т л и ч а ю щ и й с я тем, что, с целью повышения точности интегрирования при изменении интегрируемой функции, в него введены три дополнительных ключа, делитель частоты, дифференцирующая RC-цепь, два разделительных диода, инвертор, элемент И, элемент ИЛИ, элемент ИЛИ-НЕ и две дополнительные зарядно-разрядные ячейки, выполненные аналогично третьей и четвертой зарядно-разрядным ячейкам, причем свободные информационные выходы первых ключей первой и второй дополнительных зарядно-разрядных ячеек подключены соответственно к входу интегратора и к входу операционного усилителя, свободные информационные выходы вторых ключей первой и второй дополнительных зарядно-разрядных ячеек соединены соответственно с входом и выходом операционного усилителя, первый и второй дополнительные ключи включены соответственно между общими информационными выводами ключей первой и второй пар и шиной нулевого потенциала, третий дополнительный ключ включен между общим информаци-

онным выводом первого и третьего ключей третьей зарядно-разрядной ячейки и шиной нулевого потенциала, выход генератора импульсов через делитель частоты подключен к входу дифференцирующей RC-цепи, выход которой через первый разделительный диод соединен с первым входом и через последовательно соединенные второй разделительный диод и инвертор - с вторым входом элемента ИЛИ, выход которого подключен к управляющим входам первого, второго и третьего дополнительных ключей, входы элемента И подключены соответственно к первому выходу распределителя импульсов и через элемент ИЛИ-НЕ - к выходу элемента ИЛИ, а его выход соединен с управляющими входами первого ключа первой и второго ключа второй пар ключей и с управляющим входом первого ключа третьей зарядно-разрядной ячейки, управляющие входы первого и второго, а также третьего и четвертого ключей первой дополнительной зарядно-разрядной ячейки соединены соответственно с вторым и первым выходами распределителя импульсов, управляющие входы первого и второго, а также третьего и четвертого ключей второй дополнительной зарядно-разрядной ячейки соединены соответственно с третьим и четвертым выходами распределителя импульсов, вторые информационные выходы третьего и четвертого ключей первой и второй зарядно-разрядных ячеек соединены с шиной нулевого потенциала.



Фиг. 2

Составитель С. Белан
 Редактор Н. Тупица Техред М. Дидык Корректор В. Гирняк

Заказ 790/49 Тираж 704 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4