



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1282219 A1

(51)4 G 11 C 11/40

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3851711/24-24
(22) 29.01.85
(46) 07.01.87. Бюл. № 1
(71) Минский радиотехнический институт
(72) А.А.Добулезич
(53) 681.327 (088.8)
(56) Патент США № 4177452, кл. 307-465, опублик. 1979.
Патент США № 4293783, кл. 307-465, опублик. 1981.
(54) ПРОГРАММИРУЕМОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО
(57) Изобретение относится к вычислительной технике и может быть использовано в электронных вычислитель-

ных машинах, устройствах вычислительной техники и автоматики, контроллерах и устройствах управления. Целью изобретения является расширение области применения за счет возможности перезаписи информации. Поставленная цель достигается введением внутренних связей между ячейками памяти либо по строкам, либо по столбцам. Это позволяет осуществлять безадресную некоординатную настройку ячеек памяти путем последовательной передачи информации от одной ячейки памяти к другой. При этом время настройки сокращается и не требуется доступ к вертикальным шинам выборки элементов памяти. 2 з.п. ф-лы. 3 ил.

(19) SU (11) 1282219 A1

Изобретение относится к вычислительной технике и может быть использовано в электронных вычислительных машинах, устройствах вычислительной техники и автоматики, контроллерах и устройствах управления.

Цель изобретения - расширение области применения за счет возможности перезаписи информации.

На фиг. 1 изображена структурная схема программируемого запоминающего устройства; на фиг. 2 - структурная схема ячейки памяти первой матрицы; на фиг. 3 - структурная схема ячейки памяти второй матрицы; на фиг. 4 - функциональная схема ячейки памяти первой матрицы; на фиг. 5 - функциональная схема ячейки памяти второй матрицы.

Программируемое запоминающее устройство содержит первую 1 и вторую 2 матрицы ячеек памяти. Первая 1 матрица ячеек 3 памяти состоит из адресных (строковых) шин 4 и 5, по которым поступают входные напряжения X_1 и X_2 , инверторов 6, ячейки 3 памяти образуют входную матрицу И. Каждая из ячеек 3 памяти через соответствующие нагрузочные элементы 7 первой группы подключены к шине 8 питания и ячейкам 9 памяти второй матрицы. Ячейки 9 памяти образуют выходную матрицу ИЛИ. Первые выходы ячеек 9 памяти соединены с одними из выводов нагрузочных элементов 10 второй группы и являются управляющими выходами 11 устройства, вторые выходы нагрузочных элементов 10 подключены к шине 12 нулевого потенциала. Блок 13 управления состоит из элементов 2И 14 и 15, одни входы которых являются синхронизирующими входами, а другие управляющими входами 16 устройства. По разрядным (столбцовым) шинам 17 (Z) первой матрицы передаются сигналы промежуточных переменных Z_1, Z_2, Z_3 . Ячейка 3 памяти представляет собой совокупность ячеек XZ_{ij} ($j = 1, 2, 3, i = 1, 2$). Ячейка 9 памяти представляет собой совокупность ячеек ZY_{jk} ($j = 1, 2, 3, k = 1, 2, 3$), где Y_k - выходные шины 11, на которых формируются выходные переменные Y_k .

Ячейка 3 памяти XZ_{ij} (фиг. 2) содержит запоминающую часть $ЗЧ_{ij}$ 18 и логическую часть $ЛЧ_{ij}$ 19. Запоминающая часть $ЗЧ_{ij}$ 18 предназначена для

хранения кодов режимов функционирования логической части 19. Информация в запоминающую часть 18 $ЗЧ_{ij}$ поступает из запоминающей части $ЗЧ_{i,j-1}$ 18 предыдущей ячейки 3 памяти входной матрицы И. Информация из запоминающей части $ЗЧ_{ij}$ ячейки XZ_{ij} может быть передана в запоминающую часть $ЗЧ_{i,j+1}$ 18 последующей ячейки $XZ_{i,j+1}$. Запоминающие части $ЗЧ_{i1}, \dots, ЗЧ_{i3}$ строки ячеек XZ_{i1}, \dots, XZ_{i3} образуют горизонтальную последовательную сдвиговую структуру (сдвиговый регистр), сдвиг в которой производится под действием синхросигнала записи информации, поступающего с выхода элемента 2И 14. Информация в первую ячейку XZ_{i1} горизонтального сдвигового регистра заносится с шины 4 для прямого значения входной переменной X_i при наличии управляющего сигнала - сигнала разрешения записи $W1$ и внешнего синхронизирующего сигнала C на входе 16. Информация с выхода последней ячейки 3 XZ_{i3} (фиг. 1) далее не передается.

С помощью запоминающей части $ЗЧ_{ij}$ 18 можно установить следующие режимы работы соответствующей ей логической части $ЛЧ_{ij}$ 19.

Режим "0" - установить на выходе $ЛЧ_{ij}$ (на шине Z_j) состояние логического нуля. Режим "1" - установить на выходе $ЛЧ_{ij}$ состояние логической единицы. Режим связи с \bar{X}_i - установить логическую связь между первым входом логической части $ЛЧ_{ij}$ (шиной \bar{X}_i ; 5) и выходом логической части $ЛЧ_{ij}$ (шиной Z_j). Режим связи с \bar{X}_i - установить логическую связь между вторым входом логической части $ЛЧ_{ij}$ (шиной X_i ; 4) и выходом логической части $ЛЧ_{ij}$ (шиной Z_j).

Для кодирования четырех упомянутых режимов достаточно иметь в запоминающей части $ЗЧ_{ij}$ два однобитовых запоминающих элемента (два триггера). Логическая часть 19 состоит из комбинационных схем, и предназначена для реализации режимов, задаваемых запоминающей частью 18.

Ячейка 9 ZY_{jk} выходной матрицы ИЛИ (фиг. 3) содержит запоминающую часть $ЗЧ_{jk}$ 20 и логическую часть $ЛЧ_{jk}$ 21. Запоминающая часть предназначена для хранения кодов режимов функционирования логической части, информация в запоминающую часть $ЗЧ_{jk}$

поступает из запоминающей части $ZЧ_{j,k-1}$ предыдущей ячейки памяти выходной матрицы ИЛИ. Информация из запоминающей части $ZЧ_{jk}$ ячейки $ZУ_{jk}$ передается в запоминающую часть $ZЧ_{j,k+1}$ последующей ячейки выходной матрицы. Запоминающие части $ZЧ_{j1} - ZЧ_{j3}$ столбца ячеек $ZУ_{j1} - ZУ_{j3}$ образуют вертикальную последовательную сдвиговую структуру (сдвиговый регистр). Сдвиг информации производится под действием синхросигнала, поступающего с выхода элемента 2И 14. Информация в первую ячейку вертикального сдвигового регистра заносится с первой столбцовой шины промежуточной переменной Z_i при наличии сигнала разрешения записи $W2$ (управляющего сигнала) и внешнего синхронизирующего сигнала C . Информация с выхода последней ячейки регистра ($ZУ_{j3}$ для фиг. 1) далее не передается.

С помощью запоминающей части $ZЧ_{20}$ можно установить следующие режимы работы соответствующей ей логической части ЛЧ $_{jk}$ 21.

Режим связи "0" - установить на выходе ЛЧ $_{jk}$ состояние логического нуля. Режим связи с Z_j - установить логическую связь входа логической части ЛЧ $_{jk}$ (шиной Z_j 17). Для кодирования упомянутых режимов в запоминающей части достаточно иметь один однобитовый запоминающий элемент (один триггер). Логическая часть состоит из комбинационных схем и предназначена для реализации режимов задаваемых запоминающей частью.

Ячейка 3 матрицы И, функциональная схема которой изображена на фиг. 4, содержит запоминающую часть из первого 22 и второго 23 двухступенчатых синхронизируемых D-триггеров и логическую часть из комбинационной схемы 2И-ИЛИ 24, вход которой построен по схеме с открытым коллектором. Ячейка 9 матрицы ИЛИ (фиг. 5) включает запоминающую часть - триггер 25 и логическую часть из комбинационной схемы И 26.

Настройка запоминающего устройства заключается в занесении в запоминающие части $ZЧ_{j1} - ZЧ_{jk}$ ячеек $XZ_{j1} - ZУ_{jk}$ соответствующих настроечных кодов. Запись настроечных кодов в матрицы И производится при наличии одного из управляющих сигналов (сигнала разрешения записи). При этом ин-

формация, поданная на входы устройства, записывается в запоминающие части $ZЧ_{j1}$ первых ячеек XZ_{j1} каждой строки. Одновременно происходит сдвиг информации вправо на 1 разряд вдоль каждой строки ячеек матрицы И в каждой горизонтальной сдвиговой структуре. После шести тактов записи настроечная информация в матрице И полностью обновляется.

Принимаем следующее кодирование режимов работы логической части матрицы И. "00" - режим выдачи логического нуля на выход ЛЧ (на шину Z_j 17) "01" - режим логической связи шины X_j и Z_j , "10" - режим логической связи шины X_j и Z_j , "11" - режим выдачи логической единицы на выход логической части (на шину Z_j 17) ЛЧ $_{ij}$ ячейки XZ_{ij} .

Если нижнюю строку ячеек матрицы И XZ_{2j} ($j = 1, 2, 3$) настроить кодом "11" на режим логической единицы на выходе, то состояние столбцовых шин Z_j , $j = 1, 2, 3$ определяется состоянием ячеек верхней строки XZ_{1j} , $j = 1, 2, 3$ матрицы И. Так, если ячейка XZ_{11} настроена на режим "0" (код настройки "00"), то на шине Z имеется логический ноль. Зафиксированное состояние столбцовых промежуточных шин матрицы И можно переписать в ячейки 9 первой строки матрицы ИЛИ, т.е. ячейки $ZУ_{j1}$, $j = 1, 2, 3$. Для этого необходимо подать другой сигнал разрешения записи $W2=1$ и внешний синхронизирующий сигнал $C=1$ (при отсутствии сигнала разрешения записи $W1=0$). Информация со столбцовых шин Z_j записывается в запоминающие части $ZЧ_{j1}$ 20 (фиг. 3) первых ячеек $ZУ_{j1}$ каждого столбца ячеек выходной матрицы ИЛИ. Одновременно происходит сдвиг информации вниз на один разряд вдоль каждого столбца ячеек матрицы ИЛИ. После такта записи в ячейках $ZУ_{j1}$, $j=1, 2, 3$, хранится информация, зафиксированная на шинах Z_j , $j = 1, 2, 3$. Для полной смены информации в матрице ИЛИ необходимо три цикла обновления, на каждом из которых полностью обновляется информация в первой строке матрицы И. После настройки матрицы ИЛИ окончательно перенастраивается матрица И по входным сигналам на шинах X_j и при $W1=1, W2=0, C=1$.

Как уже отмечалось, необходимо выполнить шесть тактов записи в мат-

рицу И, так как каждая ячейка 3 матрицы И содержит в своей запоминающей части два однобитовых запоминающих элемента. В целом настройка запоминающего устройства (фиг. 1) производится за 27 тактов записи (тактов сдвига информации в последовательных регистрах): $27 = (6+1) + (6+1) + (6+1) + 6$. Для программирования запоминающего устройства с m входами, n выходами и p разрядными шинами время настройки (программирования) T_{np} выражается в количестве тактов сдвига формулой $T_{np} = (2p+1/n + 2p = 2p/n + 1) + n$ и не зависит от числа входов m .

Устройство функционирует следующим образом.

Логический уровень сигнала Z_j на разрядной шине 17 первой матрицы И определяется режимами работы подключенных к ней своими выходами ячеек XZ_{ij} и задается формулой $Z_j = \bigwedge_{i=1,2,3} X_i$, причем $\tilde{X}_i = \bar{X}_i$, если $3\check{C}_{ij} = 01$, если $3\check{C}_{ij} = 10$ $\tilde{X}_i = \bar{X}_i$, $X_i = 0$, если $3\check{C}_{ij} = 00$; $\tilde{X}_i = 1$, если $3\check{C}_{ij} = 11$.

Например, если $3\check{C}_{11} = 00$ и $3\check{C}_{21} = 10$, то $Z_1 = \bar{X}_1$, X_2 ; если $3\check{C}_{12} = 0$ и $3\check{C}_{22} = 11$, то $Z_2 = 0 \cdot 1 = 0$, если $3\check{C}_{13} = 11$ и $3\check{C}_{23} = 01$, то $Z_3 = 1 \cdot \bar{X}_2 = \bar{X}_2$.

Таким образом, с помощью матрицы И (матрицы конъюнкций) можно сформировать на разрядной шине 17 значение произвольного темпа входных переменных X_i и констант 0 и 1. Логический уровень на горизонтальной выходной шине Y_k определяется режимами работы подключенных к ней своими выходами ячеек ZY_{jk} матрицы ИЛИ и задается формулой $Y_k = \bigvee_{j=1,2,3} Z_j$, причем $Z_j = Z_j$, если $3\check{C}_{jk} = 1$; если $3\check{C}_{jk} = 0$, $\tilde{Z}_j = 0$.

Например, если $3\check{C}_{11} = 1$, $3\check{C}_{21} = 1$, $3\check{C}_{31} = 1$, то $Y_1 = Z_1 + Z_2 + Z_3$; если $3\check{C}_{12} = 0$, $3\check{C}_{22} = 0$, $3\check{C}_{32} = 1$, то $Y_2 = Z_3$; если $3\check{C}_{13} = 0$, $3\check{C}_{23} = 0$, $3\check{C}_{33} = 0$, то $Y_3 = 0$.

В итоге программируемое запоминающее устройство позволяет получить систему булевых функций, представленных в дизъюнктивной нормальной форме.

Формула изобретения

1. Программируемое запоминающее устройство, содержащее первую и вторую матрицу ячеек памяти, блок управления записью информации, нагрузочные элементы первой и второй групп, инверторы, входы которых подключены

к одним адресным шинам первой матрицы ячеек памяти, первым входом соответствующих ячеек памяти и являются адресными входами устройства, выходы инверторов подключены к другим адресным шинам матрицы ячеек памяти и вторым входам соответствующих ячеек памяти, первые выходы ячеек памяти первой матрицы подключены к первым выводам соответствующих нагрузочных элементов первой группы и первым входам ячеек памяти второй матрицы, первые выходы ячеек памяти второй матрицы подключены к первым выводам соответствующих нагрузочных элементов второй группы и являются выходами устройства, входы блока управления записью информации являются управляющими входами устройства, отличающиеся тем, что, с целью расширения области применения за счет возможности перезаписи информации, вторые выходы нагрузочных элементов первой и второй групп подключены соответственно к шине питания и шине нулевого потенциала, в каждой строке первой матрицы третий вход каждой ячейки памяти, кроме первой, соединен с вторым выходом предыдущей ячейки памяти, третий вход первой ячейки памяти подключен к одной из адресных шин, в каждом столбце второй матрицы второй вход каждой ячейки памяти, кроме первой, подключен к второму выходу предыдущей ячейки памяти, второй вход первой ячейки памяти соединен с выходами соответствующих ячеек памяти первой матрицы, третьи входы ячеек первой и второй матриц соединены соответственно с первым и вторым выходами блока управления записью информации.

2. Устройство по п. 1, отличающееся тем, что каждая ячейка памяти первой матрицы состоит из первого и второго D-триггеров и элемента 2И-ИЛИ, выход которого является третьим выходом ячейки памяти, первый и второй входы элемента 2И-ИЛИ являются первым и вторым входами ячейки памяти, третий и четвертый входы элемента 2И-ИЛИ соединены с выходами D-триггера, первые входы которых являются третьим входом ячейки памяти, вторые входы D-триггеров являются вторым выходом ячейки памяти.

3. Устройство по п. 1, отличающееся тем, что каждая ячейка памяти второй матрицы состоит из D-триггера и элемента И, выход D-триггера подключен к первому входу элемента И и является первым вы-

ходом ячейки памяти, первый вход D-триггера является вторым входом ячейки памяти, второй вход D-триггера является третьим выходом ячейки памяти, выход элемента И является вторым выходом устройства.

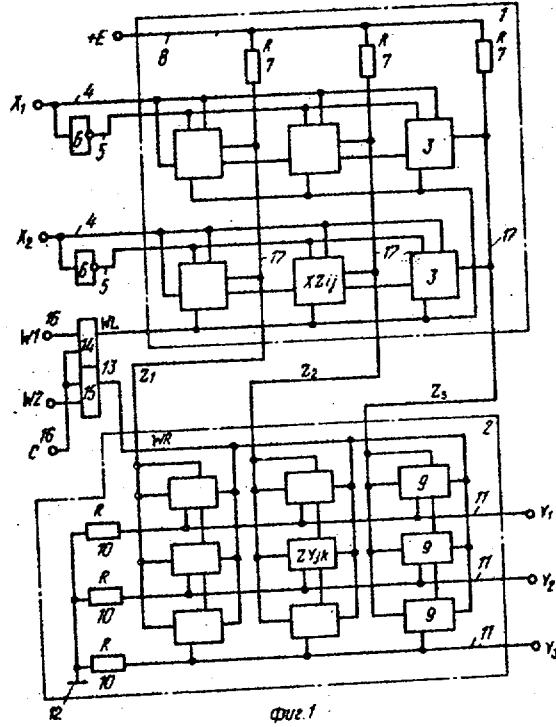


Fig. 1

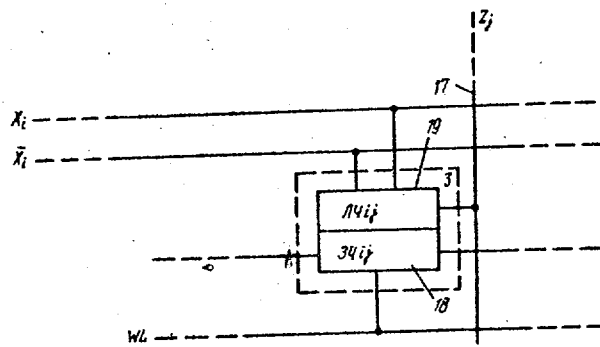


Fig. 2

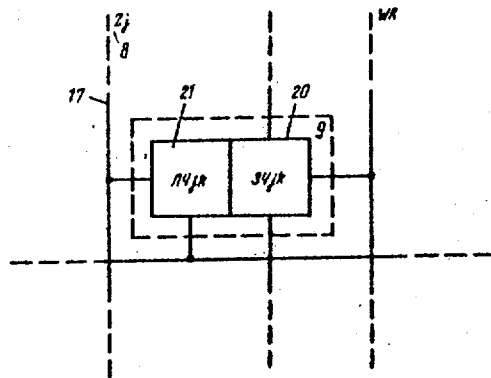


Fig. 3

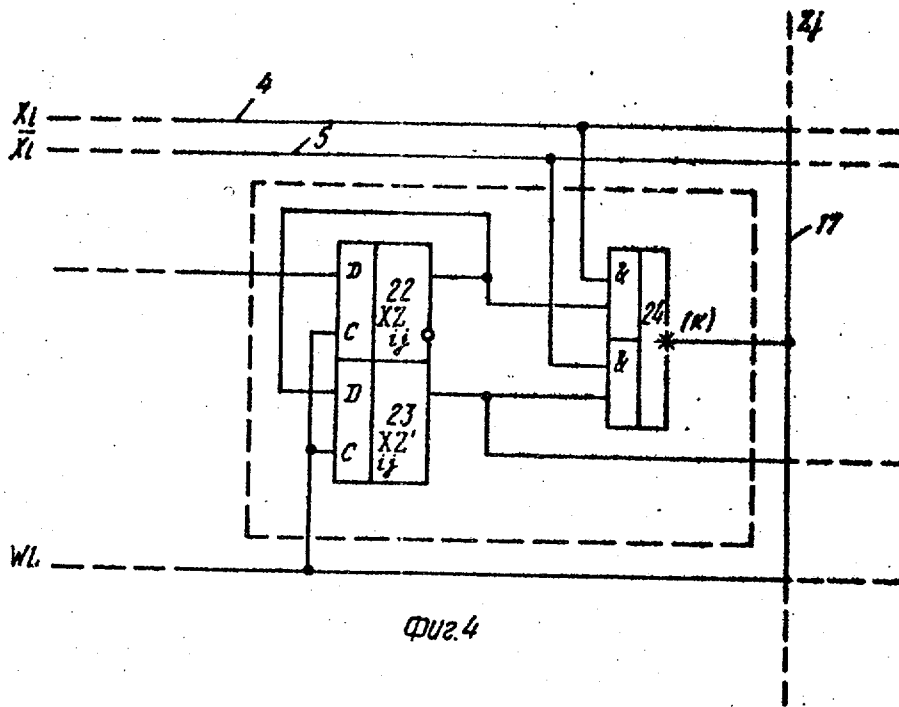


Fig. 4

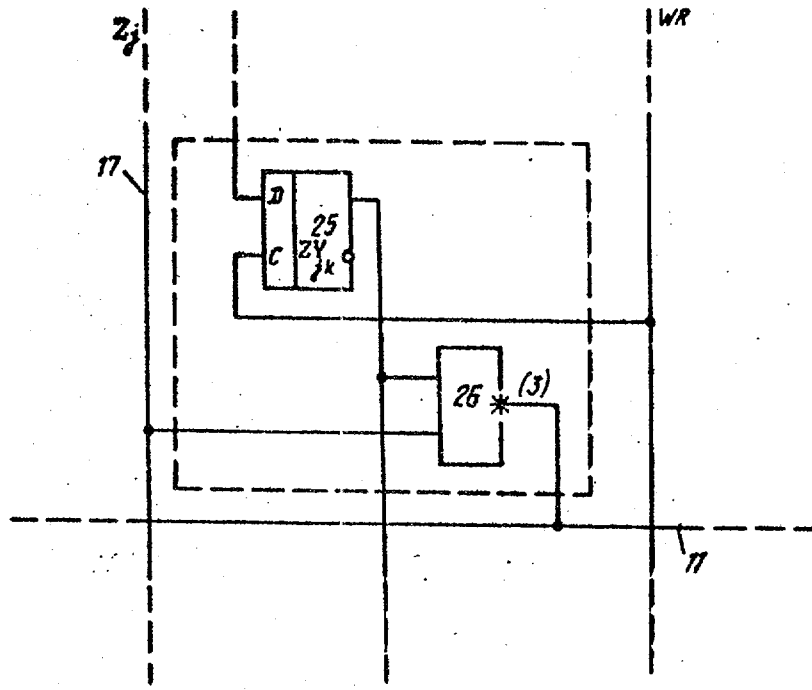


Fig. 5

Составитель Л.Амусьева

Редактор Е.Пап Техред В.Кадар

Корректор М.Шарош

Заказ 7276/52 Тираж 589

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4