



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1283978** **A1**

(5D) 4 Н 03 М 7/12

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ВВЕДЕНО В ДЕЙСТВИЕ

13 13

БИБЛИОТЕКА

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3912159/24-24

(22) 14.06.85

(46) 15.01.87. Бюл. № 2

(71) Минский радиотехнический институт

(72) А.А. Жалковский и А.А. Шостак

(53) 681.325(088.8)

(56) Авторское свидетельство СССР
№ 760085, кл. G 06 F 5/02, 1980.

Авторское свидетельство СССР
№ 798800, кл. G 06 F, 1981.

(54) ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНО-ДЕСЯТИЧНОГО КОДА В ДВОИЧНЫЙ

(57) Изобретение относится к области автоматики и вычислительной техники и может быть использовано при построении преобразователей целых и дробных десятичных чисел в двоичные. Целью изобретения является повышение быстродействия преобразователя. Поставленная цель достигается за счет того, что преобразователь, реализующий алгоритм суммирования эквивалентов, осуществляет одновременную обработку K десятичных разрядов с формированием уплотненного адреса ПЗУ при помощи промежуточного преобразователя K-разрядного двоично-десятичного кода в двоичный код. 1 ил.

(19) **SU** (11) **1283978** **A1**

Изобретение относится к вычислительной технике и может быть использовано для быстрого преобразования как целых, так и дробных десятичных чисел в двоичные.

Цель изобретения - повышение быстродействия преобразователя.

На чертеже приведена структурная схема предлагаемого преобразователя двоично-десятичного кода в двоичный. Преобразователь содержит входной регистр 1, переключатель 2 эквивалентов, первый и второй блоки 3 и 4 хранения эквивалентов, накапливающий сумматор 5, K-разрядный преобразователь 6 двоично-десятичного кода в двоичный, информационный вход 7 преобразователя, управляющий вход 8 преобразователя, выход 9 преобразователя.

Входной регистр 1 предназначен для хранения в двоичном коде значения i-ой K-разрядной группы десятичных цифр исходного операнда на время такта ее преобразования ($i = 1, 2, \dots, \frac{n}{K}$), где X - ближайшее целое, большее или равное X ; n - разрядность десятичного операнда). Двоичные значения первой и второй частей входного регистра 1 являются младшими частями адресов, по которым происходит обращение к первому 3 и второму 4 блокам хранения двоичных эквивалентов. Входной регистр 1 целесообразно реализовать на двухтактных синхронных D-триггерах.

Переключатель 2 эквивалентов осуществляет формирование старшей части адресов двоичных эквивалентов, хранящихся в блоках 3 и 4. Его разрядность определяется количеством K-разрядных групп десятичных цифр в преобразуемом числе. Он может быть реализован на двухтактном синхронном двоичном счетчике.

Первый 3 и второй 4 блоки предназначены для хранения двоичных эквивалентов первой и второй частей двоичного значения i-ой преобразуемой K-разрядной группы десятичных цифр соответственно. Количество двоичных разрядов на выходе первого 3 и второго 4 блоков хранения двоичных эквивалентов определяется числом двоичных разрядов, содержащихся в максимальных значениях двоичных эквивалентов. Первый 3 и второй 4 блоки могут быть реализованы на постоянной памяти.

Накапливающий сумматор 5 производит суммирование двоичных эквивалентов, выбранных из первого 3 и второго 4 блоков, с ранее накопленным результатом. Его можно построить на комбинационном сумматоре с сохранением переносов, приводящем трехрядный код к двухрядному, комбинационном сумматоре с ускоренным переносом и регистре для запоминания результата суммирования.

Преобразователь 6 предназначен для преобразования K-разрядной группы десятичных цифр в двоичный код. При $K = 2$ его целесообразно реализовать на постоянной памяти. При $K > 2$ наиболее приемлемым являются варианты его построения на комбинационных схемах.

В основу предлагаемого преобразователя двоично-десятичного кода в двоичный положен следующий принцип. Преобразование n-разрядного десятичного числа происходит за

$\lceil \frac{n}{K} \rceil$ тактов. В каждом такте обра-

батывается K его десятичных цифр, причем они предварительно преобразуются из двоично-десятичного кода в более компактный двоичный код. Поскольку двоичное значение i-ой K-разрядной группы десятичных цифр может быть представлено в виде $(A_i + B_i) \cdot V_i$, где A_i и B_i - первая и вторая части двоичного значения i-ой группы десятичных цифр, а V_i - ее вес, то преобразование этой группы десятичных цифр представляет собой суммирование двух двоичных эквивалентов значений $A_i \cdot V_i$ и $B_i \cdot V_i$ с суммой предыдущих эквивалентов.

Рассмотрим работу предлагаемого преобразователя при $K = 3$.

Перед началом преобразования устанавливаются в ноль триггеры входного регистра 1, переключателя 2 эквивалентов и накапливающего сумматора 5 (эти цели установки на чертеже не показаны). Через вход 7 преобразователя поступает двоично-десятичное значение трех первых десятичных цифр, которое преобразуется преобразователем 6 в 10-разрядный двоичный код. Первый импульс, поступающий с управляющего входа 8 преобразователя, записывает во входной регистр 1 двоичное значение первых трех десятич-

ных цифр, а в накапливающий сумматор 5 - нулевую информацию, выработанную блоками 3 и 4 по исходному (нулевому) состоянию входного регистра 1. Этот же импульс переводит переключатель 2 эквивалентов на формирование значения старшей части адресов двоичных эквивалентов для первой 3-разрядной группы десятичных цифр. Младшая часть адреса двоичного эквивалента первого слагаемого $A; V_1$ определяется значением первых пяти разрядов входного регистра 1, а младшая часть адреса двоичного эквивалента второго слагаемого $B; V_2$ - значением вторых пяти разрядов регистра 1. Двоичные эквиваленты первого и второго слагаемых хранятся в первом 3 и втором 4 блоках хранения двоичных эквивалентов (по 32 двоичных эквивалента в каждом блоке на каждую 3-разрядную группу десятичных цифр соответственно).

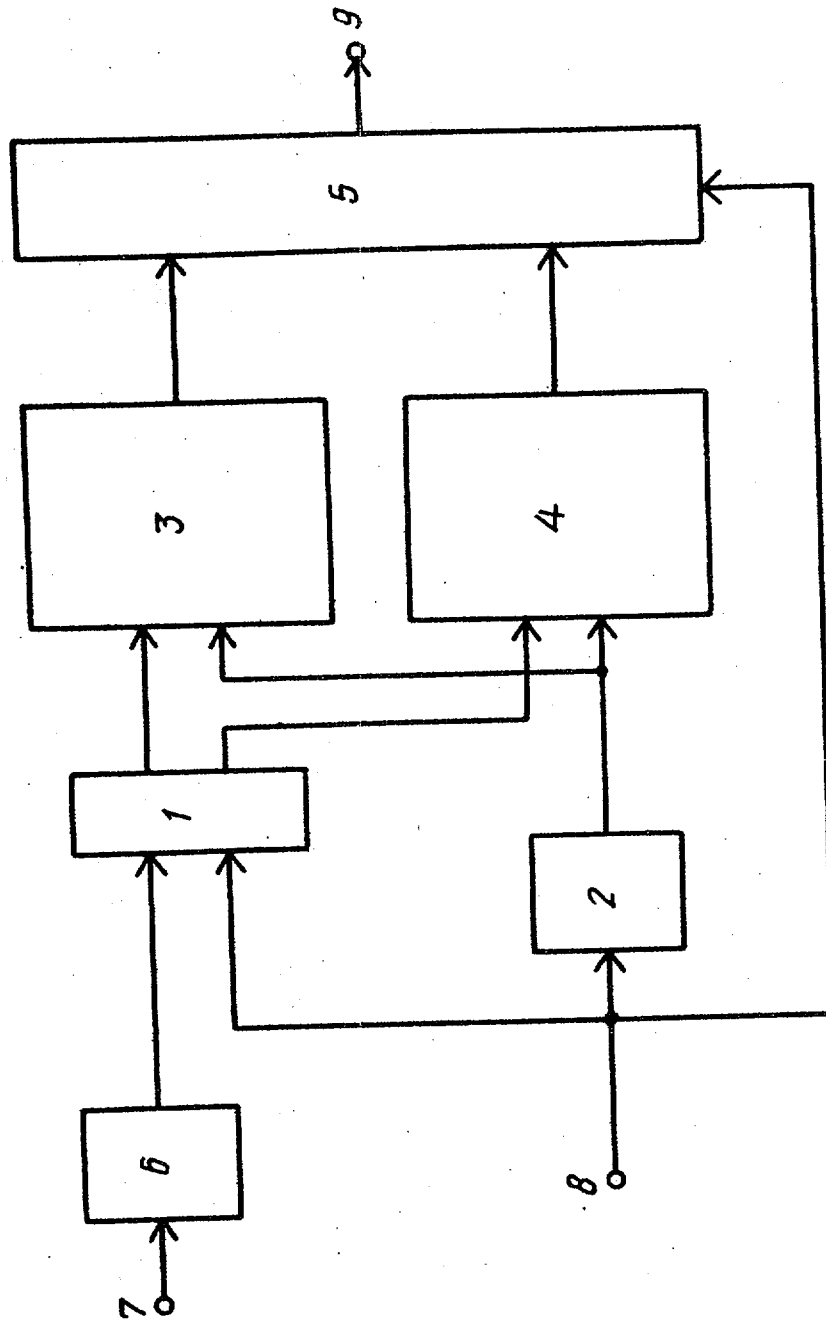
Выбранные двоичные эквиваленты поступают параллельным кодом на входы накапливающего сумматора 5, где осуществляется их суммирование.

Второй импульс с управляющего входа 8 преобразователя записывает результат суммирования его исходного (нулевого) содержимого со значением двух первых двоичных эквивалентов. Этот же импульс записывает во входной регистр 1 преобразованное в двоичный код значение вторых трех десятичных цифр и переводит переключатель 2 эквивалентов на формирование значения старшей части адресов двоичных эквивалентов для второй 3-разрядной группы. Работа преобразователя 6 выполняется параллельно с работой блоков 3, 4 и сумматора 5.

Подобным образом происходит преобразование каждой последующей 3-разрядной группы десятичных цифр до тех пор, пока не будут преобразованы все десятичные разряды исходного числа, а в накапливающем сумматоре 5 не сформируется искомое двоичное число, которое поступает на выход 9 преобразователя. Общее время преобразования n -разрядного десятичного числа определяется выражением $T = \left\lceil \frac{n}{3} \right\rceil t$, где t - длительность выполнения одного такта.

15 Ф о р м у л а и з о б р е т е н и я

Преобразователь двоично-десятичного кода в двоичный, содержащий входной регистр, переключатель эквивалентов, первый и второй блоки хранения эквивалентов и накапливающий сумматор, выходы которого являются выходами преобразователя, управляющий вход которого соединен с синхровходом входного регистра переключателя эквивалентов и накапливающего сумматора, первый и второй входы которого соединены соответственно с выходами первого и второго блоков хранения эквивалентов, младшие разряды адресных входов которых соединены соответственно с первым и вторым выходами входного регистра, а старшие разряды адресных входов первого и второго блоков хранения эквивалентов соединены с выходом переключателя эквивалентов, о т л и ч а ю щ и й с я тем, что, с целью повышения быстродействия преобразователя, в него введен K -разрядный преобразователь двоично-десятичного кода в двоичный, выход которого соединен со входом входного регистра, а вход - с информационным входом преобразователя.



Составитель М. Аршавский
 Редактор Т. Митейко Техред В. Кадар Корректор Е. Сирохман

Заказ 7459/58 Тираж 899 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4