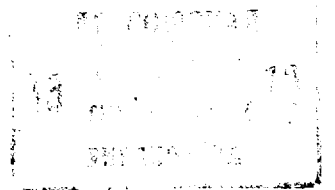




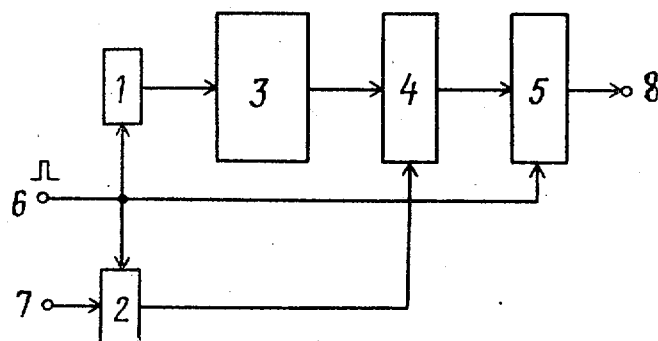
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3967998/24-24
(22) 16.07.85
(46) 23.01.87. Бюл. № 3
(71) Минский радиотехнический институт
(72) Л.Г. Лопато, В.П. Тукаль
и А.А. Шостак
(53) 681.325(088.8)
(56) Авторское свидетельство СССР
№ 572781, кл. Н 03 М 7/12, 1977.
Авторское свидетельство СССР
№ 760085, кл. Н 03 М 7/12, 1980.
(54) ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНО-ДЕСЯТИЧНОГО КОДА В ДВОИЧНЫЙ
(57) Изобретение относится к вычислительной технике и может быть применено для быстрого преобразования чисел из десятичной системы счисле-

ния в двоичную. Целью изобретения является повышение быстродействия. Поставленная цель достигается за счет введения в преобразователь, содержащий счетчик 1 номера десятичного разряда, регистр 2 тетрады, накопительный сумматор 5 блока 3 хранения смещенных эквивалентов и блока 4 умножения с соответствующим их подключением в схему, что позволяет за счет обработки в течение одного такта десятичной цифры повысить скорость преобразования, основанного на идее хранения двоичных эквивалентов весов десятичных цифр преобразуемого числа. Преобразование начинается со старшей десятичной цифры исходного операнда. 2 з.п. ф-лы, 5 ил., 1 табл.



Фиг.1

Изобретение относится к вычислительной технике и может быть использовано для быстрого преобразования целых десятичных чисел в двоичные.

Цель изобретения - повышение быстродействия.

На фиг. 1 приведена структурная схема преобразователя двоично-десятичного кода в двоичный; на фиг. 2 - таблица для $m = 15$, где представлены значения двоичных эквивалентов весов десятичных цифр без смещения и со смещением; на фиг. 3 - диаграмма, поясняющая организацию вычислений в блоке умножения; на фиг. 4 - структурная схема блока умножения; на фиг. 5 - схема накопительного сумматора.

Преобразователь двоично-десятичного кода в двоичный содержит (фиг. 1) счетчик 1 номера десятичного разряда, регистр 2 тетрады, блок 3 хранения смещенных эквивалентов, блок 4 умножения, накопительный сумматор 5, тактовый вход 6, информационный вход 7 и выход 8.

Блок умножения (фиг. 4) содержит тетрадный преобразователь 9 кода 8-4-2-1 в код 8-4-2-1-1, блок 10 вычисления произведения, первую и вторую группы элементов ИЛИ.

Накопительный сумматор (фиг. 5) содержит двухвходовой сумматор 13, регистр 14 и трехвходовой сумматор 15.

Блок хранения смещенных эквивалентов может быть выполнен на ПЗУ и содержит смещенные двоичные эквиваленты чисел вида 10^i (i - целое положительное число, причем $0 \leq i \leq m-1$, где m - разрядность исходного десятичного операнда).

На фиг. 2 приведены значения двоичных эквивалентов десятичных значений 10^i ($0 \leq i \leq 14$), причем в верхней части таблицы эти значения даны без смещения (как в известном преобразователе), а в нижней части таблицы - со смещением (как в предлагаемом преобразователе) на i двоичных разрядов вправо. Принципиально такое смещение двоичных эквивалентов десятичных значений 10^i возможно, так как в них i младших двоичных разрядов являются нулевыми (в верхней части таблицы (фиг. 2) область нулей отмечена штриховой линией). Сопоставляя эти два массива двоичных эквивалентов, видно, что для хранения несме-

щенных эквивалентов требуется память на 47 двоичных разрядов, в то время как для хранения смещенных эквивалентов требуется память на 33 двоичных разряда.

Учитывая, что некоторые разряды двоичных эквивалентов содержат только нули или единицы, окончательно получим, что блок хранения несмещенных эквивалентов должен иметь 45 двоичных разрядов, в то время как блок хранения смещенных эквивалентов 29-разрядный, т.е. примерно в 1,6 раза имеет меньшую разрядность.

В блоке 4 в каждом такте работы преобразователя осуществляется умножение значения очередной десятичной цифры исходного операнда, хранимой в регистре 2 тетрады и поступающей на первый вход блока 4 умножения, на значение двоичного эквивалента ее десятичного веса, считываемого из блока 3 на второй вход блока 4 умножения. Этот блок может быть разработан любым из известных методов умножения двоичных чисел. С целью сокращения количества оборудования блока 4 и увеличения быстродействия преобразователя предлагается следующее его построение.

Десятичная цифра исходного операнда, хранимая в регистре 2 тетрады и поступающая на первый вход блока 4 умножения, предварительно преобразуется в нем из кода 8-4-2-1 в код 8-4-2-1-1. Это преобразование выполняется параллельно с работой блока 3 и поэтому не снижает быстродействие блока 4 умножения.

Это преобразование поясняется в таблице.

Из таблицы видно, что цифры z_1 , z_2 и z_3 преобразованной тетрады одновременно не могут быть значащими. Это же справедливо и в отношении цифр z_4 , z_5 преобразованной тетрады. Приведем логические выражения, по которым могут быть получены значения цифр преобразованной тетрады:

$$z_1 = y_1 \cdot y_2;$$

$$z_2 = y_1 \cdot \bar{y}_2;$$

$$z_3 = \bar{y}_1 \cdot y_2;$$

$$z_4 = y_3 \oplus y_1 \cdot y_2;$$

$$z_5 = y_4 + y_1 \cdot y_2 \cdot y_3.$$

В каждом такте работы преобразователя в сумматоре 5 осуществляется прибавление к ранее накопленному

в нем результату значения произведения, образованного в виде двух слагаемых А и В на выходе блока 4 умножения. Сумматор 15 выполнен без распространения переносов, а сумматор 13 - с распространением переносов. Информация с выхода регистра 14 поступает на первый вход сумматора 15 со сдвигом влево на один двоичный разряд, на второй и третий входы этого сумматора поступает произведение, образованное в блоке 4 умножения в виде двух слагаемых А и В. С помощью сумматора 15 трехрядный двоичный код преобразуется к двухрядному и записывается в регистр 14.

Преобразователь работает следующим образом.

Пусть в исходном состоянии регистр 14 сумматора 5 обнулен, а счетчик 1 установлен в некоторое начальное состояние (например, в нуль), по значению которого из блока 3 считывается нулевой двоичный код (цепи начальной установки не показаны).

С приходом первого импульса на тактовый вход 6 преобразователя в регистр 14 сумматора 5 записывается нулевой код, в регистр 2 тетрады с информационного входа 7 преобразователя заносится значение m -й, самой старшей десятичной цифры преобразуемого числа, а счетчик 1 переводится в состояние "1". Далее по содержимому счетчика 1, являющемуся адресом обращения к блоку 3, из последнего считывается смещенный двоичный эквивалент десятичного значения 10^{m-1} (где m - число десятичных цифр в преобразуемом числе). В блоке 4 производится умножение значения считанного из блока 3 смещенного двоичного эквивалента на значение m -й десятичной цифры исходного операнда, хранящейся в регистре 2 тетрады, а получившееся при этом на выходе блока 4 произведение прибавляется к содержимому регистра 14 сумматора 5, сдвинутому на один двоичный разряд в сторону старших разрядов (на данном шаге преобразования содержимое регистра 14 равно нулю).

По приходу второго импульса на вход 6 преобразователя производится запись сформированной на выходе двухвходового сумматора 13 сумматора 5 в его регистр 14, а также перевод счетчика 1 в состояние "2" и запись

с информационного входа 7 преобразователя $(m-1)$ -й десятичной цифры исходного операнда в регистр 2 тетрады. После этого из блока 3 считывается смещенный двоичный эквивалент десятичного значения 10^{m-2} , а на выходе блока 4 умножения формируется произведение этого эквивалента на значение $(m-1)$ -й десятичной цифры исходного операнда. Получившееся на выходе блока 4 произведение прибавляется в сумматоре 5 к содержимому регистра 14, сдвинутому на один двоичный разряд в направлении старших разрядов.

С приходом третьего импульса на вход 6 преобразователя в регистр 14 сумматора 5 записывается результат, сформированный на выходе его второго сумматора 13, счетчик 1 устанавливается в состояние "3", а в регистр 2 тетрады с информационного входа 7 преобразователя заносится $(m-2)$ -я десятичная цифра исходного операнда. Так продолжается до тех пор, пока не будут преобразованы все m десятичных цифр исходного операнда. На последнем шаге преобразования преобразуется первая (самая младшая) десятичная цифра исходного операнда.

Ф о р м у л а и з о б р е т е н и я

1. Преобразователь двоично-десятичного кода в двоичный, содержащий счетчик номера десятичного разряда, регистр тетрады, накопительный сумматор, синхровходы которых соединены с тактовым входом преобразователя, информационный вход которого соединен с разрядными входами регистра тетрады, выход накопительного сумматора является выходом преобразователя, отличающийся тем, что, с целью повышения быстродействия, в него введены блок хранения смещенных эквивалентов и блок умножения, выход которого соединен с входом накопительного сумматора, выход регистра тетрады соединен с входом первого операнда блока умножения, вход второго операнда которого соединен с выходом блока хранения смещенных эквивалентов, вход которого соединен с выходом переключателя эквивалентов.

2. Преобразователь по п. 1, отличающийся тем, что в нем

блок умножения содержит тетрадный преобразователь кода 8-4-2-1 в код 8-4-2-1-1, блок вычисления произведения, первую и вторую группы элементов ИЛИ, входы которых соединены соответственно с первой и второй группами выходов блока вычисления произведения, тетрадный вход которого соединен с выходом тетрадного преобразования кода 8-4-2-1 в код 8-4-2-1-1, вход которого является входом первого операнда, блока умножения, вход второго операнда которого является входом эквивалента блока умножения, выходы первой и второй групп элементов ИЛИ являются выходами блока умножения.

3. Преобразователь по пп. 1 и 2, отличающийся тем, что в нем накопительный сумматор содержит трехвходовый сумматор, двухвходовый сумматор и регистр, выход которого является выходом накопительного сумматора и соединен с первым входом трехвходового сумматора, второй и третий входы которого являются разрядными входами накопительного сумматора, синхровход которого соединен с входом записи регистра, разрядный вход которого соединен с выходом двухвходового сумматора, входы первого и второго операндов которого соединены соответственно с разрядными выходами младших и старших разрядов трехвходового сумматора.

Преобразуемая тетрада					Преобразованная тетрада					
Вес:	8	4	2	1	Вес:	8	4	2	1	1
	$y = y_4$	y_3	y_2	y_1		$z = z_5$	z_4	z_3	z_2	z_1
	0	0	0	0		0	0	0	0	0
	0	0	0	1		0	0	0	1	0
	0	0	1	0		0	0	1	0	0
	0	0	1	1		0	1	0	0	1
	0	1	0	0		0	1	0	0	0
	0	1	0	1		0	1	0	1	0
	0	1	1	0		0	1	1	0	0
	0	1	1	1		1	0	0	0	1
	1	0	0	0		1	0	0	0	0
	1	0	0	1		1	0	0	1	0

$$x = \begin{matrix} x_n & \dots & x_4 & x_3 & x_2 & x_1 \\ x & & & & & \end{matrix} \quad Z = \begin{matrix} z_5 & z_4 & z_3 \\ z_2 \\ z_1 \end{matrix} \begin{pmatrix} z_2 \\ z_1 \end{pmatrix}$$

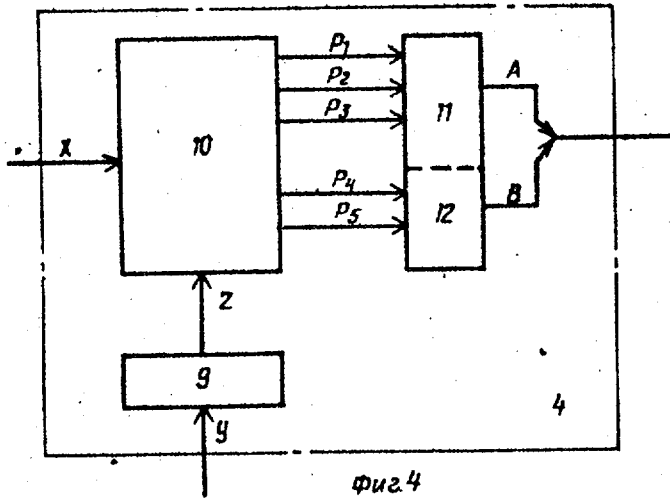
Первое слагаемое $A = P_1 \vee P_2 \vee P_3$

$$P_1 = \begin{matrix} z_1 & z_1 & z_1 & \bar{x}_n \cdot z_1 & \dots & \bar{x}_4 \cdot z_1 & \bar{x}_3 \cdot z_1 & \bar{x}_2 \cdot z_1 & \bar{x}_1 \cdot z_1 \\ & & & x_n \cdot z_2 & \dots & x_4 \cdot z_2 & x_3 \cdot z_2 & x_2 \cdot z_2 & x_1 \cdot z_2 \\ & & & x_n \cdot z_3 & x_{n-1} \cdot z_3 & \dots & x_3 \cdot z_3 & x_2 \cdot z_3 & x_1 \cdot z_3 \end{matrix}$$

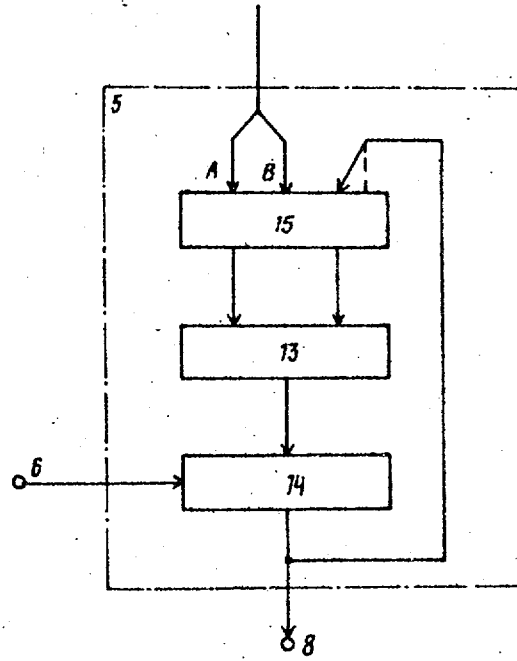
Второе слагаемое $B = P_4 \vee P_5$

$$P_4 = \begin{matrix} x_n \cdot z_4 & x_{n-1} \cdot z_4 & x_{n-2} \cdot z_4 & \dots & x_3 \cdot z_4 & x_1 \cdot z_4 \\ P_5 = x_n \cdot z_5 & x_{n-1} \cdot z_5 & x_{n-2} \cdot z_5 & x_{n-3} \cdot z_5 & \dots & x_1 \cdot z_5 \end{matrix}$$

Фиг.3



Фиг.4



Фиг.5

Составитель М. Аршавский
 Редактор Н. Тупица Техред Л.Олейник Корректор Т. Колб

Заказ 7535/57 Тираж 899 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4