



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3931286/24-24
(22) 17.07.85
(46) 07.03.87. Бюл. № 9
(71) Минский радиотехнический институт
(72) А.М.Суходольский, О.В.Герман,
И.Н.Гальцов и Ю.Р.Бейтюк
(53) 681.3 (088,8)
(56) Авторское свидетельство СССР
№ 708356, кл. G 06 F 15/20, 1977.
Авторское свидетельство СССР
№ 1091170, кл. G 06 F 15/20, 1983.
(54) УСТРОЙСТВО ДЛЯ МОДЕЛИРОВАНИЯ
ДИСКРЕТНЫХ СИСТЕМ
(57) Изобретение относится к вычис-
лительной технике и предназначено
для моделирования сложных дискретных
систем. Целью изобретения является
расширение функциональных возмож-
ностей устройства за счет моделирования

требуемых схем динамических приори-
тетов и логики взаимодействия заявок
в многофазных системах массового об-
служивания. Устройство содержит груп-
пу блоков реализации процесса, группу
блоков управления процессами, блок
выборки процесса, блок модельного
времени, блок индикации условий, блок
управления устройством, элемент И, эле-
мент ИЛИ, коммутатор, блок диагности-
ки состояния ресурсов, блок перемен-
ных состояний. Устройство обеспечива-
ет реализацию процессов в соответст-
вии с вводимыми описаниями, включаю-
щими порядок захвата/освобождения
ресурсов и требуемые при этом емкости
ресурсов, схемой установки приорите-
тов по шагам реализации, описанием
логики установки/сброса переменных
состояния системы для синхронизации
взаимодействующих процессов. 3 з.п.
ф-лы, 14 ил.

Изобретение относится к вычислительной технике, может быть использовано для моделирования дискретных систем (например, систем передачи и обработки информации, производственных систем и пр.) и позволяет исследовать многофазные системы массового обслуживания с динамическими схемами приоритизации процессов и сложной логикой взаимодействия процессов.

Целью изобретения является расширение функциональных возможностей устройства за счет моделирования требуемых схем динамических приоритетов и логики взаимодействия заявок в многофазных системах массового обслуживания.

На фиг. 1 приведена структурная схема устройства; на фиг. 2 - схема блока реализации процесса; на фиг. 3 - схема блока управления процессом; на фиг. 4 - схема блока выборки процесса; на фиг. 5 - узел опроса блока выборки процесса; на фиг. 6 - схема блока индикации условий; на фиг. 7 - схема узла проверки состояния; на фиг. 8 - схема формирования импульсов блока индикации условий; на фиг. 9 - схема коммутатора и коммутирующая ячейка коммутатора; на фиг. 10 - схема блока диагностики состояния ресурсов; на фиг. 11 - схема опроса ресурсов блока диагностики состояния ресурсов; на фиг. 12 - схема блока переменных состояний; на фиг. 13 - схема блока модельного времени; на фиг. 14 - алгоритм работы устройства.

Устройство для моделирования дискретных систем содержит идентичные блоки 1 реализации процессов, соответствующие им блоки 2 управления процессом, блок 3 выборки процесса, блок 4 модельного времени, блок 5 индикации условий, блок 6 управления устройством, элемент И 7, элемент ИЛИ 8, коммутатор 9, блок 10 диагностики состояния ресурсов и блок 11 переменных состояний.

Блок 1 реализации процесса (фиг. 2) содержит оперативное запоминающее устройство (ОЗУ) 12, информационный счетчик 13, первый 14 и второй 15 адресные счетчики, первый 16 и второй 17 дешифраторы, регистр 18, схему 19 сравнения на равенство нулю, сумматор 20, первый 21, второй 22 и третий 23 триггеры, блок 24 усиления импульсов, второй 25 и первый 26

элементы ИЛИ, группу схем 27 сравнения, группу элементов И 28, элемент 29 задержки, первый 30 и второй 31 элементы И.

Блок 2 управления процессом (фиг. 3) содержит постоянное запоминающее устройство (ПЗУ) 32, адресный счетчик 33, регистр 34 микрокоманды, генератор 35 тактовых импульсов, мультиплексор 36, второй 37 и первый 38 триггеры, дешифратор 39, первый элемент 40 задержки, первый 41 и второй 42 элементы И, второй элемент 43 задержки, третий 44, первый 45, второй 46 и четвертый 47 элементы ИЛИ, третий 48 и четвертый 49 элементы И, группу выходных элементов И 50, группу схем 51 сравнения и группу опрашивающих элементов И 52.

Блок 3 выборки процесса (фиг. 4) содержит счетчик 53 и первый регистр 54, первый 55 и второй 56 дешифраторы, вторую 57 и первую 58 схемы сравнения (соответственно на меньше "0" и равно "0"), второй регистр 59, группу узлов 60 опроса, первый 61 и второй 62 элементы ИЛИ и группу элементов И 63.

Узел 60 опроса (фиг. 5) содержит схему 64 сравнения, мультиплексор 65, регистр 66, элемент 67 задержки, первый 68 и второй 69 элементы И и элемент ИЛИ 70.

Блок 4 модельного времени (фиг. 13) содержит генератор 71 импульсов, счетчик 72 и элемент И 73.

Блок 5 индикации условий (фиг. 6) содержит узлы 74 проверки состояния, триггер 75, формирователь 76 импульсов, первый 77, второй 78, третий 79, шестой 80, четвертый 81 и пятый 82 элементы ИЛИ, первый 83 и второй 84 элементы ИЛИ.

Узел 74 проверки состояния (фиг. 7) содержит первый 85 и второй 86 элементы И и элемент ИЛИ 87, а формирователь 76 импульсов (фиг. 8) - триггер 88, элемент 89 задержки и элементы И 90 и 91.

Коммутатор 9 (фиг. 9а) содержит группы элементов И 92 (коммутирующие ячейки) и элементы ИЛИ 93-95.

Блок 10 диагностики состояния ресурсов (фиг. 10) содержит ОЗУ 96, счетчик 97 адреса, регистр 98, с первого по третий блоки 99-101 усиления импульсов, элемент 102 задержки, группу элементов ИЛИ 103, дешифратор 104,

узлы (по числу ресурсов) 105 опроса ресурсов и элемент ИЛИ 106, причем узел 105 опроса ресурсов (фиг. 11) содержит регистры 107, мультиплексор 108, накапливающий сумматор (аккумулятор) 109, схему 110 сравнения, триггер 111 и регистр 112.

Блок 11 переменных состояния (фиг. 12) содержит триггеры 113, блок 114 усиления импульсов и дешифратор 115.

Схема блока 6 управления устройством соответствует блоку 2 управления процессом и представляет микропрограммный автомат с памятью (фиг. 3).

На схемах жирными линиями показаны жгуты, тонкими - провода.

Устройство работает следующим образом.

Моделируемый процесс (в качестве процессов могут выступать коммуникационные сообщения в сетях связи, вычислительные задачи (программы), партии деталей в производственных системах и пр.) функционирует в системе, захватывая/освобождая ресурсы, а также взаимодействуя с другими функционирующими процессами, например, через сообщения, разделяемые переменные, семафоры. Для задания программы реализации процесса необходимо указать: требования (на каждом шаге реализации) к емкости используемых ресурсов, условия перехода на следующий шаг (предикат(ы), определенный на множестве переменных состояния системы); новые значения (если таковые предусматриваются логикой развития процесса) переменных состояния системы, устанавливаемые в результате завершения текущего шага реализации, рассматриваемого процесса.

В соответствии с этим реализацию D^j j -го процесса ($j = \overline{1, m}$) можно представить цепью описаний

$$D^j = \langle T_0, S_1^j, S_2^j, \dots, S_{\omega_j}^j, \# \rangle,$$

где S_k^j ($k = \overline{1, \omega_j}$) - описание шага k реализации D^j ;

T_0 - время ввода процесса в систему (как правило, $T_0 = 0$, однако можно ввести процесс в систему в любое заданное время);

$\#$ - признак конца реализации.

$$S_k^j = \langle \rho, P_k^1, R_k, P_k^2, T_k \rangle,$$

где T_k - необходимое для реализации шага k время;

ρ - относительное приращение или абсолютное (замещающее) значение приоритета процесса;

R_k - совокупность пар вида (r_μ, c_μ) , где r_μ - номер ресурса, c_μ - запрашиваемая/освобождаемая емкость (принято, что если $c_\mu \geq 0$, то данная величина емкости запрашивается, а если $c_\mu < 0$, то емкость освобождается), $\mu = \overline{1, n}$;

P_k^1 - совокупность пар вида (P_ξ, Δ_ξ) , $\xi = \overline{1, q}$, где P_ξ - номер переменной состояния, Δ_ξ - новое (подлежащее установке) значение переменной P_ξ , $\Delta_\xi \in \{0, 1\}$;

P_k^2 - в отличие от P_k^1 каждая пара (P_ξ, Δ_ξ) определяет номер переменной (P_ξ) и значение (Δ_ξ), которое должно быть выполнено в текущем состоянии системы.

Если это условие не выполняется, то процесс блокируется.

Необходимыми компонентами S_k^j являются (в общем случае) время T_k и приоритет ρ .

Соответственно, содержимое ячеек ОЗУ 12 каждого блока 1_i ($i = \overline{1, m}$) реализации процесса (фиг. 2) организовано следующим образом:

- время (закрывает предыдущий шаг реализации);

- приоритет (приращение или абсолютное значение);

- номер переменной или ресурса;

- значение (емкость);

- ...

- время (закрывает текущий шаг реализации);

- ...

- признак конца реализации ($\#$).

Для идентификации содержимого ячейки ОЗУ 12 часть разрядов отводится под кодовый признак: U_1 - время T_k ; U_2 - приоритет ρ , используемый как новое (абсолютное) значение приоритета; U_3 - приоритет ρ , используемый как приращение (относительное значение) к текущему приоритету, при-

чем приращение может быть и отрицательным (указано число в дополнительном входе); U_4 - номер переменной состояния; U_5 - номер ресурса; U_6 - запрашиваемая (освобождаемая) емкость ресурса; U_7 - данное значение переменной состояния требуется установить; U_8 - данное значение переменной состояния требуется проверить; U_9 - конец.

Разряды кодового признака со счетчика 13 поступают на дешифратор 16 и далее на первые выходы блока 1; ($i = \overline{1, m}$) реализации процесса.

Микропрограммный автомат (фиг. 3) принимает команды от ЭВМ (не показана) по второму входу, после чего начинает выполнять микропрограмму, связанную с принятой командой (например, командой "Начать моделировать"). Каждая команда (точнее код команды) соответствует в микропрограммном автомате некоторому начальному адресу микропрограммы в ПЗУ 32. Для адресации ПЗУ 32 используется счетчик 33.

Для того, чтобы записать адрес в счетчик 33 с вторых выходов блоков 2 или блока 6, один из разрядов заведен на R-вход триггера 38, поэтому наличие на этом входе "1" сбрасывает триггер 38 и с некоторой задержкой этот же сигнал поступает через элемент ИЛИ 46 для управления записью в счетчик 33. Триггер 38 определяет код "01", который подается на управляющие входы мультиплексора 36, в результате последний коммутирует направление, соответствующее вторым входам блока 2 или блока 6 устройства. Таким образом в счетчик 33 записывается начальный адрес микропрограммы (соответствующий конкретной команде, выставленной на вторые входы микропрограммного автомата). Если речь идет о блоках 2, то код команды выставляет блок 6 управления, для которого код команды выставляет ЭВМ, с которой сопряжено устройство. После записи в счетчик 33 начального адреса микропрограммы выдается сигнал пуска по одному из входов рассматриваемого автомата для генератора 35, кроме того, этот же сигнал устанавливает триггер 38, так, что далее на управляющих входах мультиплексора 36 устанавливается код "10" и коммутируется "нижнее" направление - от адресных разрядов регистра 34. Генера-

тор 35 выдает две последовательности сигналов (четную и нечетную). По каждому нечетному сигналу происходит чтение из ПЗУ 32, а по каждому четному реализуется фаза выполнения микрокоманды (либо операционного, либо логического типа). По сигналу чтения выставляется код на выходах ПЗУ 32, который записывается в регистр 34 этим же сигналом, задержанным в элементе 40. Затем сигнал чтения исчезает и генератор 35 выдает сигнал опроса элементов И 41 и 42, т.е. проверяет разряд S регистра 34; если $S=1$, то возбуждается выход элемента И 41 (микрокоманда операционного типа) и единичный сигнал далее подается на все элементы И 50, причем сигналы микроопераций появляются на выходах тех элементов И 50, которым соответствуют единичные разряды поля микроопераций в регистре 34. После пропадания сигнала на выходе генератора 35 соответственно пропадают сигналы микроопераций. Кроме того, всегда при выполнении микрокоманды операционного типа (один из микрооперационных выходов заведен на вход элемента ИЛИ 45) по микрооперационному сигналу в такте выполнения счетчик 33 увеличивает адрес следующей команды в ПЗУ 32 на "1". Допустим, что выполняется микрокоманда логического типа ($S = 0$). В этом случае ни один из элементов И 50 не возбуждается. При этом номер логического условия коммутируется на вход дешифратора 39 и возбужденным является тот выход дешифратора, который соответствует номеру этого логического условия.

В разряде V регистра 34 записано проверяемое значение логического условия (0 или 1). Фактические (или наблюдаемые) значения логических условий собраны в первые входы микропрограммного автомата, причем каждому фактическому логическому условию соответствует конкретная схема 51 сравнения по модулю два. Кроме того, опрашивается только та схема 51 сравнения, которая соответствует номеру проверяемого условия. В случае несоответствия проверяемого и фактического значений логического условия ни один из элементов 52 не возбуждается, поэтому появляется сигнал на выходе элемента И 49, по которому далее

через элемент ИЛИ 46 производится запись в счетчик 33 адресного поля регистра 34, коммутируемого мультиплексором 36. В случае совпадения фактического и проверяемого значений логического условия возбуждается выход элемента И 48, коммутируемый на элемент ИЛИ 45, и адрес следующей микрокоманды увеличивается на "1". Наконец, триггер 37 определяет состояние работы/бездействия микропрограммного автомата.

Таким образом, работа автомата определяется теми микропрограммами, которые записаны в ПЗУ 32. Каждая микропрограмма реализует некоторый порядок действий, устанавливаемый алгоритмом (фиг. 14).

Устройство предназначено для моделирования дискретных систем, в которых выделяются процессы (например, вычислительные задачи, коммуникационные пакеты, партии деталей) и ресурсы - "стационарные" объекты системы, "обрабатывающие" процессы. Процессы функционируют в системе, захватывая (освобождая) ресурсы и во взаимодействии с другими процессами. Функционирование каждого процесса в устройстве определяется последовательностью шагов, причем для каждого шага указывается время его выполнения, требуемые ресурсы (и "сколько" каждого ресурса требуется - в относительных долях или емкостях), приоритет (или его приращение) и некоторые логические условия (переменные состояния), которые в общем случае должны быть некоторым образом установлены, чтобы процесс мог начать реализацию следующего шага; может быть указано, как следует установить переменные состояния после выполнения очередного шага. Принято, что в первую очередь в модели "двигаются" процессы с максимальным текущим приоритетом. Из этого описания ясны блоки 1-3 алгоритма. Процесс считается заблокированным, если для перехода на следующий шаг реализации ему не могут быть выделены ресурсы (ввиду их занятости) или переменные состояния установлены так, что они запрещают дальнейшее продвижение. В устройстве принято, что с завершением каждого очередного шага реализации процесса, если требуется установка некоторых переменных состояний, то она производится - блок 5

(причем только один раз - блок 6: проверяется, просматривался процесс или нет); в результате изменения переменных возможно, что некоторые процессы разблокируются - блок 7; в блоке 9 проверяются условия: есть ли для процесса свободные ресурсы на следующем шаге и допускается ли следующий шаг переменными состояниями, если нет, то блок 10. Процесс считается прерванным, если он завершил очередной - не последний - шаг реализации и ему разрешен переход на следующий шаг (в данном случае, если счетчик времени реализации процесса не обнулен). Блок 11 соответствует системному тупику - нет прерванных процессов и все процессы заблокированы. В блоке 15 определяется статус "прерванного" процесса.

Функциональным назначением реализации процесса является определение каждого шага реализации процесса вплоть до его завершения. Содержимое ячеек ОЗУ 12 идентифицируется кодом, декодируемым на дешифраторе 16. Блок 1 участвует в моделировании, если триггер 21 сброшен. Для моделирования процесса в ОЗУ 12 до моделирования записывается вся информация о процессе. Для записи в ОЗУ 12 ЭВМ на вторые входы блоков 2 выставляет слово информации (очередное). Затем ЭВМ выдает команду записи в блок 6, иницилируя микропрограмму записи. По команде записи блок 6 определяет, куда "ретранслировать" команду (т.е. производит выбор соответствующего блока 2). Для этого выбора используются два типа команды записи: "Продолжение записи" и "Запись в новый блок 1" (служит для выбора нового блока 1, в котором определяется следующий по порядку процесс). Рассмотрим подробно оба типа команды записи, предварительно укажем, что вторые входы блоков 2 являются общими - это значит, что для запуска конкретного блока 2 задействуется конкретный выход блока 3, и перед записью во все блоки 1 реализации процессов должна быть выполнена программа начальной установки элементов схем, счетчик 53 блока 3 (фиг. 4) по входу от элемента ИЛИ 61 обнуляется, а по входу, обозначенному выше, наращивает содержимое на "1".

В случае поступления команды "Запись в новый блок 1" блок 6 сигналом микрооперации в третьей группе выходов увеличивает содержимое счетчика 53 на единицу. В такте выполнения следующей микрокоманды блок 6 сигналом микрооперации в той же группе, коммутируемым на вход элемента ИЛИ 62 блока 3, управляет записью номера блока 1 из счетчика 53 в регистр 54 (фиг. 4). В следующем такте выполнения очередной микрокоманды блок 6 выставляет на IV-й группе выходов код команды "Записать", при этом разряд в группе выходов IV должен быть нулевым и, кроме того, выдает сигнал синхронизации элементов И 63 в блоке 3 по микрооперационному выходу в группе III выходов блока 6. Этот сигнал (фиг. 4) коммутирует единственный выход дешифратора 56 на тот выход блока 3, который управляет запуском нужного блока 2. Если длительность выполнения микрокоманды не позволяет вовремя установить адрес в счетчике 33 блока 2 до поступления сигнала пуска с выхода блока 3, то выдача кода "Записать" в блоке 2 должна производиться на такт раньше (т.е. в последнем такте, когда во все счетчики 33 всех блоков 2 занесен адрес программы записи, выдается сигнал пуска с требуемого выхода блока 3). При поступлении на входы блока 6 команды "Продолжение записи" отличие от рассмотренных выше действий связано с отсутствием необходимости наращивания содержимого счетчика 53 блока 3 и записи в регистр 54. Теперь блок 2, получив команду записи по второму входу и сигнал пуска генератора 35, выполняет следующие действия. Если получена команда записи первого типа, то блок 2 сигналом микрооперации на первом выходе, коммутируемым на вход наращивания на "1" содержимого счетчика 14 блока 1 (фиг. 2) увеличивает содержимое указанного счетчика на "1", а в следующем такте выдает сигнал записи в ОЗУ 12. По команде второго типа сначала счетчик 14 сбрасывается, а в следующем такте увеличивает содержимое на единицу, после чего выдает команду записи в ОЗУ 12. Таким образом осуществляется запись в одну ячейку памяти. Для записи в следующую ячейку ЭВМ выставляет но-

вый код на входах блока 1 и выдает очередную команду записи первого или второго типов.

Блок 1 работает следующим образом.

5 Для диагностики состояния процесса используются триггеры 21-23, и схема 19 сравнения на равенство "0". Триггер 21 в установленном состоянии определяет, что соответствующий процесс в системе не существует (например, завершил реализацию и покинул систему), триггер 22 в установленном состоянии указывает, что соответствующий процесс заблокирован, т.е. 15 ему для перехода на следующий шаг реализации либо не могут быть выделены необходимые ресурсы, либо не "срабатывает" предикат, связанный с этим переходом.

20 Состояние триггера 23 (указателя просмотра) используется соответствующим блоком 2 для выдачи сигнала разблокировки (блок 6,7 алгоритма на фиг. 14) на соответствующий из микрооперационных выходов, поступающего на соответствующие входы блока 5 индикации условий. Наличие высокого уровня на выходе схемы 19 сравнения (фиг. 2) определяет статус "ожидającego" процесса, т.е. свидетельствует, что время T_k , необходимое для реализации шага k , истекло и процесс 30 требует выполнения следующего шага реализации. Таким образом можно выделить две активные фазы реализации 35 любого процесса: Φ_A - фаза выполнения перехода на следующий шаг реализации и Φ_B - фаза выполнения шага реализации.

40 Наиболее простой (в смысле управления) фазе Φ_B соответствует ненулевое содержимое счетчика 13 и низкий уровень на выходе схемы 19 сравнения. 45 При этом соответствующий блок 2 управления процессом не подает на входы блока 1 реализации процесса никаких управляющих воздействий. Изменение (уменьшение) содержимого 50 счетчика 13 осуществляется сигналом с выхода элемента И 30 при поступлении импульсов на вход блока 1 реализации процесса от блока 4 модельного времени. При обнулении содержимого 55 счетчика 13 любого из блоков 1 возникает высокий уровень на выходе схемы 19 сравнения на равенство нулю, в результате чего обеспечивает-

ся блокирование и останов генератора 71 импульсов модельного времени в блоке 5 модельного времени и запуск блока 6 управления устройством (через элемент ИЛИ 8).

Когда счетчик 13 обнуляется, начинается фаза Φ_A . Для останова генератора 71 (фиг. 13) выполняется пуск (рестарт) блока 6 сигналом запуска по цепи схема 19 сравнения блока 1 - выход элемента И 85 - элемент ИЛИ 77 - элемент ИЛИ 8 - вход "Пуск" генератора 35 блока 6 (фиг. 3). При этом сигнал с третьего выхода узла 74 блока 5 (фиг. 7) параллельно сигналу на первом выходе узла 74 поступает через элемент ИЛИ 79 на формирователь 76 и далее через элемент ИЛИ 81 на входы блоков 1, сбрасывая триггеры 22; параллельно сигнал через элемент ИЛИ 82 (фиг. 6) поступает на вход установки триггера 75, в результате своим инверсным выходом триггер 75 блокирует выход блока 4 через элемент И 7. Кроме того, рестарт блока 6 происходит с команды, следующей за последней выполненной командой, этой следующей командой является команда логического типа для проверки условия прерывания - все необходимые признаки собраны в первых выходах блока 5 индикации условий. Таким образом, начинает выполняться фаза Φ_A . При этом в счетчик 13 (фиг. 2) последовательно считываются ячейки ОЗУ 12 и выполняется дешифрация их кодовых признаков. Для адресации ОЗУ 12 используется счетчик 14. Первой ячейкой ОЗУ 12, открывающей следующий шаг реализации, является ячейка, содержащая признак U_2 , U_3 или U_4 , т.е. приоритет или номер переменной ресурса. Если выбран приоритет (U_2 , U_3), то содержимое счетчика 13 через блок 24 усиления импульсов поступает на накапливающий сумматор 20. Два управляющих входа накапливающего сумматора 20 (соответственно "Сброс" и "Управление") позволяют в случае U_2 занести в сумматор значение приоритета, а в случае U_3 добавить к текущему содержимому сумматора 20 приращение приоритета.

Приоритет процесса есть любое (ограниченное разрядностью ОЗУ 12) неотрицательное число. Выходы сумматора 20 заводятся на соответст-

вующие входы блока 3 выборки процесса.

Проверка значения переменной состояния (кодовый признак U_8) осуществляется дешифратором 17, схемой 27 сравнения, элементами 28 и 26, при этом номер переменной из счетчика 13 через блок 24 переписывается в регистр 18 и поступает на входы дешифратора 17, в результате возбуждается тот выход дешифратора 17, который соответствует опрашиваемой переменной. После этого считывается следующая ячейка ОЗУ 12 с идентификатором U_8 . Принято, что номер переменной соответствует номеру спрашиваемого разряда ячейки ОЗУ 12. Сравнение требуемого значения переменной и фактического (текущего) выполняется соответствующей схемой 27 сравнения, выход которой стробируется одноименным элементом И 28. В результате высокий потенциал на выходе элемента ИЛИ 26 определяет условие совпадения требуемого и фактического значений опрашиваемой переменной состояния. В случае несовпадения значений блок 2 управления рассматриваемым блоком 1 реализации процесса обеспечивает по выходам элементов И 50 установку состояния "Заблокирован" (подачей сигнала на S-вход триггера 22) процесса; восстановление содержимого счетчика 14 (путем перезаписи содержимого счетчика-дублира 15 в счетчик 14, т.е. восстанавливается состояние процесса); передачу управления в блок 6 управления устройством.

В случае успешного перехода на следующий шаг выполнение фазы Φ_A в блоке 1; реализации процесса завершается занесением в счетчик 13 времени реализации шага (U_1), т.е. статус "прерванный" процесс = (содержимое счетчика 13) $\neq 0$ & (процесс не завершен) & (процесс не заблокирован).

В соответствии с алгоритмом работы устройства (фиг. 14, блоки 2, 3) завершение любого шага реализации сопровождается "обращением" к блоку 6 управления устройством (пуск через элемент ИЛИ 8) и остановом генератора 71 модельного времени. Для того, чтобы снова запустить генератор 71 необходимо выполнить действия, предусмотренные фазой перехода Φ_A для всех процессов, ожидаю-

ших перехода. Порядок выполнения этих действий следующий.

Необходимо найти процесс с максимальным приоритетом из числа ожидающих и не являющихся заблокированными. Если такого процесса нет, то фаза Φ_A завершена, в противном случае необходимо попытаться "перевести" данный процесс на следующий шаг реализации. При этом, возможно, требуется установка новых значений переменных состояния, а также захват/освобождение ресурсов или их частей. Поскольку в этом случае может быть снято условие блокировки с других ожидающих процессов, то необходимо выполнить действия, указанные в блоках 3-10 алгоритма.

Блок 3 выборки процесса обеспечивает выборку процесса с максимальным приоритетом из числа ожидающих и незаблокированных и работает следующим образом.

На первые входы узлов 60 поступают коды текущих приоритетов с выходов соответствующих блоков 1 реализации процессов. Узел 60 опроса участвует в цикле опроса только при наличии высокого уровня от элемента И 31 соответствующего блока 1 реализации процесса, который определяет наличие в системе незаблокированного и отдающего процесса. Цикл опроса приоритета всегда начинается с первого узла 60 опроса и заканчивается опросом (сравнением) приоритета в последнем узле 60. В результате опроса приоритета определяется номер процесса с максимальным текущим приоритетом, причем на информационные выходы узлов 60 (в порядке их прохождения) коммутируется максимальное значение приоритета из числа опрошенных процессов.

При опросе первого узла 60 отрицательный код из регистра 59 поступает на входы узла 60 опроса и далее на мультиплексор 65 и схему 64 сравнения. На другие входы мультиплексора 65 и схемы 64 сравнения поступает текущий приоритет процесса соответствующего рассматриваемого узла 60. Предположим, что данный процесс участвует в опросе (высокий уровень на втором входе разрешения опроса узла 60 опроса). Тогда, если приоритет данного процесса больше отрицательного кода, то на прямом выходе схе-

мы 64 сравнения имеется высокий уровень, а на инверсном - соответственно низкий, адресные разряды мультиплексора 65 обеспечивают коммутацию большего приоритета (т.е. в данном случае приоритета процесса) и по сигналу записи, задержанному элементом 67 задержки, обеспечивается запись большего приоритета в регистр 66. При этом сигнал с выхода элемента И 63 через элемент ИЛИ 62 обеспечивает также перезапись содержимого счетчика 53 в регистр 54. Учитывая, что счетчик 53 определяет текущее значение номера опрашиваемого узла 60 опроса, результатом указанных действий является запись в счетчик 54, номера процесса (из числа просмотренных) с максимальным приоритетом.

Если в результате опроса на первых выходах последнего узла 60 опроса имеется отрицательный код, то это определяет условие завершения просмотра и выхода в блок 12 алгоритма (поскольку принято, что приоритеты процессов должны быть неотрицательными).

Если процесс не участвует в смотре (например, заблокирован), что соответствует низкому уровню на соответствующем входе узла 60 опроса (фиг.5), адресные входы мультиплексора 65 обеспечивают коммутацию на выходе информации с первых информационных входов узла 60.

При завершении цикла опроса в регистре 54 (фиг. 4) находится номер выбранного процесса, который дешифрируется дешифратором 56, возбуждая соответствующий первый вход элемента И 63, который соответствует выбранному процессу. При подаче сигнала "Пуск" на другие входы элементов И 63 от группы микрооперационных выходов III блока 6 управления устройством обеспечивается стробирование элементов И 63; причем появляется сигнал запуска на соответствующем выходе блока 3 выборки процесса. По этому сигналу запускается соответствующий блок 2 управления процессом и начинается фаза Φ_A попытки перехода на следующий шаг реализации для выбранного процесса.

Рестарт блока 2 начинается с проверки логических признаков, коммутируемых с выхода соответствующего бло-

ка 1. Дальнейшие действия блока 2 обеспечивают следующие процессы в блоке 1: увеличение содержимого счетчика 14 на "1", считывание очередной ячейки ОЗУ 12 в счетчик 13 и декодирование идентификатора ячейки и на дешифраторе 16, после чего выполняются действия, связанные с тем, какая информация содержится в считанной ячейке памяти.

Пусть при выполнении фазы Φ_A потребовалась установка новых значений переменных состояния в блоке 11 переменных состояния. Это значит, что идентификатором последней считанной ячейки ОЗУ 12 (фиг. 2) является U_7 . В предыдущей считанной ячейке содержался номер переменной состояния. Имеем, что в регистре 18 содержится номер переменной состояния, а в счетчике 13 - значение переменной состояния. Коммутатор 9 (фиг. 9) обеспечивает коммутацию номера переменной и устанавливаемого значения с направления, соответствующего тому блоку управления процессом, который работает в рассматриваемый момент (высокий уровень выхода Γ_1 соответствует прямому выходу триггера 37 наличия управления, (фиг. 3). Каждая коммутирующая ячейка 92 содержит групповые элементы И (фиг. 9б), информация с выходов которых снимается при наличии высокого уровня на входе Γ_1 . Таким образом, на выходы групповых элементов ИПИ 93 коммутируется номер переменной или ресурса, на выходы элемента ИПИ 94 - с направлений Б - значение переменной состояния (или запрашиваемая/освобождаемая емкость ресурса), на выходы элемента ИПИ 95 - управляющие разряды (группа микрооперационных выходов В работающего блока управления процессом).

В рассматриваемом случае установки новых значений переменных состояний номер переменной с первых выходов коммутатора поступает на дешифратор 115 блока 11 переменных состояния (фиг. 12). Под действием управляющего сигнала обеспечивается срабатывание дешифратора 112 и подача сигнала записи на вход С требуемого триггера 113, в результате записывается информация (0 или 1), определяемая состоянием второго входа блока 11 переменных состояния. Требуемое

(новое) значение переменной состояния, поступающее на второй вход блока 11 переменных состояния, определяется из разрядных вторых выходов коммутатора 9. Рассмотрим, как осуществляется попытка захвата (освобождения) ресурсов. Как и в случае установки переменных состояния, номер проверяемого ресурса определяется содержимым регистра 18 блока 1 реализации процесса (фиг. 2), а запрашиваемая (освобождаемая) емкость - кодом в счетчике 13, причем освобождаемой емкости соответствует отрицательный код, запрашиваемой емкости - положительный.

Коммутатор 9 обеспечивает выбор соответствующего активному блоку 2 управления процессом направления коммутации, при этом на входы блока 10 диагностики состояния ресурсов поступают соответственно код номера ресурса, код запрашиваемой/освобождаемой емкости и управляющие выходы коммутируемого блока 2 управления процессом. Управление блоком 10 диагностики состояния ресурсов может осуществляться через входы от блока 6 управления устройством. ОЗУ 96 (фиг. 10) блока диагностики состояния ресурсов содержит общие (исходные) емкости ресурсов системы. Обращение к ОЗУ 96 выполняется по адресу (номеру ресурса), заносимому с входов рассматриваемого блока. Величина общей емкости опрашиваемого ресурса помещается в регистр 98 и далее через блок 100 коммутируется на первые входы узлов 105 опроса ресурсов. Выбор конкретного узла 105 опроса ресурсов, соответствующего принятому номеру ресурса, реализуется возбуждением конкретного выхода дешифратора 104.

Узел 105 работает следующим образом.

В накапливающем сумматоре 109 и регистре 107 хранится код, соответствующий текущему значению используемой емкости опрашиваемого ресурса (узлы 105). Величина запрашиваемой/освобождаемой емкости через блок 99 поступает на входы узлов 105 опроса ресурсов и далее на мультиплексор 108. Триггер 111 обеспечивает (в данном случае) коммутацию информации с вторых входов узлов 105 опроса ресурсов и далее на сумматор

109. Под действием сигнала управления с одного из входов узла 105 опроса ресурсов текущее содержимое аккумулятора складывается с величиной запрашиваемой/освобождаемой емкости, причем результат сложения (интерпретирующий новое значение используемой емкости рассматриваемого ресурса при переходе на следующий шаг реализации процесса) сравнивается с исходной емкостью данного ресурса, код которой поступает на первые входы узла 105. Управляющий сигнал от дешифратора 104 блока 10 диагностики состояния ресурсов обеспечивает срабатывание схемы 110 сравнения. В случае, если исходная емкость ресурса недостаточна (т.е. запрос на ресурс не может быть удовлетворен), на выходе схемы 110 сравнения имеется низкий уровень. Это значит, что процесс нужно заблокировать, а для всех опрошенных (данным процессом) ресурсов восстановить их состояние. Восстановление состояния ресурсов осуществляется перезаписью содержимого регистра 107 всех узлов 105 опроса ресурсов в сумматор 109 путем изменения адресных входов мультиплексора 108 и последовательным сбросом сумматора 109 и добавлением содержимого регистра 107.

В регистре 112 хранится код последней запрашиваемой/освобождаемой емкости, что используется для анализа тупиковых ситуаций, возникающих в системе.

В случае невозможности захвата ресурса или значения переменной состояния, не допускающего возможность перехода процесса на следующий шаг реализации, блок 2 управления процессом устанавливает триггер 22 (который был до этого сброшен) и устанавливает содержимое счетчика 14 записью в него содержимого счетчика-дублиера 15 (запись в счетчик 15 содержимого счетчика 14 происходит всякий раз при успешной попытке перехода процесса на следующий шаг реализации или при установке переменных состояния). При выполнении фазы Φ_A блок 6 все время опрашивает вторые выходы блоков 2. Нулевое содержимое этих выходов заставляет блок 6 инициировать выборку процесса в блоке 3. Окончание выборки в блоке 3 устанавливается блоком 6 в результате проверки первых выходов блока 3. Далее блок 6

проверяет логические признаки с первых выходов блока 5 и, если отсутствует системный тупик, блок 6 выдает сигнал пуска соответствующим микрооперационным выходам в группе V_1 выходов блока 6, который коммутируется на пусковой вход генератора 71 блока 4 модельного времени.

Индикация состояния процессов в блоке 5 индикации условий осуществляется следующим образом. Ключевой схемой в рассматриваемом блоке является узел 74 проверки состояния (фиг. 7), на входы которого поступают: признак завершения процесса a_i ; признак блокировки b_i ; и признак завершения шага реализации c_i ; соответственно, элемент И 85 (фиг. 7) определяет незавершенный, незаблокированный и ожидающий процесс, элемент И 86 - состояние выполняемого (в фазе Φ_B) процесса. Усиленный с выхода элемента И 85 сигнал через элементы ИЛИ 87 и 79 поступает на формирователь 76 импульса, формирующий импульс нужной длительности. Далее этот сигнал поступает, в частности, на один из выходов блока 5 индикации условий и затем через элемент ИЛИ 8 на запускаящий вход блока 6 управления устройством, инициируя тем самым фазу Φ_A .

Элемент ИЛИ 77 определяет условие наличия хотя бы одного процесса, требующего выполнения фазы Φ_A (попытки перехода на следующий шаг реализации).

Элемент ИЛИ 78 определяет наличие в системе хотя бы одного выполняющегося процесса, а элемент ИЛИ 80 - наличие переполнения в счетчике 14 адреса блока 1 реализации процесса. Элемент ИЛИ 81 служит для "разблокировки процессов" (сброса триггеров 22 блоков 1).

Элемент И 83 определяет состояние тупика в системе, когда все процессы заблокированы, а элемент И 84 - условие завершения всех процессов в системе (условие завершения моделирования).

Триггер 75 обеспечивает блокировку генератора 71 всяких раз, когда любой из процессов завершает очередной шаг реализации. В этом случае высокий уровень появляется на первом и третьем выходах узла 74 опроса; формирователь 76 импульсов обеспечивает подачу сигналов на вход триггера 75

и запускает этим же сигналом блок 6 управления устройством. При этом блок 6 управления устройством "рестартует" с предыдущей точки прерывания (т.е. фактически начинает новый цикл выполнения фазы Φ_A).

Длина импульса, обеспечиваемого формирователем 76, определяется величиной задержки элементом 89, причем триггер 88 в исходном состоянии сброшен, а при появлении высокого уровня на входе устанавливается в "1" через время, определяющее длительность импульса на выходе формирователя 76 импульса.

Занесение исходной информации о моделируемой системе выполняется по входам устройства: по входам блоков 1 обеспечивается занесение информации, описывающей реализации процессов, по входам блока 10 заносится информация об емкостях (объемах) ресурсов системы.

Выходы устройства обеспечивают получение следующей информации: первая группа выходов блоков служит для врат управления (например, управляющей микро-ЭВМ), выход триггера 37 блока 6 определяет наличие/отсутствие управления со стороны блока 6 управления устройством, выходы блоков 1 позволяют получить коды текущих номеров шагов реализаций процессов, выходы блока 10 устройства - информацию о текущих (занимаемых) емкостях ресурсов и величинах последних запросов на ресурсы, а выходы блока 11 устройства - значения переменных состояния устройства, на выходы блока 4 устройства поступает код модельного времени.

Формула изобретения

1. Устройство для моделирования дискретных систем, содержащее элемент И, элемент ИЛИ, блок диагностики состояния ресурсов и блок модельного времени, первый и второй тактовые выходы блока модельного времени соединены соответственно с первым прямым и первым инверсным входами элемента И, первая группа информационных входов блока диагностики состояния ресурсов является группой входов задания ресурсов устройства, а группа выходов блока диагностики состояния ресурсов является группой вы-

ходов текущего состояния ресурсов устройства, о т л и ч а ю щ е е с я тем, что, с целью расширения функциональных возможностей за счет моделирования требуемых схем динамических приоритетов и логики взаимодействия заявок в многофазных системах массового обслуживания, оно дополнительно содержит блок переменных состояния, коммутатор, блок выборки процесса, блок индикации условий, группу блоков реализации процесса, блок управления устройством и группу блоков управления процессами, каждый блок реализации процесса группы содержит оперативное запоминающее устройство, информационный и два адресных счетчика, первый и второй дешифраторы, регистр, схему сравнения на равенство нулю, сумматор, первый, второй и третий триггеры, блок усиления импульсов, первый и второй элементы ИЛИ, группу схем сравнения, группу элементов И, элемент задержки, первый и второй разрядные выходы первого адресного счетчика соединены соответственно с разрядными входами второго адресного счетчика и адресными входами оперативного запоминающего устройства, выходы которого соединены соответственно с разрядными входами информационного счетчика, вход управления записи которого соединен с выходом элемента задержки, разрядные выходы кодового признака слова информационного счетчика соединены соответственно с входами первого дешифратора, а остальная группа разрядных выходов информационного счетчика соединена с входами схемы сравнения на равенство нулю и блока усиления импульсов, вычитающий вход информационного счетчика подключен к выходу первого элемента И, разрядные выходы второго адресного счетчика подключены соответственно к разрядным входам первого адресного счетчика, выходы блока усиления импульсов соединены с информационными входами сумматора, разрядными входами регистра и первыми входами группы сравнения соответственно, разрядные выходы регистра подключены соответственно к входам второго дешифратора, выходы которого соединены соответственно с первыми входами элементов И группы, вторые входы которых подключены соответственно к выходам схем сравнения группы, выходы элементов И

группы подключены соответственно к входам первого элемента ИЛИ, выход первого триггера соединен с первыми инверсными входами первого и второго элементов И, вторые инверсные входы которых подключены к выходу второго триггера, первый вход которого соединен с выходом второго элемента ИЛИ, выход схемы сравнения на равенство нулю подключен к первому прямому входу второго элемента И, каждый блок управления процессом, а также блок управления устройством содержат постоянное запоминающее устройство, адресный счетчик, регистр микрокоманды, генератор тактовых импульсов, мультиплексор, первый и второй триггеры, дешифратор, первый и второй элементы задержки, четыре элемента И, первый, второй, третий и четвертый элементы ИЛИ, группы выходных элементов И, группу схем сравнения, группу опрашивающих элементов И, выходы постоянного запоминающего устройства подключены к информационным входам регистра микрокоманды, вход записи регистра микрокоманды соединен с выходом первого элемента задержки, вход которого соединен с входом управления чтением постоянного запоминающего устройства и первым выходом генератора тактовых импульсов, адресные входы постоянного запоминающего устройства соединены соответственно с разрядными выходами адресного счетчика, разрядными входами которого являются выходы мультиплексора, суммирующим входом и входом записи адресного счетчика являются соответственно выходы первого и второго элементов ИЛИ, группа адресных разрядных выходов регистра микрокоманды подключена соответственно к первой группе информационных входов мультиплексора, управляющими входами мультиплексора являются выходы первого триггера, группа разрядных выходов номера логического условия регистра микрокоманды соединена соответственно с входами дешифратора, а группа разрядных выходов кода микрооперации регистра микрокоманды соединена соответственно с первыми входами выходных элементов И группы, вторые входы которых подключены к выходу первого элемента И, выход второго элемента И соединен с входом второго элемента задержки,

выход которого подключен к первым входам третьего и четвертого элементов И, выходы которых подключены к первым входам первого и второго элементов ИЛИ соответственно, выход третьего элемента ИЛИ соединен с первым входом второго триггера и входом останова генератора тактовых импульсов, второй выход которого подключен к первым прямым входам первого и второго элементов И, второй прямой вход первого элемента И и первый инверсный вход второго элемента И соединены с выходом разряда типа микрокоманды регистра микрокоманды, выход разряда значения логического условия которого соединен с первыми входами схем сравнения группы, выходы которых подключены соответственно к первым входам опрашивающих элементов И группы, вторые входы которых подключены соответственно к выходам дешифратора, а выходы - к входам четвертого элемента ИЛИ, прямой и инверсный выходы которого соединены с вторыми входами третьего и четвертого элементов И соответственно, вторые входы первого и третьего элементов ИЛИ подключены к выходам соответствующего элемента И группы выходных элементов И, блок выборки процесса содержит счетчик, два регистра, первый и второй дешифраторы, две схемы сравнения, группу узлов опроса, первый и второй элементы ИЛИ и группу элементов И, группа разрядных выходов счетчика соединена соответственно с информационными входами первого регистра, первого дешифратора и первой схемы сравнения, последний разряд счетчика соединен с первым входом первого элемента ИЛИ, выход которого подключен к входу сброса счетчика, выходы первого дешифратора подключены соответственно к первым входам разрешения опроса узлов опроса группы, информационные выходы k -го узла опроса ($k=1, M-1$) соединены соответственно с информационными входами первой группы ($k+1$)-го узла опроса, разрядные выходы второго регистра подключены соответственно к информационным входам первой группы первого узла опроса, а информационные выходы M -го узла опроса подключены соответственно к входам второй схемы сравнения, выходы окончания опроса всех узлов опроса подключены соответственно к группе вхо-

дов второго элемента ИЛИ, выход которого соединен с входом записи первого регистра, разрядные выходы которого подключены соответственно к входам второго дешифратора, выходы которого подключены к первым входам элементов И группы соответственно, блок индикации условий содержит группу узлов проверки состояния, триггер, формирователь импульсов, шесть элементов ИЛИ, два элемента И, первый, второй и третий информационные выходы всех узлов проверки состояния группы подключены к входам соответственно первого, второго и третьего элементов ИЛИ, выход третьего элемента ИЛИ соединен с входом формирователя импульсов, выход которого подключен к первым входам четвертого и пятого элементов ИЛИ, выход пятого элемента ИЛИ соединен с первым входом триггера, блок переменных состояния содержит дешифратор, группу триггеров и блок усиления импульсов, выходы дешифратора подключены соответственно к тактовым входам триггеров, выходы которых соединены соответственно с информационными входами блока усиления импульсов, блок диагностики состояния ресурса содержит элемент задержки, счетчик адреса, оперативное запоминающее устройство, дешифратор, регистр, группу элементов ИЛИ, элемент ИЛИ, три блока усиления импульсов и группу узлов опроса ресурсов, первый и второй информационные входы и управляющий вход каждого узла опроса ресурсов группы подключены к выходам соответственно первого, второго и третьего блоков усиления импульсов, выходы дешифратора соединены соответственно с входами разрешения опроса узлов опроса ресурсов, выходы сигнализации о наличии ресурсов которых подключены соответственно к входам элемента ИЛИ, выходы первого, второго и третьего элементов ИЛИ группы соединены соответственно с входом записи, суммирующим входом и входом сброса счетчика адреса, разрядные выходы которого подключены соответственно к входам дешифратора и адресным входам оперативного запоминающего устройства, выходы которого подключены соответственно к разрядным входам регистра, разрядные выходы которого соединены соответственно с информационными вхо-

дами второго блока усиления импульсов, выход четвертого элемента ИЛИ группы подключен к входу записи оперативного запоминающего устройства, вход считывания которого и вход элемента задержки соединены с выходом пятого элемента ИЛИ группы, выход элемента задержки подключен к входу записи регистра, в каждом блоке реализации процесса группы входов записи и считывания оперативного запоминающего устройства, вход элемента задержки, входы записи и сброса второго адресного счетчика, входы записи, сброса и суммирующий вход первого адресного счетчика, первый и второй входы первого триггера, второй вход второго триггера, первый и второй входы третьего триггера, вход записи регистра, обнуляющий вход и вход разрешения сложения сумматора и первый вход второго элемента ИЛИ подключены соответственно к выходам выходных элементов И группы соответствующего блока управления процессом, выходы первого, второго и третьего триггеров, первого дешифратора и первого элемента И каждого блока реализации процесса группы подключены соответственно к вторым входам схем сравнения группы соответствующего блока управления процессом, выходы вторых триггеров всех блоков управления процессами, выходы первой и второй схем сравнения блока выборки процесса, выходы первого, второго и шестого элементов ИЛИ, формирователя импульсов и первого и второго элементов И блока индикации условий, выход элемента ИЛИ и выход переполнения счетчика адреса блока диагностики состояния ресурса подключены соответственно к вторым входам схем сравнения блока управления устройством, вторые входы вторых элементов ИЛИ всех блоков реализации процесса группы подключены к выходу четвертого элемента ИЛИ блока индикации условий, выход элемента И устройства соединен с прямым входом первого элемента ИЛИ всех блоков реализации процесса группы, информационные входы оперативных запоминающих устройств которых объединены и являются информационным входом устройства, выходы блока усиления импульсов блока переменных состояния являются выходами состояния переменных устройства и соединены

соответственно с вторыми входами схем сравнения всех блоков реализации процесса группы, выходы сумматоров которых подключены к вторым информационным входам соответствующего узла опроса блока выборки процесса, вторые входы разрешения опроса узлов опроса которого подключены к выходам вторых элементов соответствующих блоков выборки процесса, выходы блока усиления импульсов и регистра каждого блока реализации процесса группы соединены с первой группой соответствующих информационных входов коммутатора устройства, вторая группа информационных входов которого соединена с выходами соответствующих выходных элементов И группы всех блоков управления процессом, выходы вторых триггеров которых соединены с управляющими входами коммутатора устройства, первая группа информационных выходов которого соединена соответственно с входами дешифратора блока переменных состояния и разрядными входами счетчика адреса блока диагностики состояния ресурса, входы первого блока усиления импульсов которого подключены соответственно к второй группе информационных выходов коммутатора устройства, третья группа информационных выходов которого подключена соответственно к входам третьего блока усиления импульсов и первым входам элементов ИЛИ группы блока диагностики состояния ресурса, первый информационный выход второй группы коммутатора подключен к информационным входам триггеров группы блока переменных состояния, вход разрешения работы дешифратора которого соединен с первым выходом третьей группы информационных выходов коммутатора устройства, выход элемента ИЛИ и выход переполнения счетчика адреса блока диагностики состояния ресурса подключены к вторым входам соответствующих схем сравнения всех блоков управления процессами, разрядные выходы первых адресных счетчиков всех блоков реализации процессов образуют группу выходов состояния процессов устройства, второй тактовый выход блока модельного времени соединен с первым входом элемента ИЛИ устройства и первым входом третьего элемента ИЛИ блока индикации условий, выход триггера которого подключен к второ-

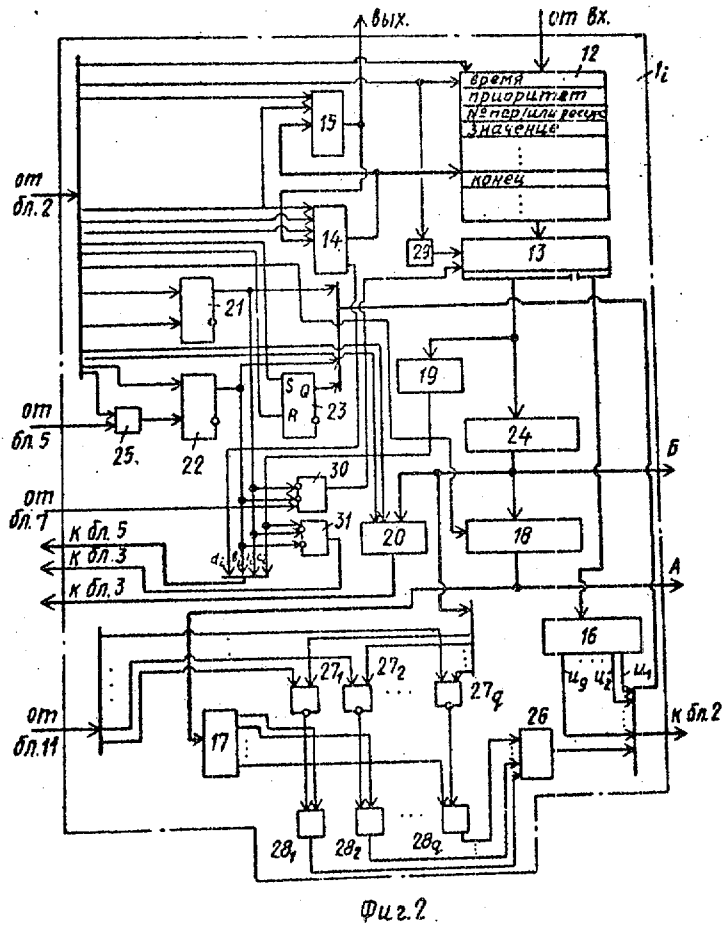
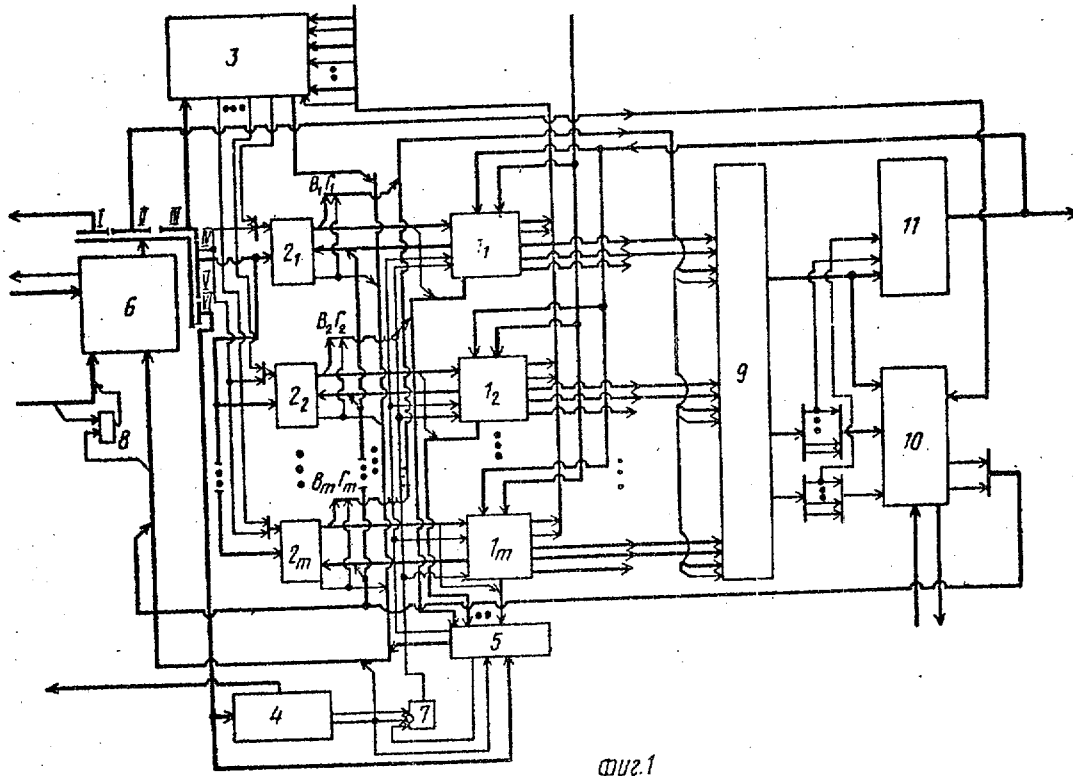
му прямому прямому входу элемента И устройства, выход первого триггера каждого блока реализации процесса группы подключен к первому информационному входу соответствующего узла проверки состояний и соответствующему входу второго элемента И блока индикации условий, выход второго триггера каждого блока реализации процесса группы подключен к второму информационному входу соответствующего узла проверки состояний и соответствующему входу первого элемента И блока индикации условий, выход схемы сравнения на равенство нуля каждого блока реализации процесса группы подключен к третьему информационному входу соответствующего узла проверки состояний, группа входов шестого элемента ИЛИ которого соединена соответственно с выходами переполнения первых адресных счетчиков блоков реализации процесса группы, каждый вход группы шестого элемента ИЛИ блока индикации условий подключен к выходу соответствующего выходного элемента И группы блока управления процессом группы, вход запуска генератора тактовых импульсов, первый вход второго триггера и второй вход первого триггера блока управления устройством объединены и являются входом запуска устройства, входом останова которого является второй вход элемента ИЛИ устройства, выход которого подключен к второму входу третьего элемента ИЛИ блока управления устройством, выход второго триггера которого, первая подгруппа выходов выходных элементов И группы, вторая группа информационных входов мультиплексора и объединенные второй вход первого триггера и второй вход второго элемента ИЛИ блока управления устройством являются соответственно выходами-входами обмена информацией с ЭВМ, вторая подгруппа выходов выходных элементов И группы блока управления устройством подключена соответственно к вторым входам элементов И группы блока диагностики состояния ресурса, в блоке выборки процесса вход разрешения дешифрации первого дешифратора, информационный вход счетчика, второй вход первого элемента ИЛИ, первый вход второго элемента ИЛИ и объединенные вторые входы элементов И группы под-

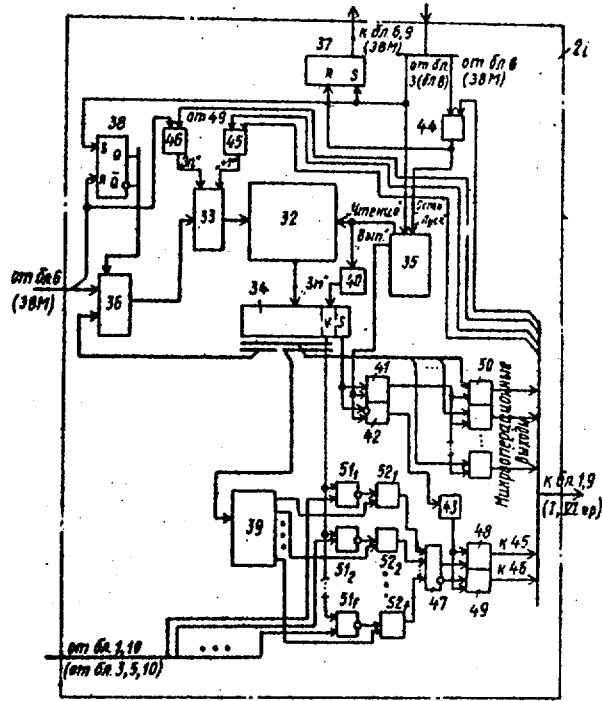
ключены соответственно к выходам третьей подгруппы выходных элементов И группы блока управления устройством, выходы четвертой подгруппы выходных элементов И группы которого подключены к вторым входам третьих элементов ИЛИ блоков управления процессом группы соответственно, в каждом из которых вход запуска генератора тактовых импульсов, первый вход первого триггера и второй вход второго триггера объединены и подключены к выходу соответствующего элемента И группы блока выборки процесса, выходы пятой подгруппы выходных элементов И группы блока управления устройством соединены соответственно с вторыми входами первого триггера и второго элемента ИЛИ и второй группой информационных входов мультиплексора каждого блока управления процессом, а выходы шестой подгруппы выходных элементов И группы блока управления устройством соединены соответственно с вторым входом пятого элемента ИЛИ и вторым входом триггера блока индикации условий и входами запуска, останова и сброса блока модельного времени, группа информационных выходов которого является выходами времени работы устройства.

2. Устройство по п. 1, отличающаяся тем, что блок модельного времени содержит генератор импульсов, входы запуска и останова которого являются входами запуска и останова блока модельного времени, элемент И и счетчик, группа разрядных выходов которого является группой информационных выходов блока моделирования, входом сброса которого является вход сброса счетчика, выход генератора импульсов является первым тактовым выходом блока и соединен с прямым входом элемента И, выход которого подключен к счетному входу счетчика, выход обнуления которого является вторым тактовым выходом блока и соединен с инверсным входом элемента И.

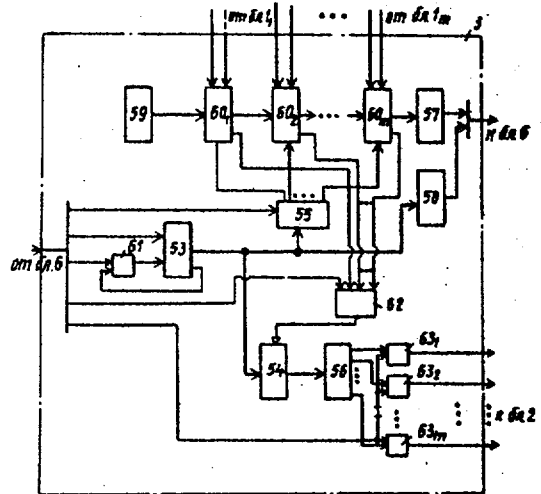
3. Устройство по п. 1, отличающаяся тем, что узел опроса содержит схему сравнения, элемент задержки, элемент ИЛИ, два элемента И, регистр и мультиплексор, информационные входы первой и второй групп которого объединены с одноименными группами входов схемы сравнения и являются соответственно первым и вторым информационными входами узла опроса, информационными выходами которого являются разрядные выходы регистра, разрядные входы которого соединены соответственно с выходами мультиплексора, первый и второй управляющие входы которого подключены соответственно к выходу первого элемента И и выходу элемента ИЛИ, первым входом разрешения опроса узла опроса являются объединенные первые входы первого и второго элементов И и инверсный вход элемента ИЛИ, прямой вход которого подключен к выходу второго элемента И, вторые входы элементов И и вход элемента задержки объединены и являются вторым входом разрешения опроса, выход элемента задержки соединен с входом записи регистра, выход первого элемента И является выходом окончания опроса узла опроса, а выходы "Больше или равно" и "Меньше" схемы сравнения соединены с третьими входами соответственно первого и второго элементов И.

4. Устройство по п. 1, отличающаяся тем, что узел проверки состояния содержит первый и второй элементы И и элемент ИЛИ, выходы которых являются соответственно первым, вторым и третьим информационными выходами узла проверки состояния, выход первого элемента И подключен к входу элемента ИЛИ, а одноименные входы элементов И объединены и являются соответственно первым, вторым и третьим информационными входами узла проверки состояния.

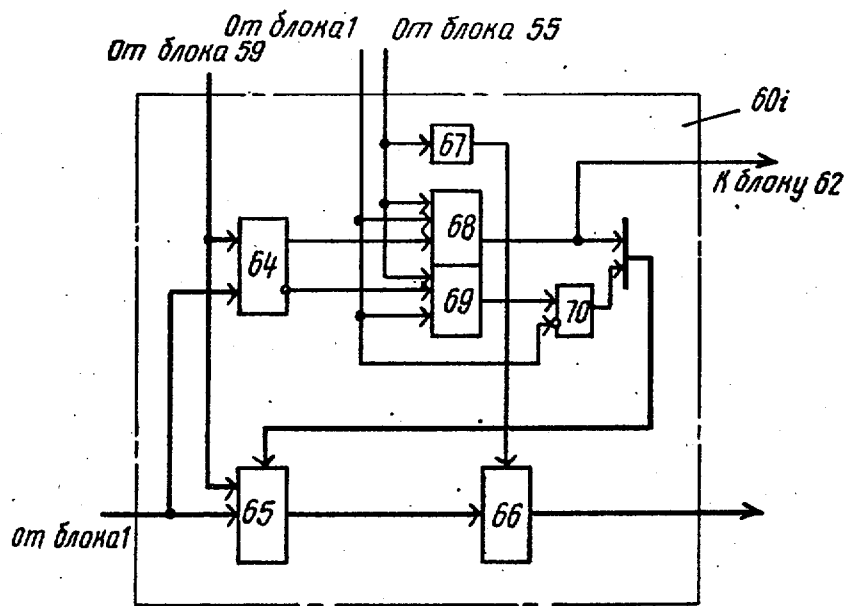




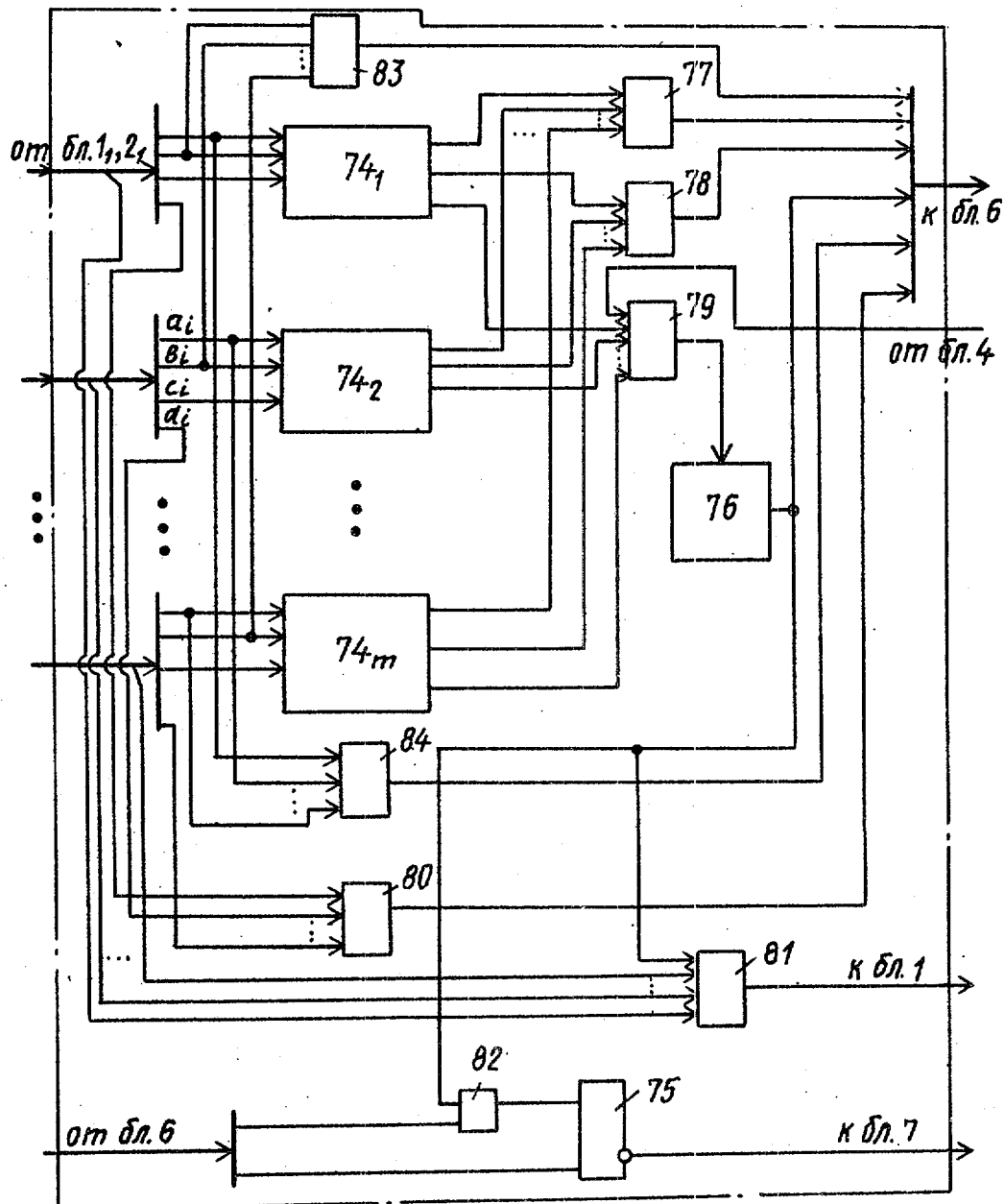
Фиг. 3



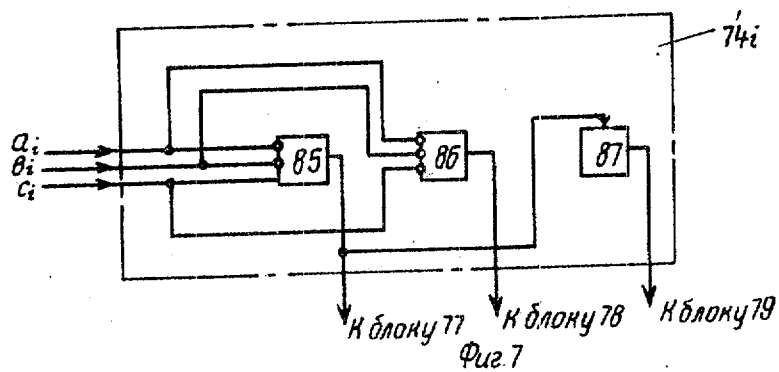
Фиг. 4



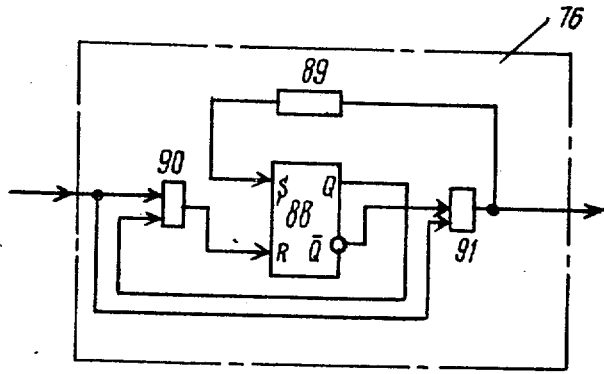
Фиг. 5



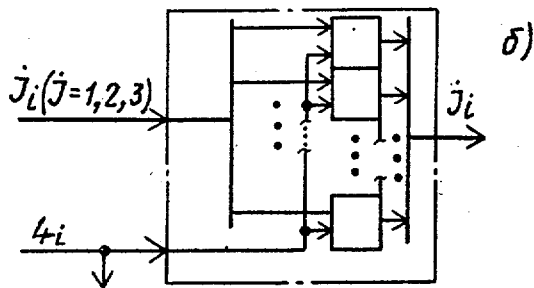
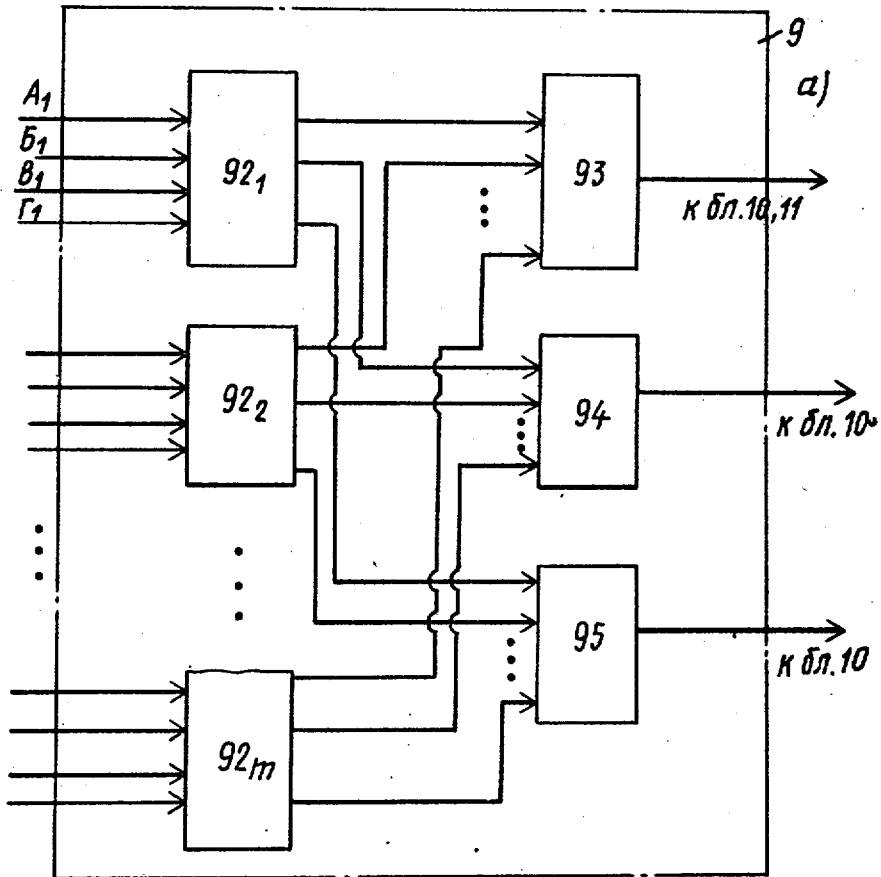
Фиг. 6



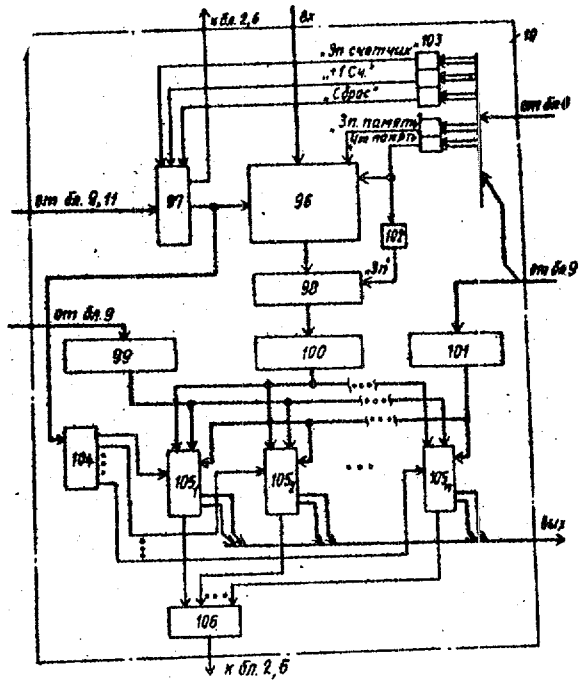
Фиг. 7



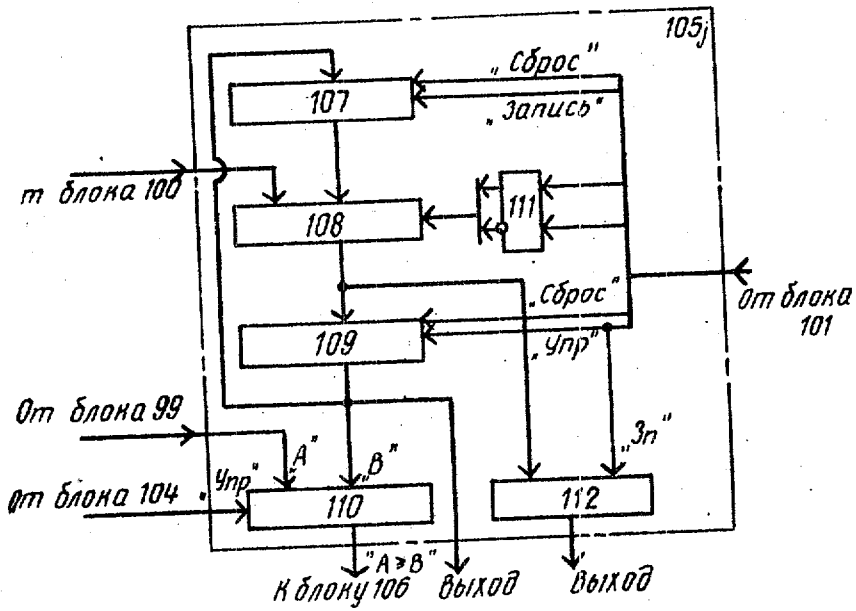
Фиг. 8



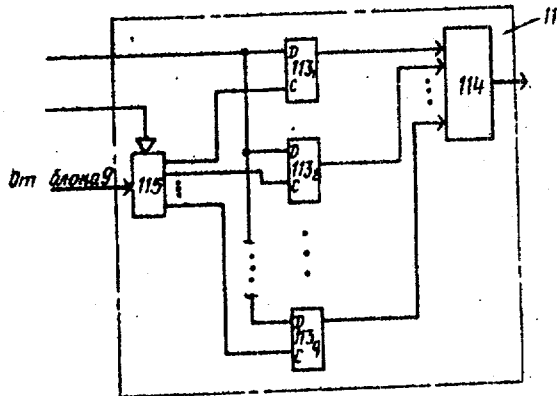
Фиг. 9



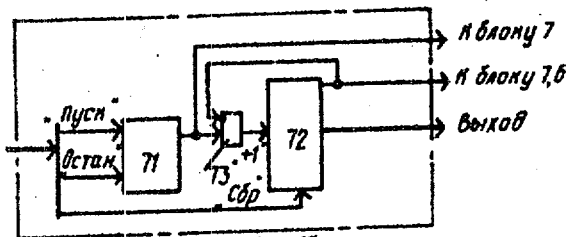
Фиг. 10



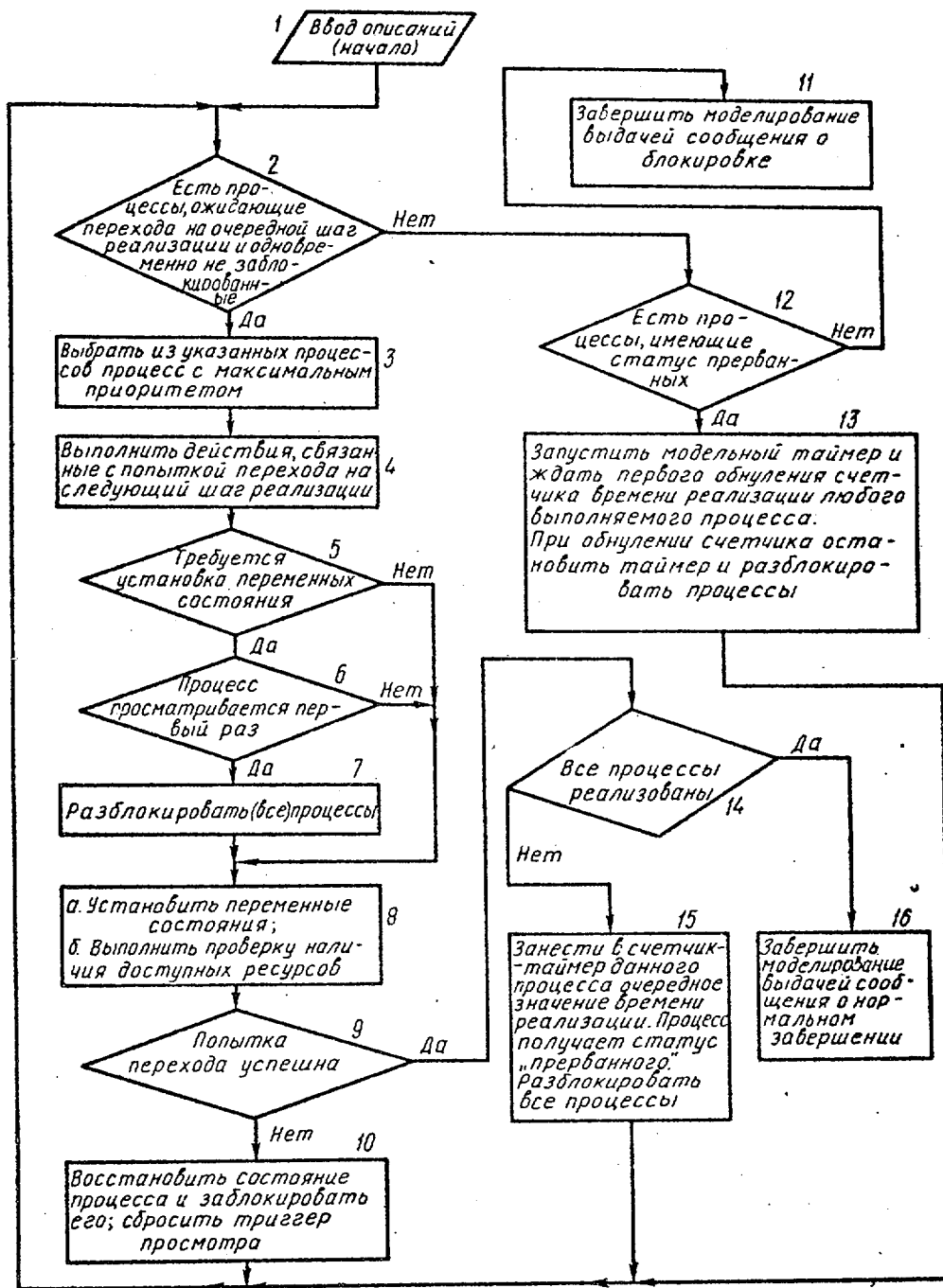
Фиг. 11



Фиг. 12



Фиг. 13



Фиг. 14

Составитель В.Фукалов

Редактор И.Николайчук

Техред И.Попович

Корректор А.Обручар

Заказ 619/56

Тираж 673

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4