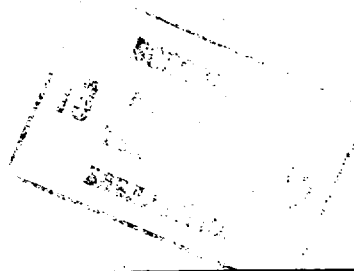




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

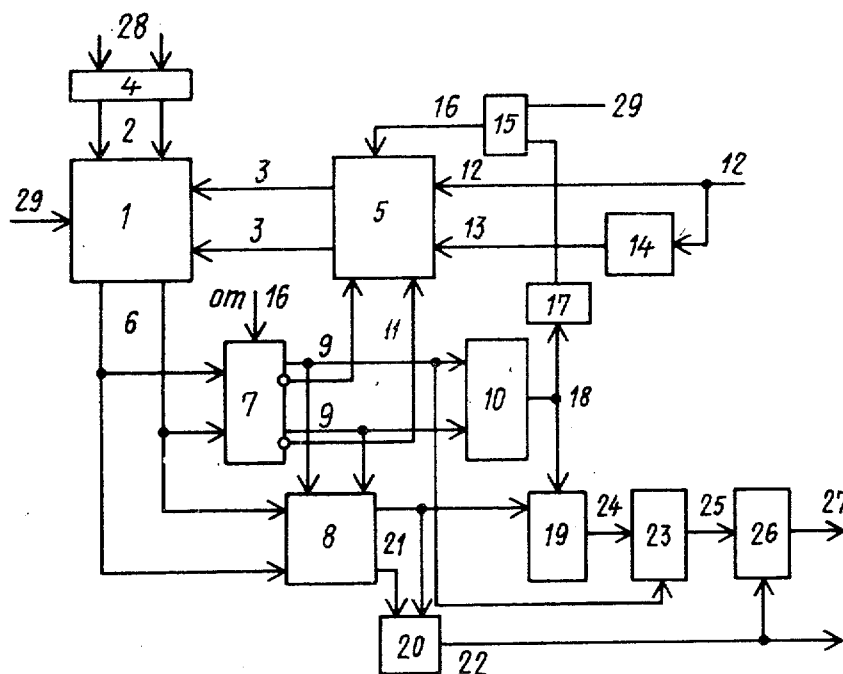


- (21) 3965179/24-24
  - (22) 14.10.85
  - (46) 15.03.87. Бюл. № 10
  - (71) Минский радиотехнический институт
  - (72) П. П. Урбанович
  - (53) 681.327(088.8)
  - (56) Экспресс-информация. Серия «Вычислительная техника», 1978, № 36, с. 5—11.
- Авторское свидетельство СССР  
№ 964736, кл. G 11 C 29/00, 1982.

## (54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С ИСПРАВЛЕНИЕМ ОШИБОК

(57) Изобретение относится к вычислительной технике и может быть использовано при создании систем памяти на базе БИС запоминающих устройств со словарной органи-

низацией обращения. Цель изобретения — повышение надежности устройства. Устройство содержит накопитель 1, адресный блок 4, коммутатор 5, регистр 7 числа, блок 8 сравнения, формирователь 10 синдрома, блок 14 коррекции, элемент И 15, элемент ИЛИ 17, группу элементов И 19, блок 20 обнаружения неисправимых ошибок, сумматоры 23 по модулю два, блок 26 вывода информации. Надежность устройства повышается за счет того, что в нем исправляются ошибки в нескольких БИС, входящих в состав накопителя 1, при условии, что ошибки не принадлежат одноименным (по порядку расположения) символам, записанным в различных БИС при хранении одного слова. 1 з.п. ф-лы, 3 ил.



Фиг.1

Изобретение относится к вычислительной технике и может быть использовано при создании систем памяти на базе БИС запоминающих устройств (ЗУ) со словарной организацией обращения.

Цель изобретения — повышение надежности устройства.

На фиг. 1 приведена структурная схема предложенного устройства; на фиг. 2 — функциональная схема блока обнаружения неисправных ошибок; на фиг. 3 — соединение входов группы элементов И с выходами блока сравнения и формирователя синдрома.

Устройство (фиг. 1) содержит накопитель 1, адресные 2 и информационные 3 входы которого подключены соответственно к выходам адресного блока 4 и коммутатора 5. Выходы 6 накопителя соединены с входами регистра числа 7 и одними из входов блока 8 сравнения, другие входы которого связаны с прямыми выходами 9 регистра 7, соединенными также с входами формирователя 10 синдрома. Инверсные выходы регистра 7 соединены соответственно с входами 11 коммутатора 5, входы 12 и 13 которого подключены соответственно к информационному входу устройства и к выходу блока 14 кодирования. Устройство содержит также элемент И 15, выход 16 которого соединен с управляющими входами коммутатора 5 и регистра 7, элемент ИЛИ 17, входы 18 которого соединены с выходами формирователя 10 и одними из входов группы элементов И 19, блок 20 обнаружения неисправных ошибок с входами 21 и выходом 22, сумматоры 23 по модулю два, одни из входов которых подключены к одному из прямых выходов 9 регистра 7, другие — к выходам 24 элементов И 19, а выходы 25 сумматоров 23 — к входам блока 26 вывода информации, имеющего выход 27. Входы 28 адресного блока 4 являются адресным входом устройства, управляющий вход 29 устройства соединен с управляющими входами накопителя 1 и одним из входов элемента И 15.

Блок 20 (фиг. 2) содержит группы элементов И 30, первую группу элементов ИЛИ 31, вторую группу ИЛИ 32, элемент ИЛИ 33, сумматоры 34 по модулю два.

Устройство работает следующим образом.

На прямых выходах 9 регистра 7 нулевые символы. В режиме записи информации на вход 12 коммутатора 5 вход блока 14 поступают «к» и информационных символов, которые нужно записать в накопитель 1 по адресу, заданному блоком 4. Блок 14 кодирования вырабатывает «b» контрольных символов. Сформированное таким образом кодовое слово длины  $k+b$  разрядов по сигналу записи на входе 29 устройства записывается в накопитель 1.

*Пример.* Пусть в накопитель нужно записать 16-разрядное слово: 1000 1100 0010

1111 ( $k=16$ ). Накопитель строится на базе 4-разрядных БИС ЗУ ( $b=4$ ), т.е. по отношению к одной БИС информация может одновременно записываться в 4 элемента (или считываться). Блок кодирования формирует 4 контрольных символа: 1000- и 20-разрядное кодовое слово записывается в накопитель 1. На этом цикл записи окончен.

В режиме считывания (задается противоположным режиму записи логическим сигналом на входе 29) считанная информация (20 разрядов) записывается в регистр 7. Формирователь 10 вырабатывает «b» новых проверочных символов (синдром). Если в считанном из накопителя 1 слове нет ошибок, то все разряды синдрома равны нулю и синдром не равен нулю — в противном случае. Если в считанном слове нет ошибок, то на выходах блоков 8 и 20 и элементов 19 И будут нулевые сигналы. Информационные символы с выходов 9 регистра 7 проходят через сумматоры 23 и далее в блок 26 без изменений. Блок 26 (в определенный момент времени, определяемый процессором) выдает информацию по назначению. Если в считываемом слове имеются ошибки во всех рядах одной БИС или в разноименных разрядах разных БИС (в обоих случаях общее число ошибок не больше  $b$ ), то на выходе элемента ИЛИ 17 появляется единичный сигнал, который через элемент И 15 устанавливает на управляющем входе коммутатора 5 сигнал, который устанавливает на входах 3 накопителя 1 инверсное по отношению к считанному кодовое слово, которое записывается в те же ячейки накопителя. Затем производится контрольное считывание инверсного кодового слова, которое в блоке 8 сравнивается со считанным ранее (прямыми кодовым словом). Состояние регистра 7 не изменяется. На выходах 21 блока 8, соответствующих отказавшим разрядам, будут единичные сигналы, поскольку даже при записи в отказавшую ячейку инверсного сигнала ее логическое состояние не изменится. Если отказавшими являются разноименные разряды в различных БИС, то на выходе 22 блока 20 будет нулевой сигнал, единичный сигнал будет в случае отказа хотя бы двух (например, вторых или четвертых) одноименных ячеек. В последнем случае на выходе 22 блока 20 появляется сигнал «Неисправная ошибка». Если на выходе 22—«0», то на выходе элементов И 19, соответствующих отказавшим разрядам, будут единичные сигналы, которые на соответствующих сумматорах 23 проинвертируют ошибочные биты из числа информационных, которые поступают на входы сумматоров 23 с выходов 9 регистра 7. Если среди отказавших окажутся разряды, принадлежащие контрольным символам, то это не повлияет на достоверность информационных символов. Положим, что разряды накопителя соответствующие первому, второму и седь-

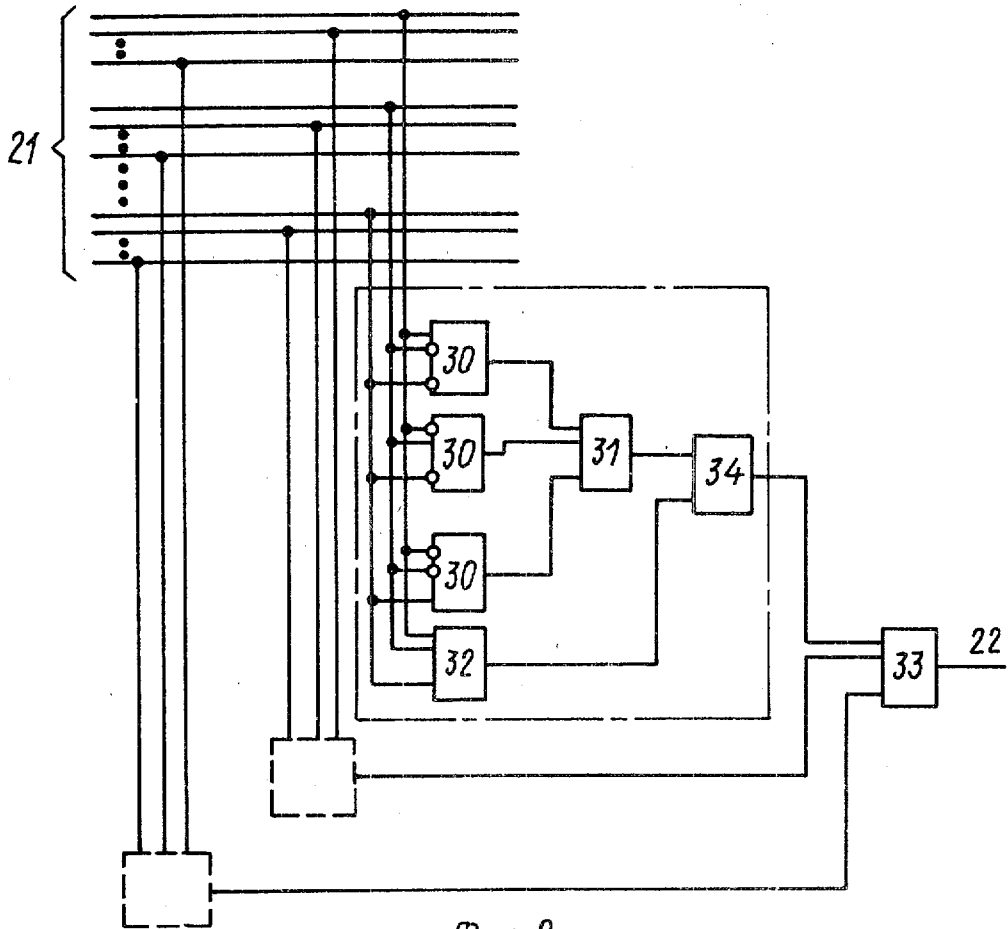
тому символам кодового слова, являются дефектными и находятся в состоянии «1», разряды 16 и 17 (контрольный) — в состоянии «0» т.е. считанное слово будет следующим: 1100 1110 0010 1110 0001 (отказавшие разряды подчеркнуты). Для считанных информационных символов в формирователе 10 будут вычислены контрольные символы 1110 и синдром  $1110 + 0001 = 1111$  (суммируются одноименные разряды, суммирование ведется по модулю два). На выходах блока 8 сравнения будет слово 0100 0010 0000 0001 1000 (после записи в накопитель 1 инверсного кодового слова и его считывания). На выходе 22 блока 20 «0». На входы элементов И 19 поступят соответственно следующие двоичные символы: 1111 и 0100 0010 0000 0001, на выходах 25 сумматоров 23 по модулю два — исходное информационное слово без ошибок 1000 1100 0010 1111.

#### Формула изобретения

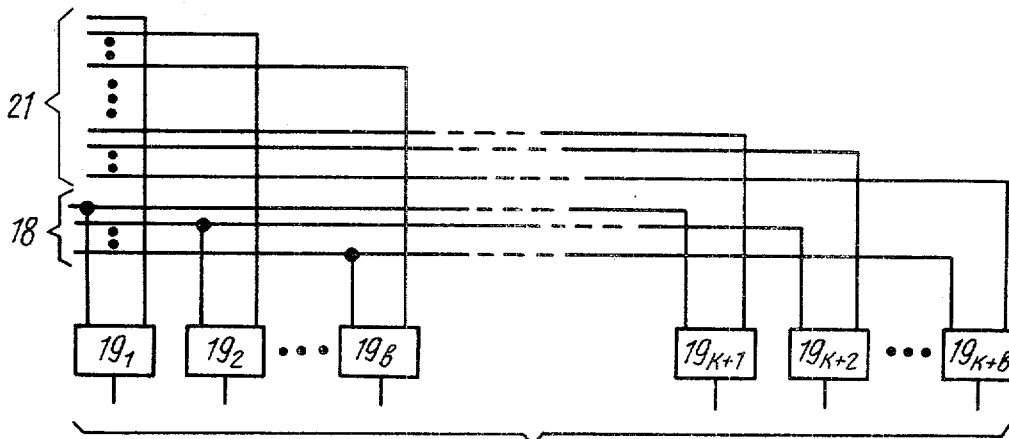
1. Запоминающее устройство с исправлением ошибок, содержащее адресный блок, накопитель, коммутатор, регистр числа, блок кодирования, блок сравнения, формирователь синдрома, элемент И, группу элементов И, элемент ИЛИ, сумматоры по модулю два и блок вывода информации, причем адресные входы накопителя подключены к выходам адресного блока, входы которого являются адресным входом устройства, информационные входы накопителя подключены к выходам коммутатора, одни из информационных входов которого и входы блока кодирования объединены и являются информационным входом устройства, другие информационные входы коммутатора соединены соответственно с выходами блока кодирования и инверсными выходами регистра числа, выходы накопителя соединены с информационными входами регистра числа и одними из входов блока сравнения, другие

входы которого и входы формирователя синдрома подключены к прямым выходам регистра числа, одни из входов сумматоров по модулю два соединены с прямыми выходами регистра числа, другие входы — с выходами элементов И группы, одни из входов которых и входы элемента ИЛИ подключены к выходам формирователя синдрома, выход элемента ИЛИ подключен к одному из входов элемента И, другой вход которого, а также управляющий вход накопителя объединены и являются управляющим входом устройства, выход элемента И подключен к управляющим входам регистра числа и коммутатора, выходы сумматоров по модулю два соединены с информационными входами блока вывода информации, выходы которого являются информационным выходом устройства, отличающееся тем, что, с целью повышения надежности устройства, в него введен блок обнаружения неисправимых ошибок, входы которого 5 10 15 20 25 30 35

2. Устройство по п. 1, отличающееся тем, что блок обнаружения неисправимых ошибок содержит группы элементов И, первую и вторую группы элементов ИЛИ, сумматоры по модулю два и элемент ИЛИ, причем входы элементов И являются входами блока, а выходы элементов И каждой группы подключены к входам соответствующих элементов ИЛИ первой группы, выходы которых соединены с первыми входами соответствующих сумматоров по модулю два, вторые входы которых подключены к выходам соответствующих элементов ИЛИ второй группы, входы которых подключены к входам блока, выходы сумматоров по модулю два соединены с входами элемента ИЛИ, выход которого является выходом блока.



Фиг. 2



24

Фиг. 3

Составитель В. Рудаков  
 Редактор Н. Горват      Техред И. Верес      Корректор А. Зимоков  
 Заказ 595/55      Тираж 590      Подписное  
 ВНИИПИ Государственного комитета СССР по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5  
 Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4