



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3869848/24-24
(22) 18.03.85
(46) 07.10.88. Бюл. № 37
(71) Минский радиотехнический институт
(72) А.Г.Батишков и А.А.Шостак
(53) 681.325 (088.8)
(56) Патент США № 3234367, кл. 235-156, опублик. 1962.

Патент США № 3293418, кл. 235-156, опублик. 1964.

Авторское свидетельство СССР № 1247862, кл. G 06 F 7/52, 07.01.85.
(54)(57) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ ЧИСЕЛ, содержащее первый и второй регистры остатка, регистр делителя, регистр частного, блок деления усеченных чисел, содержащий сумматор принудительного округления делителя, первый и второй вычитатели, первый и второй узлы деления и коммутатор, блок умножения, первый, второй и третий вычитатели, первый коммутатор, узел коррекции частного и блок управления, причем вход данных устройства соединен с информационными входами регистра делителя и с информационными входами первой группы первого коммутатора, информационные входы второй группы которого соединены с выходами разности первого вычитателя, выходы первого коммутатора соединены с информационными входами первого регистра остатка, информационные входы второго регистра остатка соединены с выходами займа первого вычитателя, выходы старших разрядов регистра делителя соединены с входами сумматора принудительного округления делителя блока деления усеченных чисел, вход переноса сумматора принудительного

округления делителя блока деления усеченных чисел подключен к шине логической единицы, а выходы соединены с входами делителя первого и второго узлов деления блока деления усеченных чисел, входы делимого которых соединены с выходами первого и второго вычитателей блока деления усеченных чисел соответственно, входы уменьшаемого первого и второго вычитателей блока деления усеченных чисел соединены с выходами старших разрядов первого регистра остатка, а входы вычитаемого первого и второго вычитателей блока деления усеченных чисел соединены с выходами старших разрядов второго регистра остатка, входы займа первого и второго вычитателей блока деления усеченных чисел подключены к шинам логической единицы и нуля соответственно, выходы первого и второго узлов деления блока деления усеченных чисел соединены с информационными входами первой и второй групп коммутатора блока деления усеченных чисел соответственно, выход займа в старшие разряды второго вычитателя соединен с управляющим входом коммутатора блока деления усеченных чисел, выходы разрядов которого, за исключением выхода старшего разряда, соединены с информационными входами первой группы узла коррекции частного и с входами первой группы блока умножения, информационные входы второй группы узла коррекции частного соединены с выходами младших разрядов регистра частного, выходы узла коррекции частного соединены с информационными входами младших разрядов регистра частного, выходы разрядов которого

(19) SU (11) 1429109 A1

соединены с выходами частного устройства, выходы разрядов первого регистра остатка соединены с входами уменьшаемого второго вычитателя, входы вычитаемого которого соединены с выходами разрядов второго регистра остатка, выходы разности второго вычитателя соединены с входами уменьшаемого третьего вычитателя и соединены с выходами остатка устройства, выходы разрядов регистра делителя соединены с входами вычитаемого третьего вычитателя и входами второй группы блока умножения, выходы первой и второй групп которого соединены с входами вычитаемого первой и второй групп первого вычитателя соответственно, вход синхронизации устройства соединен с синхривходами регистра частного, первого и второго регистров остатка и с первым входом блока управления, второй вход которого соединен с первым управляющим входом узла коррекции частного и с выходом заема старшего разряда третьего вычитателя, третий вход блока управления соединен с выходом старшего разряда коммутатора блока деления усеченных чисел, первый выход блока управления соеди-

нен с синхривходом регистра делителя и с входом установки в нуль первого регистра остатка, второй, третий и четвертый выходы блока управления соединены с первым, вторым и третьим управляющими входами первого коммутатора соответственно, пятый выход блока управления является выходом сигнализации окончания деления, шестой выход блока управления соединен с входом установки в нуль второго регистра остатка, седьмой выход блока управления соединен с вторым управляющим входом узла коррекции частного, отличающееся тем, что, с целью сокращения количества оборудования, устройство содержит второй коммутатор, информационные входы первой группы которого соединены с выходами остатка устройства, информационные входы второй группы соединены с выходами разности третьего вычитателя, выходы второго коммутатора соединены с входами уменьшаемого первого вычитателя и с информационными входами третьей группы первого коммутатора, управляющий вход второго коммутатора соединен с выходом заема старшего разряда третьего вычитателя.

1

Изобретение относится к вычислительной технике и может быть применено в арифметических устройствах для выполнения операции деления чисел.

Цель изобретения — сокращение количества оборудования.

На чертеже представлена схема устройства для деления чисел.

Устройство содержит первый регистр 1 остатка, второй регистр 2 остатка, регистры 3 и 4 делителя и частного, блок 5 деления усеченных чисел, сумматор 6 принудительного округления делителя блока 5, первый и второй вычитатели 7 и 8 блока 5, первый и второй узлы 9 и 10 деления блока 5, коммутатор 11 блока 5, блок 12 умножения, первый, второй и третий вычитатели 13-15, первый и второй коммутаторы 16 и 17, узел 18 коррекции частного, блок 19 управления, входы 20 и 21 данных и синхронизации, выходы 22 и 23 остатка

2

и частного, шины 24 и 25, логической единицы и логического нуля, выходы 26 разрядов регистра 1, выходы 27 старших разрядов регистра 1, выходы 28 разрядов регистра 2, выходы 29 старших разрядов регистра 2, выходы 30 разрядов регистра 3, выходы 31 старших разрядов регистра 3, выходы 32 коммутатора 11, выходы 33 коммутатора 11 за исключением старшего разряда, выход 34 старшего разряда коммутатора 11, выходы 35 разности вычитателя 14, выход 36 заема в старшие разряды вычитателя 14, выход 37 заема старшего разряда вычитателя 15, выходы 38 разности вычитателя 15, выходы 39 разрядов коммутатора 17, выходы 40 и 41 первой и второй групп блока 12, выходы 42 и 43 разности и заема вычитателя 13, выходы 44 младших разрядов регистра 4, выходы 45 узла 18, выходы 46-51 блока 19.

Выходы разрядов 26 первого регистра 1 остатка соединены с входами уменьшаемого второго вычитателя 14, входы вычитаемого которого соединены с выходами разрядов 28 второго регистра 2 остатка, выходы 35 разности второго вычитателя 14 соединены с входами уменьшаемого третьего вычитателя 15, с информационными входами первой группы второго коммутатора 17 и являются выходами 22 остатка устройства, выходы 30 разрядов регистра делителя 3 соединены с входами вычитаемого третьего вычитателя 15 и с входами второй группы блока 12 умножения, выходы 40 и 41 первой и второй групп блока 12 умножения соединены с входами вычитаемого первой и второй групп первого вычитателя 13 соответственно, выходы 35 разности третьего вычитателя 15 соединены с входами второй группы второго коммутатора 17, выходы 39 второго коммутатора 17 соединены с входами уменьшаемого первого вычитателя 13 и с информационными входами третьей группы первого коммутатора 16, вход 20 данных устройства соединен с информационными входами регистра делителя 3 и с информационными входами первой группы первого коммутатора 16, информационные входы второй группы которого соединены с выходами 42 разности первого вычитателя 13, выходы первого коммутатора 16 соединены с информационными входами первого регистра 1 остатка, информационные входы второго регистра 2 остатка соединены с выходами 43 займа первого вычитателя 13, выходы 31 старших разрядов регистра 3 делителя соединены с входами сумматора 6 принудительного округления делителя блока 5 деления усеченных чисел, вход переноса сумматора принудительного округления делителя 6 блока 5 подключен к шине 24 логической единицы, а выходы соединены с входами делителя первого и второго узлов 9 и 10 деления блока 5, входы делимого которых соединены с выходами первого и второго вычитателей 7 и 8 блока 5 соответственно, входы уменьшаемого первого и второго вычитателей 7 и 8 блока 5 соединены с выходами 27 старших разрядов первого регистра 1 остатка, их входы вычитаемого соединены с выходами 29 старших разрядов второго регистра 2 остатка, входы

займа первого и второго вычитателей 7 и 8 блока 5 подключены к шинам 24 и 25 логической единицы и нуля соответственно, выходы первого и второго узлов 9 и 10 деления блока 5 соединены с информационными входами первой и второй групп коммутатора 11 блока 5 соответственно, выход займа в старшие разряды 36 второго вычитателя 14 соединен с управляющим входом коммутатора 11 блока 5, выходы 33 которого, за исключением старшего разряда, соединены с информационными входами первой группы блока 12 умножения и с информационными входами первой группы узла 18 коррекции частного, информационные входы второй группы которого соединены с выходами 44 младших разрядов регистра 4 частного, выходы 45 узла коррекции частного соединены с информационными входами младших разрядов регистра 4 частного, выходы разрядов которого являются выходом 23 частного устройства, вход 21 синхронизации устройства соединен с синхровходом регистра 4 частного, первого и второго регистров 1 и 2 остатка и с первым входом блока 19 управления, второй вход которого соединен с первым управляющим входом узла 18 коррекции частного, управляющим входом второго коммутатора 17 и с выходом 37 займа старшего разряда третьего вычитателя 15, третий вход блока 10 управления соединен с выходом старшего разряда 34 коммутатора 11 блока 5, первый выход 46 блока 19 управления соединен с синхровходом регистра делителя 3 и с входом установки в нуль первого регистра 1 остатка, второй, третий и четвертый выходы 48-50 блока 19 управления соединены с первым, вторым и третьим управляющими входами первого коммутатора 16 соответственно, пятый выход блока 19 управления является выходом сигнализации окончания деления устройства, шестой выход 47 блока 19 управления соединен с входом установки в нуль второго регистра 2 остатка, седьмой выход 51 блока 19 управления соединен с вторым управляющим входом узла 18 коррекции частного.

Первый регистр 1 остатка $(n+1)$ -разрядный, из которых один разряд расположен слева от занятой и n разрядов справа от занятой. В исходном состоянии в этом регистре хранится n -раз-

рядный двоичный код делимого без знака, а в процессе деления в него записываются значения разности очередных остатков, формируемых в устройстве в двухрядном коде (в виде двух чисел: первое число является разностью остатка, а второе - его займом). Второй регистр 2 остатка содержит n разрядов, на которых один расположен слева от занятой, а $(n-1)$ - справа. В исходном состоянии этот регистр обнулен. Регистры 3 и 4 делителя и частного n -разрядные, причем в регистре 3 делителя все разряды расположены справа от занятой, а в регистре 4 частного один разряд находится слева от занятой, а $(n-1)$ разрядов - справа от занятой. В регистре 3 делителя в исходном состоянии хранится n -разрядный двоичный код делителя без знака. Регистр 4 частного в исходном состоянии не обнуляется. Разрядность указанных регистров и расположенные в них информации могут быть и несколько иными. Регистры 1 - 4 построены на основе двухтактных синхронных D-триггеров с асинхронными установочными входами. Регистр 4 частного имеет цепи однократного сдвига влево на $(K-1)$ разрядов.

Блок 5 деления усеченных (малоразрядных) чисел предназначен для формирования по значению определенного числа старших разрядов делителя и остатка K цифр частного с точностью до единицы их младшего разряда. Все узлы блока 5 комбинационного типа. В сумматоре 6 осуществляется принудительное округление делителя путем прибавления к значению его старших разрядов, поступающих на входы сумматора 6 с выходов 31 регистра 3 делителя единицы в их младший разряд (сигнал логической единицы постоянно подается на вход переноса сумматора 6 с шины 24 устройства). На выходе сумматора 6 образуется значение старших разрядов делителя, увеличенное на единицу. Этим самым устраняется возможность получения на выходах 32 блока 5 из-за отбрасывания младших разрядов делителя значения K цифр частного с избытком. Но так как в блоке 5 при формировании K цифр частного используются старшие разряды приведенного остатка (представленного в двухрядном коде), то становится возможным образование на выходах 32

блока 5 значения K цифр частного с избытком. Для исключения этого в блоке 5 деления усеченных чисел предусмотрены два канала формирования цифр частного. Первый канал образован сумматором 6, первым вычитателем 7 и первым узлом 9 деления. На выходах первого узла 9 деления формируются K цифр частного в предположении, что после проведения остатка к однорядному коду в его старшие разряды поступает единичный сигнал займа из младших разрядов (на вход займа первого вычитателя 7 подан с шины 24 устройства сигнал логической единицы). Второй канал включает тот же сумматор принудительного округления делителя 6, а также второй вычитатель 8 и второй узел 10 деления. На выходах второго узла 10 деления формируется K цифр частного в предположении, что после приведения остатка к однорядному коду в его старшие разряды поступает нулевой сигнал займа из младших разрядов (на вход займа второго вычитателя 8 подан с шины 25 устройства сигнал логического нуля). Выборка необходимого значения K цифр частного и подача его на выходы 32 блока 5 осуществляется с помощью коммутатора 11, который управляется сигналом на выходе 36 займа в старшие разряды второго вычитателя 14. Если сигнал на выходе 36 второго вычитателя 14 соответствует логической единице, то коммутатор 11 передает на выходы 32 блока 5 значение K цифр частного, сформированных в первом узле 9 деления, в противном случае на выходы 32 блока 5 передается значение K цифр частного, образованных с помощью второго узла 10 деления. Первый и второй вычитатели 7 и 8 преобразуют двухрядный код старших разрядов остатка в однорядный с учетом возможного значения сигнала займа из младших разрядов в старшие. Первый и второй узлы 9 и 10 деления могут быть реализованы разными различными методами и средствами. Например, их можно синтезировать по соответствующим таблицам истинности в виде быстродействующих логических преобразователей или же реализовать с применением ПЗУ. При больших значениях K целесообразна реализация их в виде однократных делительных матриц, использующих алгоритмы деле-

ния с восстановленным или без восстановления остатков.

Определим какое число старших разрядов делителя и остатка необходимо обрабатывать в блоке 5 деления усеченных чисел, чтобы получить K цифр частного с точностью до единицы их младшего разряда. Это число в первую очередь зависит от диапазона значений делимого и делителя. Пусть делимое x и делитель y есть нормализованные положительными двоичные дроби, т.е.

$$\frac{1}{2} \leq x < 1 \quad \text{и} \quad \frac{1}{2} \leq y < 1. \quad \text{Это справедливо}$$

только на первом шаге деления. В дальнейшем же, когда в роли делимого выступают промежуточные остатки, возможно нарушение нормализации делимого как влево, так и вправо. В общем случае делимое x в предлагаемом устройстве может изменяться в пределах $0 \leq x < 2y$.

Покажем, что при принятых допущениях, для получения на выходах 32 блока 5 деления усеченных чисел двоичных цифр частного с точностью до единицы их младшего разряда, достаточно обрабатывать $(K+2)$ старших разрядов делимого x (один разряд слева от занятой и $(K+1)$ -й разряд справа от занятой) и $(K+2)$ старших разрядов делителя y (все разряды находятся справа от занятой).

Действительно, пусть K_1 - значение старших $(K+2)$ разрядов делимого x, y , значение старших $(K+2)$ разрядов делителя y , $x_2 = x - x_1$; $y_2 = y - y_1$. Покажем, что максимальная абсолютная погрешность ϵ (разность между значением частного, полученным при делении n -разрядных чисел и значением частного, получаемым при делении усеченных $(K+2)$ -разрядных чисел) при этом будет заключаться в пределах

$$0 \leq \epsilon = \frac{x}{y} - \frac{x_1}{y_1 + \frac{x_2}{2^{-(k+2)}}} < 2^{-(k-1)}.$$

Выполнение левого условия очевидно, поэтому ограничимся лишь доказательством неравенства

$$\frac{x}{y} - \frac{x_1}{y_1 + \frac{x_2}{2^{-(k+2)}}} < 2^{-(k-1)},$$

которое можно переписать в виде

$$x(y_1 + 2^{-(k+2)}) - x_1 y < 2^{-(k-1)} y x$$

$$x(y_1 + 2^{-(k+2)}).$$

Нетрудно видеть, что максимальная абсолютная погрешность ϵ будет в том случае, когда $y_2 = 0$, т.е. $y = y_1$; $x_2 = x_{2\max} = 2^{-(k+1)} 2^{-n}$; $x = x_{\max} = 2y_1 - 2^{-n}$. С учетом этого получим:

$$x \cdot 2^{-(k+2)} + x_2 y_1 < 2^{-(k-1)} y_1 (y_1 + 2^{-(k+2)});$$

или

$$(2y_1 - 2^{-n}) \cdot 2^{-(k+2)} + (2^{-(k+1)} - 2^{-n}) y_1 < 2^{-(k-1)} y_1 (y_1 + 2^{-(k+2)})$$

Последнее неравенство будет выполняться, если справедливо следующее

$$2y_1 \cdot 2^{-(k+2)} + y_1 \cdot 2^{-(k+1)} < 2^{-(k-1)} y_1 (y_1 + 2^{-(k+2)})$$

или $1 < 2 \cdot (y_1 + 2^{-(k+2)})$.

Последнее соотношение выполняется при всех значениях делителя y , заключенных в пределах $\frac{1}{2} \leq y < 1$, следова-

тельно, значение K -разрядного частного, получаемого на выходах 32 блока 5 при делении в нем $(K+2)$ -разрядных чисел, может быть либо равно значению старших K разрядов частного, получаемого при делении n -разрядных чисел, либо меньше его на единицу младшего разряда с весом $2^{-(k-1)}$.

В блоке умножения осуществляется перемножение $(K-1)$ младших разрядов частного, сформированного на выходах 35 блока 5 деления усеченных чисел и поступающего на входы первой группы блока 12 умножения, и n -разрядного делителя, хранимого в регистре 3 и поступающего на входы второй группы блока 12 умножения с выходов разрядов 30 регистра делителя 3. На выходах 40 и 41 первой и второй групп блока 12 образуется произведение в двухрядном коде (в виде двух чисел). Блок 12 умножения комбинационного типа.

Первый вычитатель 13 комбинационного типа и выполнен по принципу заимствования заема. Как и в известном устройстве он содержит $(n+1)$ одноразрядных вычитателей. В первом вычитателе 13 осуществляется вычитание из разности, сформированной на выходах 39 второго коммутатора 17, произведения делителя на $(K-1)$ цифру частного, образованного в двухрядном коде на выходах 40 и 41 первой и второй групп

блока 12 умножения. Результат этого вычитания, являющийся очередным остатком, получается на выходах 42 и 43 разности и заема вычитателя 13 в двухрядном коде.

Второй и третий вычитатели 14 и 15 комбинационного типа с ускоренным распространением заема. С помощью второго вычитателя 14 двухрядный код остатка, хранящийся в первом и втором регистрах 1 и 2 остатка в виде разности и заема, преобразуется в однорядный код. На выход 36 второго вычитателя 14 поступает сигнал заема, образованный в разряде вычитателя с весом $2^{-(k+2)}$. Этот сигнал заема поступает в разряд вычитателя 14 с весом $2^{-(k+1)}$. В третьем вычитателе 15 из однорядного кода остатка вычитается делитель, хранящийся в регистре 3.

С помощью второго коммутатора 17 осуществляется передача на входы уменьшаемого первого вычитателя 13 и на информационные входы третьей группы первого коммутатора 16 либо значения разности с выходом 36 второго вычитателя 14, когда на выходе заема старшего разряда 37 третьего вычитателя 15 присутствует сигнал логической единицы, либо значения разности с выходов 38 третьего вычитателя 15, когда на выходе заема старшего разряда 37 третьего вычитателя 15 присутствует сигнал логического нуля.

На информационных входах 39 второго коммутатора 17 формируется либо разность остатка в однорядном коде, получаемого на выходах 35 второго вычитателя 14 и делителя, хранимого в регистре 3, если остаток на выходе 35 второго вычитателя больше делителя, либо остаток, получаемый на выходах 35 второго вычитателя 14, если этот остаток меньше делителя, т.е. на выходах 39 второго коммутатора 17 формируется остаток такой, какой он получается в процессе деления при определении одной цифры частного.

С помощью первого коммутатора 18 осуществляется передача на информационные входы первого регистра 1 остатка, либо значения делимого с входа 20 данных устройства, когда на втором выходе 48 блока 19 управления присутствует сигнал логической единицы, либо значение с выходов 42 первого вычитателя 13, когда на третьем выходе 49 блока 19 управления

формируется сигнал логической единицы, или же значения выходов 39 разрядов второго коммутатора 17, когда на четвертом выходе 50 блока 19 управления присутствует сигнал логической единицы.

Узел 18 коррекции частного предназначен как для коррекции, в случае необходимости, (K-1) младших разрядов частного, образованного в предыдущем такте работы устройства, так и для коррекции частного, сформированного в текущем такте. Коррекция (K-1) младших разрядов частного, сформированного в предыдущем такте, осуществляется, если сигнал заема на выходе 37 старшего разряда третьего вычитателя 15 соответствует уровню логического нуля, а коррекция цифр частного, образованного в текущем такте, осуществляется, если сигнал на седьмом выходе 51 блока 19 управления соответствует уровню логического нуля, причем коррекция цифр частного, сформированного в текущем, также приводится в результате коррекции из вида $\underbrace{0XXX\dots X}_K$ к виду $\underbrace{100\dots 0}_K$

Блок 19 управления координирует работу узлов и блоков устройства при выполнении на нем операции деления чисел.

Устройство для деления чисел работает следующим образом.

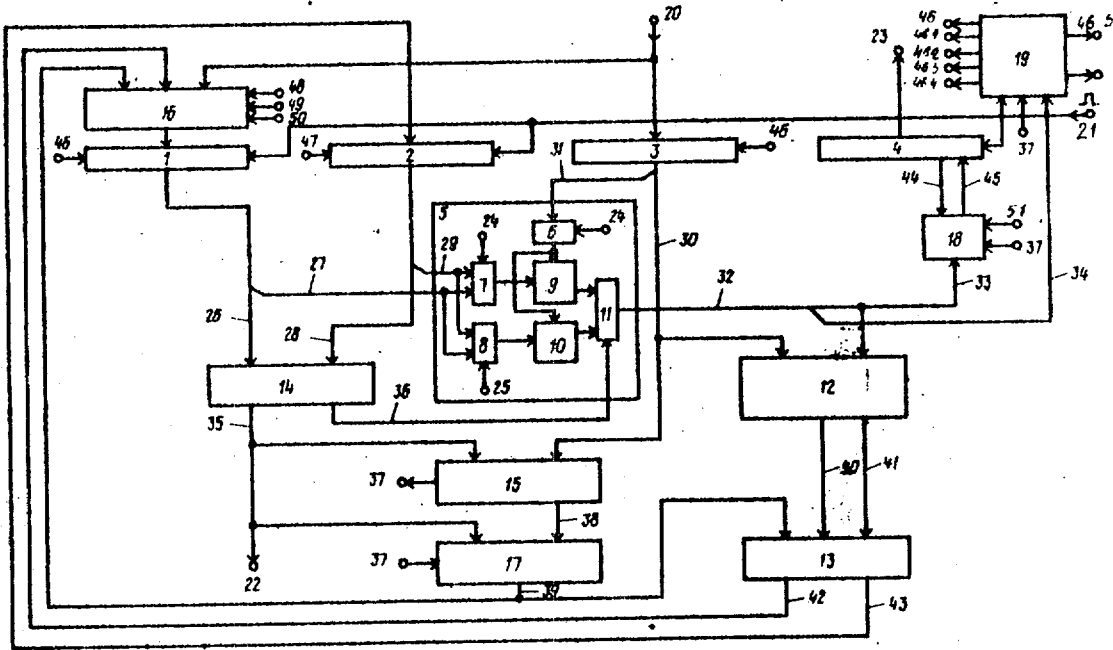
По первому синхриимпульсу на входе 21 синхронизации устройства на первом и шестом выходах 46 и 47 блока 19 управления формируются сигналы, по которым осуществляется запись n-разрядного делителя в регистр 3 делителя с входа 20 данных устройства, и обнуляется первый и второй регистры 1 и 2 остатка. По истечении действия первого импульса на входе 21 синхронизации устройства появляется потенциал логической единицы на втором выходе 48 блока 19 управления. Так как в первом и втором регистрах 1 и 2 остатка хранятся нулевые коды, то на выходах 32 блока 5 деления усеченных чисел формируется нулевой код K-разрядного частного, на выходе 37 займа старшего разряда третьего вычитателя 10 обзывается сигнал логической единицы, на входах 39 разрядов второго коммутатора 16 формируется нулевой код, на выходах 42 и 43 разности и займа

первого вычитателя 13 формируются нулевые коды. С приходом второго импульса на вход 21 синхронизации устройства осуществляется запись с входа 20 данными устройства n -разрядного кода делимого в первый регистр 1 остатка нулевого кода займа первого вычитателя 13 - во второй регистр 2 остатка и нулевого кода частного в младшие разряды регистра 4 частного. По истечении действий второго импульса на входе 21 синхронизации устройства подготовительный этап, включающий два такта, заканчивается и далее выполняется собственно деление, в процессе которого за m тактов формируется $m(K-1)+1$ двоичных цифр частного.

Рассмотрим более детально работу устройства в течение одного i -го такта ($1 \leq i \leq m$) формирования K цифр частного. По значению старших разрядов текущего остатка, хранимого в регистрах 1 и 2 в двухрядном коде, и делителя, хранимого в регистре 3 делителя, на выходах первого узла 9 деления блока 5 деления усеченных чисел формируется K двоичных цифр частного в предположении, что при проведении двухрядного кода текущего остатка в однорядный код образуется сигнал займа из младших разрядов остатка в старшие, а на выходах второго узла 10 деления блока 5 деления усеченных чисел формируется K двоичных цифр частного в предположении, что при приведении двухрядного кода текущего остатка в однорядный код не образуется сигнал займа из младших разрядов остатка в старшие. Параллельно с работой блока 5 деления усеченных чисел работает второй вычитатель 14, который преобразует двухрядный код текущего остатка в однорядный код. По значению сигнала займа в старшие разряды на выходе 36 этого вычитателя осуществляется окончательное формирование K цифр частного на выходах 32 блока 5 деления усеченных чисел. Если этот сигнал займа соответствует сигналу логической единицы, то в качестве K -разрядного частного в устройстве используется K цифр частного, образованных на выходах первого узла 9 деления блока 5 деления усеченных чисел, а если сигнал займа соответствует сигналу логического нуля, то в качестве K -разрядного частного в устройстве используется значение K цифр частного, сформиро-

ванного на выходах второго узла 10 деления блока 5 деления усеченных чисел. Сформированные на выходах блока 5 деления усеченных чисел ($K-1$) младших разрядов частного $Z_i^{(k-1)}$ поступают в узел 18 коррекции частного и одновременно подаются на входы первой группы блока 12 умножения, на выходах 40 и 41 которого образуется произведение $u \cdot Z_i^{(k-1)}$ в двухрядном коде. На выходах 39 второго коммутатора 17 формируется разность $r_i' = r_{i-1} - uZ_i'$ (r_{i-1} - значение текущего остатка в однорядном коде на выходах 35 второго вычитателя 14; Z_i' - значение старшего разряда частного, который определяется по знаку разности $r_i'' = r_{i-1} - u$, сформированной на выходах 36 третьего вычитателя 15). Если сигнал займа на выходе 37 заема старшего разряда третьего вычитателя 15 равен логической единице, то Z_i' равно нулю, а если сигнал займа равен логическому нулю, то Z_i' равно единице. На выходах 42 и 43 первого вычитателя 13 формируется в двухрядном коде разность $r_i'' = r_i' - uZ_i^{(k-1)} = -Z_{i-1} - uZ_i' - uZ_i^{(k-1)}$. Если разность $r_i''' = r_{i-1} - u$, сформированная на выходах 38 третьего вычитателя 15, положительна, т.е. старший разряд Z_i' равен единице, старший разряд K -разрядного частного, сформированного в блоке 5 деления усеченных чисел, равен нулю, то в i -м такте на седьмом выходе 51 блока 19 управления появляется сигнал логического нуля и в узле 18 коррекции частного образуется скорректированное K -разрядное частное в виде $\underbrace{100\dots 0}_K$, а в качестве очередного остатка r_i первым коммутатором 16 устройства выбирается разность r_i . Значение этой разности записывается в первый регистр 1 остатка со сдвигом на $(K-1)$ разрядов влево, а второй регистр 2 остатка при этом обнуляется. Во всех же других случаях в качестве очередного остатка выбирается разность r_i'' , значение которой в виде двух чисел записывается соответствующим образом со сдвигом влево на $(K-1)$ разрядов в первый и второй регистры 1 и 2 остатка. При этом в узле 18 коррекции частного сформированное на выходах 32 блока деления усеченных чисел 5 K -разрядное частное не корректируется. Аналогичным образом работает уст-

ройство во всех других тактах форми- рования К двоичных цифр частного.



Редактор В.Бугренкова

Техред М.Лидык

Корректор М.Демчик

Заказ 5125/45

Тираж 704

Подписное

ВНИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4