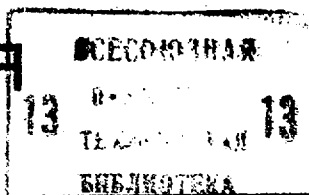




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 4124893/24-24  
(22) 26.09.86  
(46) 23.10.88. Бюл. № 39  
(71) Минский радиотехнический институт  
(72) А.А.Петровский, А.Н.Цырульников,  
М.В.Качинский, Е.Б.Самойлов  
и В.И.Супрун  
(53) 681.3(088.8)  
(56) Авторское свидетельство СССР  
№ 1040491, кл. G 06 F 15/332, 1982.  
Авторское свидетельство СССР  
№ 386390, кл. G 06 F 7/58, 1973.  
Авторское свидетельство СССР  
№ 1027723, кл. G 06 F 7/58, 1981.  
(54) УСТРОЙСТВО ДЛЯ ФОРМИРОВАНИЯ  
ШИРОКОПОЛОСНОГО СЛУЧАЙНОГО ПРОЦЕССА

(57) Изобретение относится к области вычислительной техники и может быть использовано в качестве задающей части цифровых систем автоматического управления. Цель изобретения - расширение класса решаемых задач за счет формирования случайного процесса с расширенным частотным диапазоном спектра. Устройство содержит генератор шума, блок умножения, два блока памяти, узел вычисления текущей реализации случайного процесса, мультиплексор, три регистра, три элемента И, три триггера, элемент ИЛИ, блок управления. Поставленная цель достигается за счет введения новых блоков с соответствующими функциональными связями. 3 з.п. ф-лы, 6 ил., 4 табл.

Изобретение относится к средствам формирования и управления случайным процессом с заданными спектральными характеристиками и может быть использовано в качестве задающей части цифровых систем автоматического управления широкополосной случайной вибрацией, а также в системах имитационного моделирования сложных объектов.

Цель изобретения - расширение класса решаемых задач за счет формирования случайного процесса с расширенным частотным диапазоном спектра.

На фиг. 1-4 представлены структурные схемы устройства для формирования широкополосного случайного процесса, генератора шума, первого блока памяти, узла вычисления текущей реализации случайного процесса соответственно; на фиг. 5 и 6 - временные диаграммы работы генератора шума и устройства в целом соответственно.

Устройство для формирования широкополосного случайного процесса содержит генератор 1 шума, блок 2 умножения, первый 3 и второй 4 блоки памяти, узел 5 вычисления текущей реализации случайного процесса, мультиплексор 6, регистр 7, блок 8 управления, узел 9 адаптации, который содержит первый 10 и второй 11 регистры, блок 12 памяти, первый 13, второй 14 и третий 15 элементы И, первый 16, второй 17 и третий 18 триггеры, элемент НЕ 19.

Генератор шума содержит генератор 20 тактовых импульсов, триггер 21, счетчик 22, первый элемент И 23, элемент 24 задержки, элемент НЕ 25, элемент ИЛИ 26, дешифратор 27, одновибратор 28, второй элемент И 29, блок элементов И 30, регистр 31 сдвига, регистр 32, первый 33 и второй 34 элементы ИСКЛЮЧАЮЩЕЕ ИЛИ.

Первый блок памяти содержит первый 35, второй 36, третий 37, четвертый 38, пятый 39, шестой 40 мультиплексоры, первый 41 и второй 42 буферы памяти.

Узел вычисления текущей реализации случайного процесса содержит блок 43 адресации, блок 44 памяти, блок 45 микропрограммного управления, мультиплексор 46, первый 47 и второй 48 арифметические блоки, счетчик 49, первый 50 и второй 51 триггеры, элемент И 52, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 53.

Блок управления содержит генератор 54 тактовых импульсов, элемент 55 задержки, первый 56 и второй 57 счетчики, мультиплексор 58.

На фиг. 6 показаны следующие диаграммы:  $\alpha$  - ТИ2;  $\delta$  - сигналы на входе задания режима устройства;  $\beta$  - сигналы первого триггера 16;  $\gamma$  - сигналы второго триггера 17;  $\theta$  - третьего триггера 18;  $\epsilon$  - сигналы на выходе элемента И 15;  $\kappa$  - сигналы генератора 54 тактовых импульсов;  $\zeta$  - сигналы на выходах  $m$ -разрядного счетчика 56;  $\eta$  - ТИ1;  $\xi$  - сигналы работы генератора 1 шума и блока 2 умножения;  $\lambda$  - ТИ3;  $\mu$  - ТИ4;  $\nu$  - работа буфера памяти, из которого на выход устройства выдается реализация сформированного случайного процесса;  $\sigma$  - работа буфера памяти, с которым работает узел 5 памяти вычисления текущей реализации случайного процесса;  $\pi$  - последовательность данных на входе узла 5;  $\rho$  - последовательность данных на выходе узла 5;  $*$  - прямая последовательность данных;  $**$  - двоично-инверсная последовательность.

Устройство осуществляет формирование широкополосного случайного процесса  $x(n)$ ,  $n = 0, N-1$  с заданным спектром согласно выражению

$$x(n) = F^{-1} [X(k\Delta\omega)], \quad (1)$$

где  $F^{-1}$  - обратное быстрое преобразование Фурье (БПФ);

$X(k\Delta\omega)$  - вектор коэффициентов Фурье (ВКФ) формируемого случайного процесса  $x(n)$ , спектральные свойства которого определяются требуемой формирующей матрицей  $H(k\Delta\omega)$ :

$$X(k\Delta\omega) = H(k\Delta\omega) \cdot \psi(k\Delta\omega), \quad k = 0, (N/2-1), \quad (2)$$

где  $N$  - число временных отсчетов в выходной реализации формируемого процесса;  $\Delta\omega$  - разрешение по частоте;  $\psi(k\Delta\omega)$  - ВКФ белого шума  $\xi(n)$ .

Для формирования широкополосного случайного процесса в реальном масштабе времени устройство работает следующим образом.

Пока на выход устройства из первого буфера 41 памяти первого блока 3 памяти с частотой дискретизации  $f_A$  выдается  $N$  отсчетов одной реализации случайного процесса, узел 5 вычисления текущей реализации случайного процесса рассчитывает по формуле (1)

во втором буфере 42 памяти первого блока 3 памяти новую реализацию случайного процесса из  $N$  отсчетов. После выдачи на выход устройства последнего отсчета реализации случайного процесса, находившейся в первом буфере 41 памяти, производится переключение буферов памяти, что осуществляется мультиплексированием информационных и адресных входов, а также выходов буферов памяти (фиг.3) группой мультиплексоров 35-40, управляемых сигналом, поступающим на вход синхронизации первого блока памяти 3. Теперь первый буфер памяти работает с арифметическими блоками узла 5 вычисления текущей реализации случайного процесса, а из второго буфера 42 памяти производится выдача на выход устройства только что полученной реализации процесса  $x(n)$  из  $N$  отсчетов. Далее процесс повторяется.

После считывания на выход устройства (в регистр 7) очередного отсчета сформированного случайного процесса  $x(n)$  на его место проводится запись нового значения из вектора коэффициентов Фурье, расчет которого осуществляется по формуле (2) генератором 1 шума и блоком 2 умножения. После считывания из буфера памяти первого блока 3 памяти последнего отсчета реализации из  $N$  отсчетов случайного процесса  $x(n)$  в этом же буфере памяти будут подготовлены данные (вектор  $X(k\Delta\omega)$ ) для вычисления узлом 5 текущей реализации случайного процесса.

Таким образом, формирование устройством широкополосного случайного процесса в реальном масштабе времени ведется по конвейерному принципу с использованием трех разнесенных во времени уровней обработки информации: генератор 1 шума и блок 2 умножения, которые подготавливают вектор коэффициентов Фурье  $X(k\Delta\omega)$  для следующей реализации формируемого случайного процесса из  $N$  отсчетов; узел 5, вычисляющий текущую реализацию формируемого случайного процесса  $x(n)$ ; мультиплексор 6 и выходной регистр 7 устройства, осуществляющие прием с частотой дискретизации  $f_d$  отсчетов сформированного случайного процесса  $x(n)$ .

Генератор 1 шума работает следующим образом.

Генератор шума (фиг.2) представляет собой параллельный генератор  $q$ -

разрядных псевдослучайных чисел, который реализован на  $s$ -разрядном регистре 31 сдвига и элементах ИСКЛЮЧАЮЩЕЕ ИЛИ 33 и 34. В исходном состоянии в регистре 31 сдвига находится произвольный код, отличный от нуля. Триггер 21 сброшен, в счетчике 22 записан код, равный  $q$ . При поступлении сигнала на вход синхронизации генератора шума триггер 21 устанавливается в единицу, разрешая прохождение сигналов от генератора 20 тактовых импульсов на вычитающий вход счетчика 22 и на вход разрешения сдвига регистра 31 сдвига. После того, как будет проведено  $q$  сдвигов, счетчик 22 обнуляется и сбрасывается триггер 21. Сигнал заема счетчика 22 устанавливает счетчик 22 в исходное состояние, и, пройдя через элемент 24 задержки, необходимый для нормального выполнения последнего сдвига регистром 31 сдвига, поступает на выход конца операции генератора шума. Этим сигналом производится запись нового отсчета  $\psi(k\Delta\omega)$  с выхода генератора 1 шума и отсчета формирующей матрицы  $H(k\Delta\omega)$  из второго блока 4 памяти как операндов блока 2 умножения.

На выходе генератора 1 шума формируются отсчеты, которые интерпретируются как вектор коэффициентов Фурье  $\psi(k\Delta\omega)$  белого шума  $\xi(n)$ , что исключает выполнение операции

$$\psi(k\Delta\omega) = F[\xi(n)],$$

где  $F$  - прямое ВПФ.

ВКФ  $X(k\Delta\omega)$  формируемого случайного процесса  $x(n)$  симметричны относительно отсчета  $N/2$  для своей действительной составляющей и антисимметричны для мнимой. Из (2) следует, что  $H(k\Delta\omega)$  и  $\psi(k\Delta\omega)$  должны обладать такими же свойствами.

Формирование отсчетов генератора шума ведется под управлением кода, установленного на  $m$ -разрядной шине, которая является входом задания режима генератора (фиг.3,  $m = 10$ ,  $N = 2^m = 1024$ ). Для отсчетов 0-512 на выходе элемента ИЛИ 26 вырабатывается сигнал "1" - сдвиг вправо регистра 31 сдвига, для остальных отсчетов "0" - сдвиг влево. При появлении на входе задания режима генератора адреса, равного  $N/2 = 512$  срабатывает дешифратор 27, запрещая сигналом с инверсного выхода работу блока элементов И 30. При этом на выходе генератора

появляется отсчет, равный нулю. После проведения последнего сдвига вправо содержимое регистра 31 сдвига запоминается в регистре 32. С этого состояния начинается работа генератора шума при формировании очередной секции  $\psi(k\Delta\omega)$ . Далее начинается сдвиг содержимого регистра 31 сдвига в обратном направлении (влево), т.е. отсчеты группируются симметрично относительно отсчета  $N/2$  (фиг.5). После формирования последнего отсчета в секции адрес на входе задания режима генератора изменяется с 1024 на 0,

т.е. старший разрядный вход переходит из "1" в "0", запускается одновибратор 28 и производится параллельная запись в регистр 31 сдвига кода "А", хранящегося в регистре 32, т.е. восстанавливается содержимое регистра 31 сдвига, продолжается движение генератора псевдослучайных чисел по кольцу, начинается формирование новой секции ВКФ шума. Схема подключения элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 33 и 34 представлена в табл. 1, где DL, DR - вход последовательного сдвига влево и вправо.

Т а б л и ц а 1

Подключение	Элементы ИСКЛЮЧАЮЩЕЕ ИЛИ			Сдвиг
	Вх. 1	Вх. 2	Выход	
Выходы разрядов и входы регистра 31 сдвига	$j$	S	DR	Вправо
	1	$S - j$	DL	Влево

Блок 2 умножения предназначен для вычислений по формуле (2). По сигналу, поступающему на вход синхронизации, блок умножения производит выполнение операции умножения над операндами, установленными на первом и втором информационных входах. По окончании вычислений результат выдается на

выход блока умножения и записывается в первый блок 3 памяти.

Узел 5 вычисления текущей реализации случайного процесса производит вычисления (1) по алгоритму БПФ с замещением, базовая операция которого на  $i$ -й итерации может быть представлена в виде

$$A_{i+1} = A_i + V_i W_i^N = a_{1i} + (b_{1i} w_{1i} - b_{2i} w_{2i}) + j[a_{2i} + (b_{2i} w_{1i} + b_{1i} w_{2i})];$$

$$V_{i+1} = A_i - V_i W_i^N = a_{1i} - (b_{1i} w_{1i} - b_{2i} w_{2i}) + j[a_{2i} - (b_{2i} w_{1i} + b_{1i} w_{2i})],$$

где  $A_i = a_{1i} + ja_{2i}$ ,  $V_i = b_{1i} + jb_{2i}$ ,  $W_i^N = w_{1i} + jw_{2i}$  - комплексные входные числа и поворачивающие множители соответственно,  $i = \overline{1, m}$ .

Основу узла 5 (фиг.4) составляют два идентичных арифметических блока 47 и 48, осуществляющих операцию умножения последовательно с анализом двух разрядов регистра множителя, причем частичные произведения добавляются к

предыдущему результату и запоминаются в накопительном регистре (НР). На первом арифметическом блоке 47 вычисляются действительные значения  $\text{Re}(A_{i+1})$  и  $\text{Re}(V_{i+1})$ , а на втором блоке 48 - мнимые  $\text{Im}(A_{i+1})$  и  $\text{Im}(V_{i+1})$ , в следующей последовательности, задаваемой блоком 45 микропрограммного управления (БМУ). Результаты приведены в табл. 2.

Т а б л и ц а 2

Номер шага	Первый арифметический блок 47	Второй арифметический блок 48
1	$\text{НР} = b_{1i} w_{1i}$	$\text{НР} = b_{2i} w_{1i}$
2	$\text{НР} = \text{Re}^* = \text{НР} - b_{2i} w_{2i}$	$\text{НР} = \text{Im}^* = \text{НР} + b_{1i} w_{2i}$
3	$\text{НР} = \text{Re}(A_{i+1}) = a_{1i} + \text{Re}^*$	$\text{НР} = \text{Im}(A_{i+1}) = a_{2i} + \text{Im}^*$
4	$\text{НР} = \text{Re}(V_{i+1}) = \text{НР} - 2\text{Re}^*$	$\text{НР} = \text{Im}(V_{i+1}) = \text{НР} - 2 \cdot \text{Im}^*$

Промежуточные результаты  $Re^*$  и  $Im^*$  вычисляются только один раз, а потом пересылаются в освободившиеся регистры множителя соответствующих арифметических блоков для хранения и использования в дальнейших вычислениях.

Микропрограмма выполнения базовой операции алгоритма обратного БПФ приведена в табл. 3. Выходы БМУ (разряды микрокоманды) используются следующие: МК(0-2) - для адресации входа мультиплексора 46, информация с которого передается на выход мультиплексора; МК(3-6) - для занесения операндов в регистры множимого и множителя первого и второго арифметических блоков соответственно; МК(7-8) - для задания режимов умножения и сложения арифметических устройств, соответственно; МК(9) - для управления действительной (МК(9) = 0) или мнимой (МК(9) = 1) выборкой части комплексного операнда  $A_i$  либо  $B_i$  базовой операции; МК(10) - для управления узлом формирования адреса блока 43 адресации (1,2):0 -

обращение к операнду  $A_i$ ; 1 - обращение к операнду  $B_i$ ; МК(11) - для управления записью результатов базовой операции и синхронизации блока 43 адресации.

Работа узла 5 вычисления текущей реализации случайного процесса начинается после поступления сигнала на его второй вход, который устанавливает в исходное состояние блок 43 адресации, сбрасывает разряды счетчика 49 в нуль и запускает БМУ 45 на выполнение первой базовой операции алгоритма. После записи результатов  $A_{i+1}$  и  $B_{i+1}$  в первый блок 3 памяти блок 43 адресации (1,2) подготавливает новый адрес для операндов  $A_i$  и  $B_i$  и поворачивающих множителей  $W_i^N$ , хранящихся в блоке 44 памяти в соответствии с номером  $i$  выполняемой итерации алгоритма БПФ. После окончания вычислений на итерации блок 43 адресации выдает сигнал на выходе окончания операции.

Т а б л и ц а 3

Номер МК	Вход мультиплексора	Выходы БМУ (разряды МК)											
		0	1	2	3	4	5	6	7	8	9	10	11
0	$b_{1i}$	1	0	1							0	1	
1	$b_{2i}$	1	0	1			1				1	1	
2	$w_{1i}$		0	0	1		1						
3			X	X							1		
4			X	X							1		
5			X	X							1		
6			X	X							1		
7			X	X							1		
8			X	X							1		
9			X	X							1		
10			X	X							1		
11	$b_{2i}$	1	0	1							1	1	
12	$b_{1i}$	1	0	1				1			0	1	
13	$w_{2i}$		0	0	1		1						1

Продолжение табл. 3

Номер МК	Вход мультиплексора	Выходы ВМУ (разряды МК)											
		0	1	2	3	4	5	6	7	8	9	10	11
14		XXX											1
15		XXX											1
16		XXX											1
17		XXX											1
18		XXX											1
19		XXX											1
20		XXX											1
21		XXX											1
22	Re*	010			1								
23	Im*	011							1				
24	$a_{1i}$	101V100	1							0	0		
25	$a_{2i}$	101V100					1			1	0		
26		XXX								1			
27	$\text{Re}(A_{i+1})$	010	1							0	0	1	
28	$\text{Im}(A_{i+1})$	011					1			1	0	1	
29		XXX								1			
30	$\text{Re}(B_{i+1})$	010								0	1	1	
31	$\text{Im}(B_{i+1})$	011								1	1	1	

Примечание. В остальных разрядах микрокоманды (МК), не указанных в приведенной микропрограмме, записываются нули.

X - безразличное состояние сигнала.

Узлом 5 вычисления текущей реализации случайного процесса реализуется метод адаптивного масштабирования при вычислении по алгоритму БПФ для минимизации дисперсии ошибки, обусловленной конечной разрядностью арифметических блоков. Входные комплексные числа представляются в памяти модифицированными кодами. Если на  $i$ -й итерации произошло переполнение, то

результаты вычисления базовой операции записываются в первый блок 3 памяти нескорректированным сигналом с одиннадцатого разрядного выхода ВМУ 45. Этот же сигнал стробирует элемент И 52. Так как на выходе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 53 при переполнении будет уровень единицы, то сигнал с выхода элемента И 52 устанавливает первый триггер 50 и добавляет

единицу в счетчик 49, причем сигнал нуля с инверсного выхода первого триггера 50 поступает на один из входов элемента И 52, запрещая дальнейшее обнаружение переполнения результатов базовой операции алгоритма до конца итерации. По окончании итерации сигналом с выхода окончания операции единица из первого триггера 50 переписывается во второй триггер 51, а первый триггер 50 сбрасывается. Далее начинается выполнение следующей  $(i+1)$ -й итерации алгоритма, на которой осуществляется коррекция результатов предыдущей итерации. Для этого информация с первого входа узла 5 подается на два входа мультиплексора 46: к четвертому входу подключены соответствующие разряды с первого входа узла 5, а к пятому — со сдвигом на один разряд вправо. При передаче операндов  $(i+1)$ -й итерации из первого блока 3 памяти на вход арифметических блоков 47 и 48 через мультиплексор 46 БМУ 45 анализирует состояние второго триггера 51 и устанавливает на своих нулевом, первом, втором разрядных выходах адрес 4 (передача операнда на вход арифметического блока без сдвига) либо 5 (передача со сдвигом на 1 разряд вправо). Результаты последней итерации корректируются при выдаче сформированной реализации случайного процесса на выход устройства мультиплексором 6. После завершения узлом 5 вычислений по алгоритму обратного БПФ в счетчике 49 хранится общее число переполнений алгоритма. При этом для различных реализаций случайного процесса число переполнений может быть различно.

Узел адаптации осуществляет автоматическое поддержание уровня выходного сигнала на выходе устройства при формировании широкополосного случай-

ного процесса. По окончании режима записи во второй блок 4 памяти формирующей матрицы  $H(k\Delta\omega)$  на вход задания режима устройства подается нуль (фиг.6), триггер 16 устанавливается в единицу. В такте 1 работы устройства генератор 1 шума и блок 2 умножения рассчитывают вектор коэффициентов Фурье  $X(k\Delta\omega)$  (2), на основе которого в такте 2 узлом 5 вычисляется первая реализация случайного процесса  $x(n)$  (1) из  $N$  отсчетов. Триггеры 16-18 и логические элементы И 13-15 (фиг.1) образуют сдвиговую цепочку для выделения такта 3, начиная с которого производится выдача сформированных реализаций случайного процесса на выход устройства. Сигналом с выхода элемента И 15 в первый регистр 10 узла 9 адаптации заносится код числа переполнений первой реализации сформированного случайного процесса. Сигнал, поступающий на вход синхронизации второго регистра 11 узла 9 адаптации, заносит в регистр 11 код числа переполнений выдаваемой в данном такте реализации случайного процесса (3-й, 4-й и т.д.). Сравнение числа переполнений текущей реализации  $P_{тек}$  с числом переполнений первой реализации случайного процесса, принятого за  $P_{ср}$ , выполняется блоком 12 памяти (постоянное запоминающее устройство) методом перебора всех возможных комбинаций  $P_{тек}$  и  $P_{ср}$ . На выходе блока 12 памяти узла 9 адаптации устанавливается требуемое число сдвигов (табл. 4) вправо или влево мультиплексором 6 всех отсчетов текущей выходной реализации случайного процесса. Для стационарных случайных процессов  $|P_{тек} - P_{ср}| \leq 2$ , даже если  $P_{ср}$  определяется случайно. При  $N = 1024$  объем блока 12 памяти составляет  $256 \times 4$  бит.

Т а б л и ц а 4

$P_{\text{ср}}$	$P_{\text{тек}}$	Число сдвигов	$P_{\text{ср}}$	$P_{\text{тек}}$	Число сдвигов
0	0	0	6	4	+2
	1	-1		5	+1
	2	-2		6	0
1	0	+1		7	-1
	1	0		8	-2
	2	-1	7	5	+2
	3	-2		6	+1
2	0	+2		7	0
	1	+1		8	-1
	2	0		9	-2
	3	-1	8	6	+2
	4	-2		7	+1
3	1	+2		8	0
	2	+1		9	-1
	3	0		10	-2
	4	-1	9	7	+2
	5	-2		8	+1
4	2	+2		9	0
	3	+1		10	-1
	4	0	10	8	+2
	5	-1		9	+1
	6	-2		10	0
5	3	+2			
	4	+1			
	5	0			
	6	-1			
	7	-2			

П р и м е ч а н и е. "+" - сдвиг вправо; "-" - сдвиг влево.



Блок 8 управления осуществляет синхронизацию вычислений различными блоками устройства для формирования широкополосного случайного процесса, вырабатывая тактовые синхронимпульсы четырех серий.

ТИ1 - производят запись с частотой  $f_d$  отсчета реализации процесса, рассчитанной на предыдущем такте работы устройства, в выходной регистр 7, а также запуск генератора 1 шума и блок 2 умножения на вычисление очередного отсчета ВКФ формируемого случайного процесса.

ТИ2 - определяют такт работы устройства. По каждому синхросигналу узел 5 начинает расчет текущей реализации случайного процесса из N отсчетов, а в первый регистр 10 узла 9 адаптации записывается код числа переполнений алгоритма обратного БПФ на предыдущем такте работы устройства.

ТИЗ - осуществляют переключение первого 41 и второго 42 буферов памяти первого блока 3 памяти.

ТИ4 - синхропоследовательность, управляющая работой мультиплексора 58 блока 8 управления. Мультиплексор 58 проводит адресацию данных, считываемых из первого блока 3 памяти на выход устройства с прямым либо с двоично-инверсным порядком следования отсчетов.

Каждый такт работы устройства (фиг.6) начинается с появления ТИ2 после переполнения m-разрядного счетчика 56 блока 8 управления, подсчитывающего импульсы от ГТИ 54. Синхропоследовательность ТИ1 формируется элементом 55 задержки, на вход которого поступают импульсы от ГТИ 54. Задержка определяется временем переключения счетчика 56, мультиплексора 52 и временем выборки отсчета из первого блока 3 памяти.

При вычислении по алгоритму обратного БПФ с замещением прямая входная последовательность данных на выходе окажется представленной в двоично-инверсном порядке в этом же буфере памяти. Тогда при считывании сформированной реализации случайного процесса на выход устройства для получения нормального порядка следования отсчетов блок 8 управления должен подавать двоично-инверсный адрес на этот же

буфер памяти и наоборот. Для того, чтобы нормальный порядок следования отсчетов не нарушался и в дальнейшем, узел 5 вычисления текущей реализации случайного процесса должен поочередно осуществлять обратное БПФ над входными данными с прямым и двоично-инверсным порядком следования в одном и том же буфере памяти (фиг.6).

Адресацию памяти по диаграммам фиг.6 в узле 5 вычисления текущей реализации случайного процесса проводит блок 43 адресации, который может проводить адресацию операндов при вычислении по алгоритму БПФ с прямым либо с двоично-инверсным порядком следования отсчетов на входе (1, 2).

Адресацию данных при выдаче очередной реализации случайного процесса на выход устройства осуществляет блок 8 управления с помощью синхропоследовательности ТИ4.

Например, пусть на выход устройства (фиг.6) в такте 3 (ТИЗ = 0, ТИ4 = 0) выдана реализация случайного процесса из второго буфера 42 памяти первого блока 3 памяти. В этом же буфере памяти подготовлен ВКФ формируемого процесса, причем так как данные считывались в прямой последовательности, то данные для вычисления узлом 5 обратного БПФ будут записаны с прямым порядком следования. В такте 4 узел 5, работая с вторым буфером 42 памяти (ТИЗ = 1), проведет расчет новой реализации случайного процесса, причем в этом же буфере памяти после вычислений по алгоритму обратного БПФ данные будут представлены в двоично-инверсном порядке следования. В такте 5 (ТИЗ = 0, ТИ4 = 1) с вторым буфером 42 памяти работает блок 8 управления, проводя выдачу на выходной регистр 7 реализации случайного процесса с двоично-инверсным порядком следования и т.д.

#### Ф о р м у л а и з о б р е т е н и я

1. Устройство для формирования широкополосного случайного процесса, содержащее генератор шума и блок умножения, отличающееся тем, что, с целью расширения класса решаемых задач за счет формирования случайного процесса с расширенным частотным диапазоном спектра, оно со-

держит узел вычисления текущей реализации случайного процесса, два блока памяти, мультиплексор, регистр, блок управления и узел адаптации, который содержит два регистра, блок памяти, три элемента И, три триггера, элемент НЕ, выход которого соединен с входом синхронизации первого триггера, прямой выход которого соединен с первым входом первого элемента И, выход которого соединен с входом установки в "1" второго триггера, прямой выход которого соединен с первым входом второго элемента И, выход которого соединен с входом установки в "1" третьего триггера, выход которого соединен с первым входом третьего элемента И, выход которого соединен с входом обнуления третьего триггера, вход установки в "1" которого соединен с входом обнуления второго триггера, вход установки в "1" которого соединен с входом обнуления первого триггера, информационный вход которого соединен с шиной задания логической единицы, выход третьего элемента И соединен с входом синхронизации первого регистра, выход которого соединен с первым адресным входом блока памяти, второй адресный вход которого соединен с выходом второго регистра, выход блока памяти узла адаптации соединен с управляющим входом мультиплексора, первый выход узла вычисления текущей реализации случайного процесса соединен с первым информационным входом первого блока памяти, второй информационный вход которого соединен с выходом блока умножения, первый информационный вход которого соединен с выходом второго блока памяти, адресный вход которого соединен с первым адресным входом первого блока памяти и соединен с первым выходом блока управления, второй выход которого соединен с входом задания режима генератора шума, информационный выход которого соединен с вторым информационным входом блока умножения, вход синхронизации которого соединен с выходом конца операции генератора шума, вход синхронизации которого соединен с входом синхронизации регистра и подключен к третьему выходу блока управления, четвертый выход которого соединен с входом синхронизации первого блока памяти, первый информационный выход

которого соединен с первым входом узла вычисления текущей реализации случайного процесса, второй информационный выход первого блока памяти соединен с информационным входом мультиплексора, выход которого соединен с информационным входом регистра, выход которого является выходом устройства, пятый выход блока управления соединен с вторым входом узла вычисления текущей реализации случайного процесса и подключен к входу синхронизации второго регистра узла адаптации, вторым входам первого, второго и третьего элементов И, второй выход узла вычисления текущей реализации случайного процесса соединен с информационным входом первого и второго регистров узла адаптации, вход элемента НЕ узла адаптации является входом задания режима устройства, третий выход узла вычисления текущей реализации случайного процесса соединен с вторым адресным входом первого блока памяти.

2. Устройство по п.1, отличающееся тем, что генератор шума содержит генератор тактовых импульсов, триггер, счетчик, два элемента И, элемент НЕ, элемент ИЛИ, элемент задержки, дешифратор, одновибратор, блок элементов И, регистр сдвига, регистр, два элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, причем вход установки в "1" триггера является входом синхронизации генератора шума, прямой выход триггера подключен к первому входу первого элемента И, второй вход которого соединен с выходом генератора тактовых импульсов, выход первого элемента И соединен с вычитающим входом счетчика и входом разрешения сдвига регистра сдвига, выход переполнения счетчика соединен с входом установки счетчика и подключен к входу обнуления триггера и входу элемента задержки, выход которого является выходом конца операции генератора шума, выход элемента задержки соединен с первым входом второго элемента И, выход которого соединен с входом синхронизации регистра, выход которого соединен с информационным входом регистра сдвига, выход которого соединен с первым входом блока элементов И, второй вход которого соединен с инверсным выходом дешифратора, прямой выход которого соединен с первым входом элемента

ИЛИ и вторым входом второго элемента И, выход блока элементов И является информационным выходом генератора, старший разрядный вход дешифратора соединен с входом одновибратора и входом элемента НЕ, выход которого соединен с вторым входом элемента ИЛИ, выход которого соединен с входом управления сдвигом вправо-влево регистра сдвига, вход записи которого соединен с выходом одновибратора, разрядные входы дешифратора являются входом задания режима генератора, первый и второй входы элементов ИСКЛЮЧАЮЩЕ ИЛИ соединены с соответствующими разрядными выходами регистра сдвига, выход первого элемента ИСКЛЮЧАЮЩЕ ИЛИ соединен с входом последовательного сдвига вправо регистра сдвига, вход последовательного сдвига влево которого соединен с выходом второго элемента ИСКЛЮЧАЮЩЕ ИЛИ.

3. Устройство по п.1, отличающееся тем, что, узел вычисления текущей реализации случайного процесса содержит блок адресации, блок памяти, блок микропрограммного управления, мультиплексор, два арифметических блока, счетчик, два триггера, элемент И и элемент ИСКЛЮЧАЮЩЕ ИЛИ, причем первый адресный выход блока адресации соединен с адресным входом блока памяти, выход которого соединен с первым информационным входом мультиплексора, выход которого является первым выходом узла, второй информационный вход мультиплексора соединен с выходом первого арифметического блока, выход второго арифметического блока соединен с третьим информационным входом мультиплексора, разрядные выходы которого соединены с информационными разрядными входами первого и второго арифметических блоков, первый и второй разрядные входы мультиплексора соединены соответственно с первым и вторым входами элемента ИСКЛЮЧАЮЩЕ ИЛИ, выход которого соединен с первым входом элемента И, выход которого соединен с входом установки в "1" первого триггера и счетным входом счетчика, выход которого является вторым выходом узла, вход сброса счетчика соединен с входом "Пуск" блока микропрограммного управления и входом предварительной установки блока адресации, выход окончания операции которого соединен

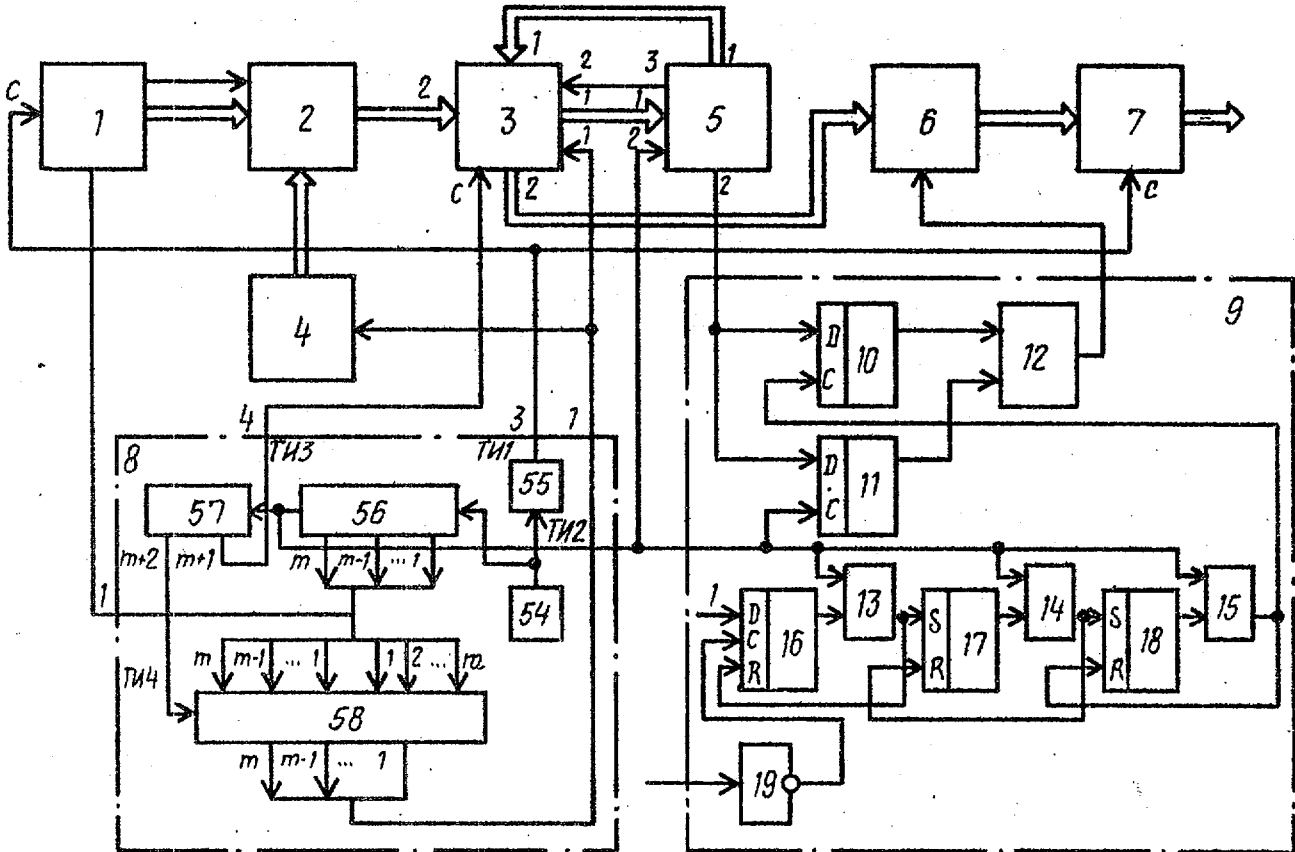
с входом синхронизации второго триггера и входом обнуления первого триггера, прямой выход которого соединен с информационным входом второго триггера, прямой выход которого соединен с входом задания условия блока микропрограммного управления, инверсный выход первого триггера соединен с вторым входом элемента И, нулевой, первый и второй разрядные выходы блока микропрограммного управления соединены с соответствующими разрядными управляющими входами мультиплексора, третий, четвертый разрядные выходы блока микропрограммного управления соединены с соответствующими входами выбора режима арифметических блоков, пятый и шестой разрядные выходы блока микропрограммного управления соединены с соответствующими входами выбора режима второго арифметического блока, седьмой и восьмой разрядные выходы блока микропрограммного управления подключены к соответствующим входам выбора режима первого и второго арифметических блоков, девятый и десятый разрядные выходы блока микропрограммного управления соединены с соответствующими входами выбора режима первого и второго арифметических блоков, одиннадцатый, двенадцатый и тринадцатый выходы блока микропрограммного управления соединены с соответствующими управляющими разрядными входами блока адресации, тринадцатый разрядный выход блока микропрограммного управления соединен с третьим входом элемента И, второй адресный выход блока адресации является третьим выходом узла, четвертый и пятый входы мультиплексора объединены между собой и являются первым входом узла, вход "Пуск" блока микропрограммного управления является вторым входом узла.

4. Устройство по п.1, отличающееся тем, что блок управления содержит генератор тактовых импульсов, элемент задержки, два счетчика, мультиплексор, причем выход генератора тактовых импульсов соединен с счетным входом первого счетчика, 1, 2, ...,  $m$ -е выходы которого соединены с одноименными первыми информационными входами мультиплексора и соответственно с  $m$ ,  $m-1$ , ..., 1 вторыми информационными входами мультиплексо-

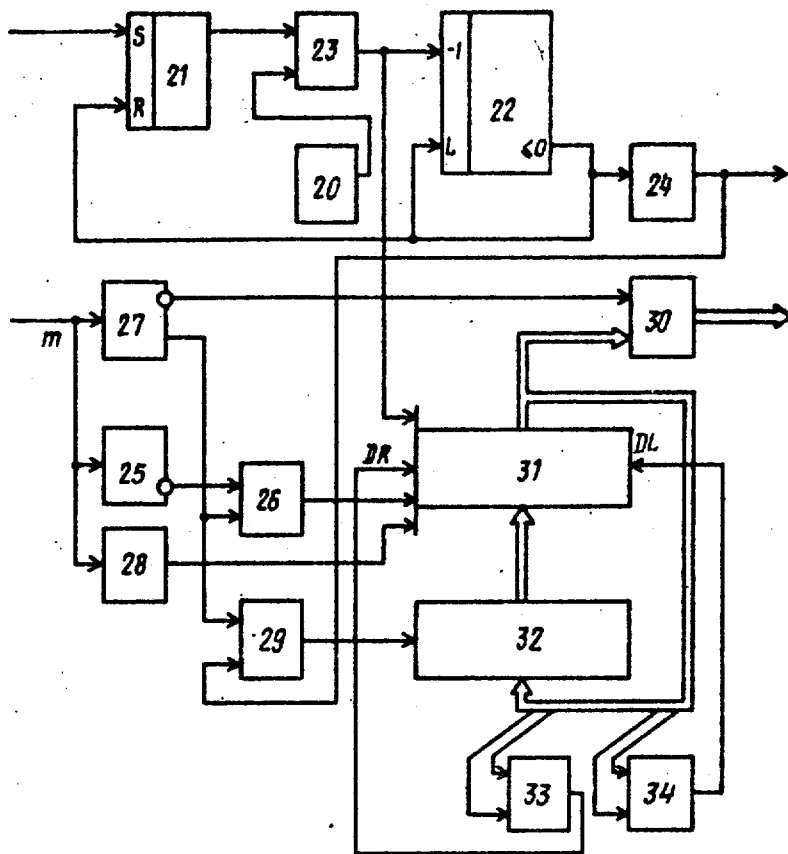
ра, выход которого является первым выходом блока управления, разрядные выходы первого счетчика являются вторым разрядным выходом блока, выход генератора тактовых импульсов соединен с входом элемента задержки, выход которого является третьим выходом блока, выход переполнения первого

5

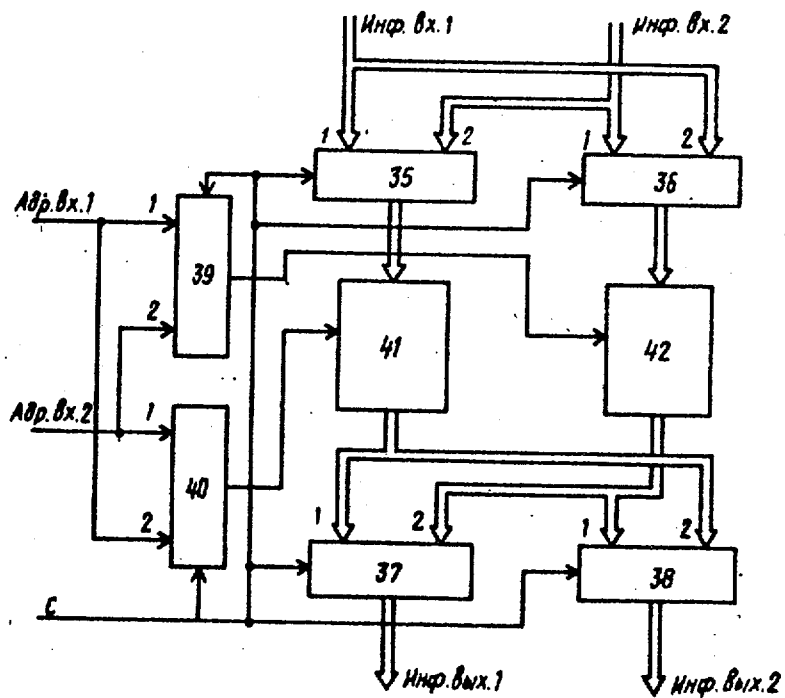
счетчика соединен со счетным входом второго счетчика, выход младшего разряда которого является четвертым выходом блока управления, выход старшего разряда второго счетчика соединен с управляющим входом мультиплексора, выход переполнения первого счетчика является пятым выходом блока.



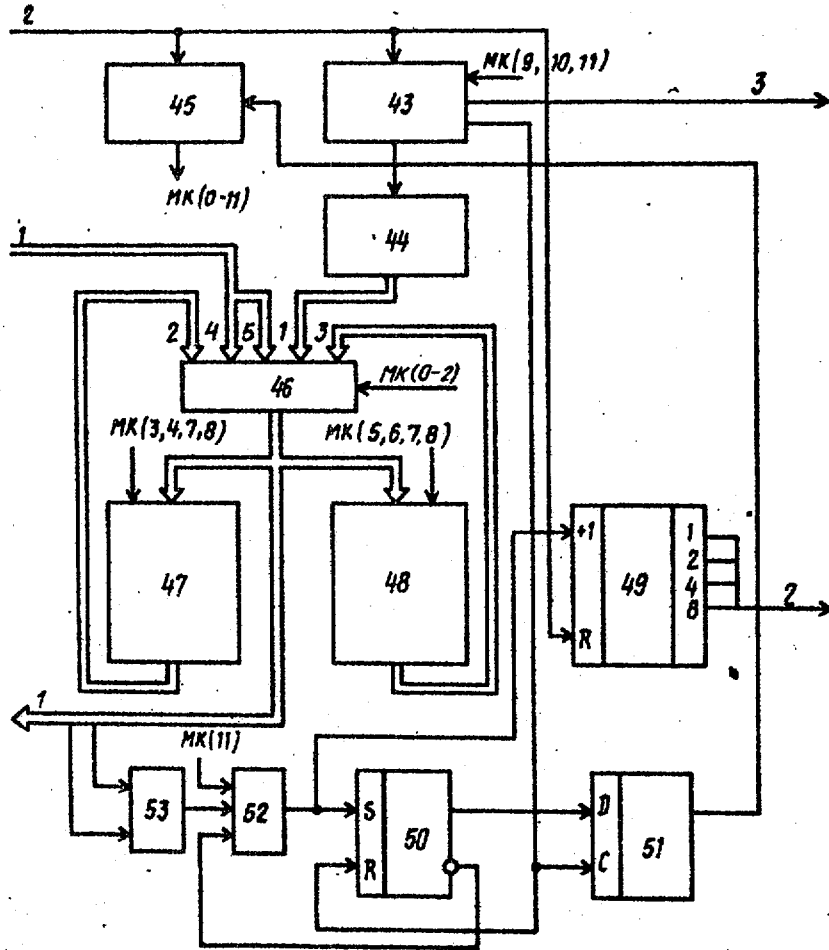
Фиг.1



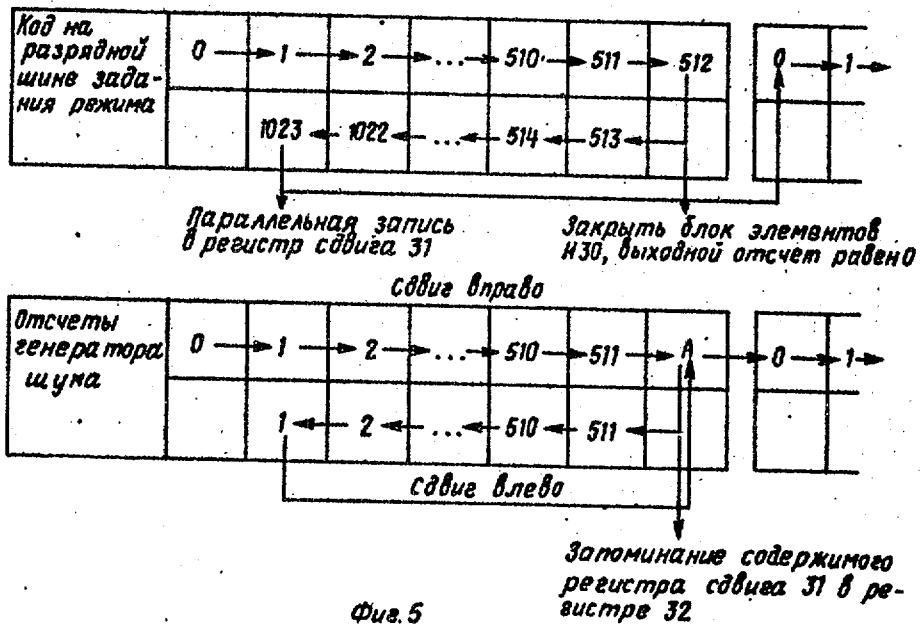
Фиг. 2



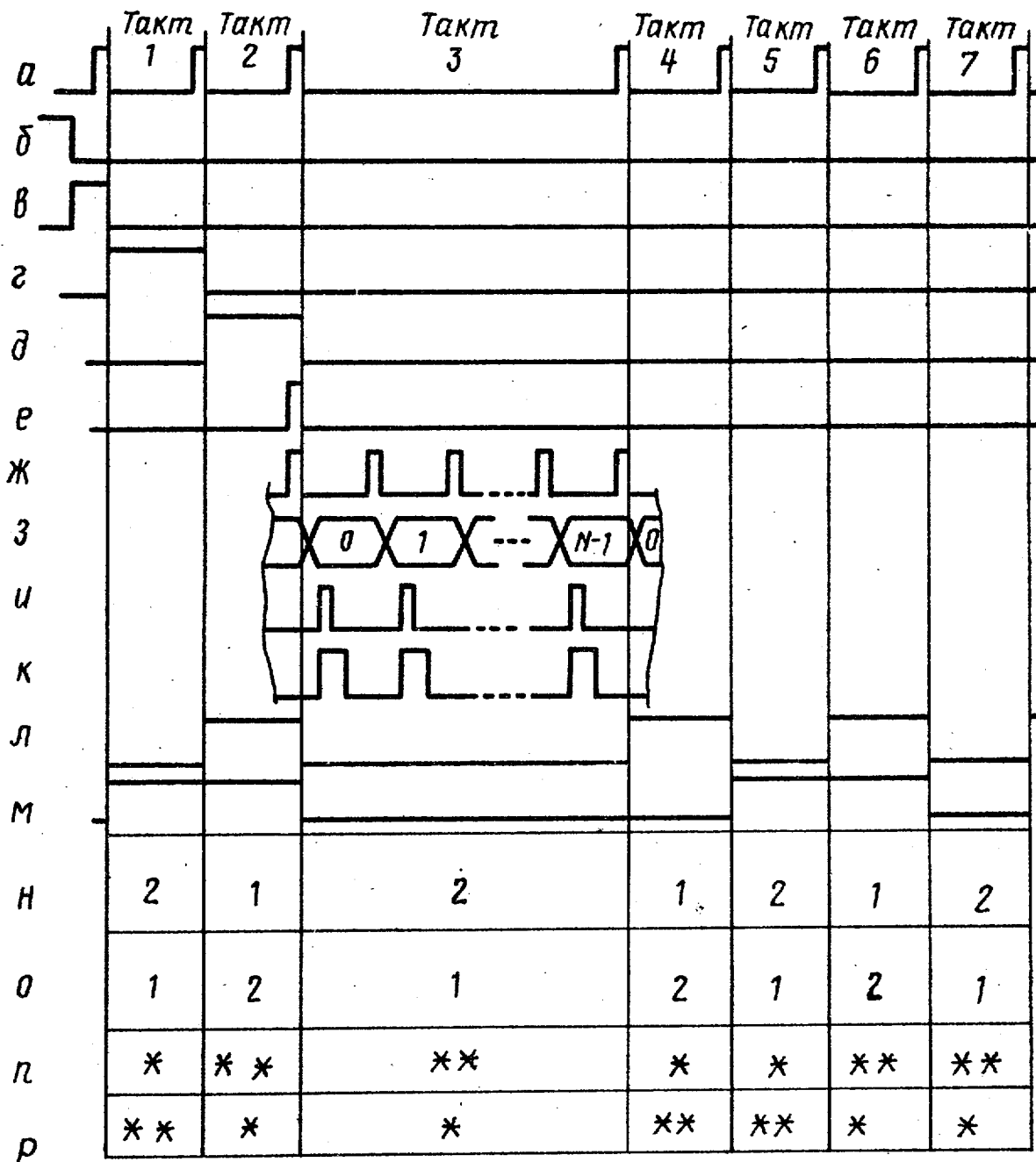
Фиг. 3



Фиг. 4



Фиг. 5



Фиг.б

Редактор Е.Папп                      Составитель И.Столяров  
 Техред Л.Сердюкова                      Корректор А.Обручар

Заказ 5441/41                      Тираж 704                      Подписное

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4