

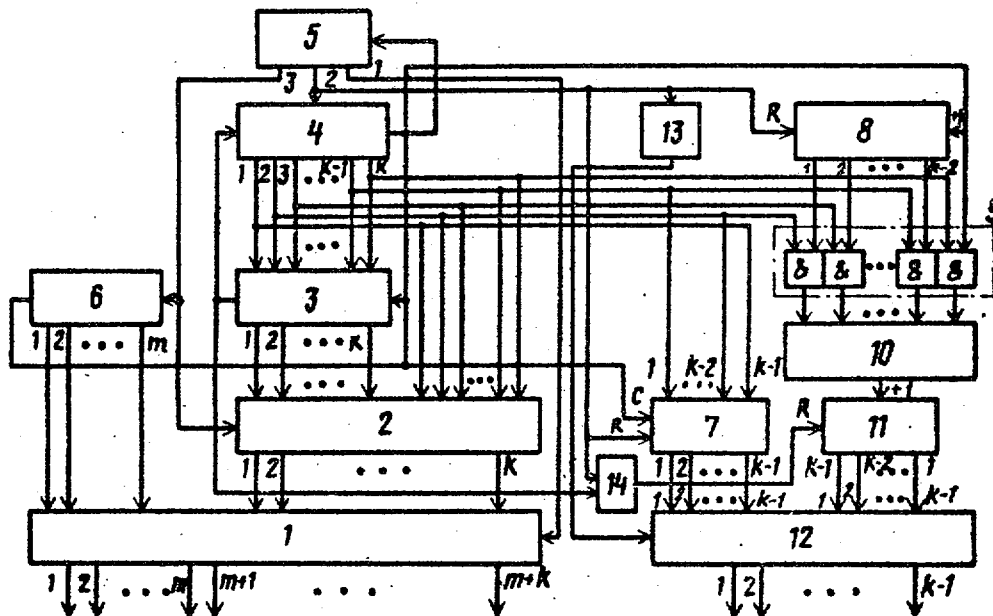


ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3968247/24-24
- (22) 22.10.85
- (46) 23.03.87. Бюл. № 11
- (71) Минский радиотехнический институт
- (72) А.А. Петровский и А.Н. Цырульников
- (53) 681.32 (088.8)
- (56) Рабинер Л., Гоулд Б. Теория и применение цифровой обработки сигналов. - М.: Мир, 1978.
- Авторское свидетельство СССР № 1040491, кл. G 06 F 15/332, 1983.
- (54) УСТРОЙСТВО ДЛЯ АДРЕСАЦИИ ПРОЦЕССОРА БЫСТРОГО ПРЕОБРАЗОВАНИЯ ФУРЬЕ
- (57) Изобретение относится к специализированным средствам вычислитель-

ной техники и может быть использовано в системах цифровой обработки сигналов, при построении устройств, использующих в своей работе алгоритм быстрого преобразования Фурье. Цель изобретения - расширение области применения за счет обработки многомерных сигналов. Поставленная цель достигается за счет того, что устройство содержит регистр 1 адреса, формирователь 2 адреса, счетчик 3, регистр 4 сдвига, синхронизатор 5, счетчик 6, накапливающий сумматор 7, счетчик 8, блок 9 элементов И, элемент ИЛИ 10, счетчик 11, мультиплексор 12, триггер 13 и элемент ИЛИ 14.



Фиг.1

Изобретение относится к специа-  
лизированным средствам вычислитель-  
ной техники и может быть использовано  
в системах цифровой обработки  
сигналов, при построении устройств,  
использующих в своей работе алго-  
ритм быстрого преобразования Фурье  
(БПФ).

Цель изобретения - расширение  
функциональных возможностей устрой-  
ства за счет обработки многомерных  
сигналов.

На фиг. 1 приведена структурная  
схема устройства для адресации про-  
цессора БПФ; на фиг. 2 - временная  
диаграмма работы при адресации по-  
ворачивающих множителей.

Устройство для адресации процес-  
сора быстрого преобразования Фурье  
содержит  $(m+k)$ -разрядный регистр 1  
адреса, формирователь 2 адреса,  $k$ -  
разрядный счетчик 3,  $k$ -разрядный  
регистр 4 сдвига, синхронизатор 5,  
 $m$ -разрядный счетчик 6,  $(k-1)$ -разряд-  
ный накапливающий сумматор 7,  $(k-2)$ -  
разрядный счетчик 8, блок 9 элемен-  
тов И, элемент ИЛИ 10,  $(k-1)$ -раз-  
рядный счетчик 11, мультиплексор 12,  
триггер 13, элемент ИЛИ 14.

Известно четыре основных разно-  
видности алгоритма БПФ с замещением.

1. Алгоритм прореживания по време-  
ни с прямым упорядочением выходных  
данных.

2. Алгоритм прореживания по време-  
ни с двоично-инверсным упорядочени-  
ем выходных данных.

3. Алгоритм прореживания по частоте  
с прямым упорядочением выходных  
данных.

4. Алгоритм прореживания по час-  
тоте с двоично-инверсным упорядоче-  
нием выходных данных.

Устройство для адресации процессо-  
ра БПФ работает следующим образом.

По сигналу с выхода синхрониза-  
тора 5 происходит занесение в регистр  
4 сдвига кода

$\frac{1000\dots 0}{k\text{-разрядов}}$  для алгоритмов 2 и 4,  
 $\frac{000\dots 01}{k\text{-разрядов}}$  для алгоритмов 1 и 3.

В триггер 13 этим же сигналом за-  
носится 0 для адресации поворачиваю-  
щих множителей по алгоритмам 1 и 4,  
1 - для адресации поворачивающих  
множителей по алгоритмам 2 и 3.

Этим же сигналом в исходное ну-  
левое состояние приводятся накапли-  
вающий сумматор 7, счетчики 8 и 11.  
Пусть в регистр 4 сдвига занесен  
код  $00\dots 01$ . Устройство для адреса-  
ции процессора БПФ формирует адреса  
операндов в памяти одинаково для ал-  
горитмов 1 и 3. Различие в формиро-  
вании адресов поворачивающих множи-  
телей обеспечивает в одном случае  
алгоритм прореживания по времени, а  
в другом - прореживание по частоте.  
Рассмотрим сначала алгоритм 1 - ал-  
горитм прореживания по времени. Для  
этого алгоритма в триггер 13 заносит-  
ся 0. Мультиплексор 12 подключает  
по второму выходу устройства первую  
группу входов, т.е. выходы накопи-  
вающего сумматора 7, в котором в  
начальном состоянии нули (т.е. фор-  
мируется адрес  $W^0$ ).

Формирование адресов операндов  
и поворачивающих множителей ведется  
под управлением содержимого регист-  
ра 4 сдвига, которое по сигналу с  
управляющего выхода  $k$ -разрядного  
счетчика 3 сдвигается влево (в сто-  
рону старших разрядов) на один раз-  
ряд после выполнения каждой итера-  
ции алгоритма БПФ.

Под управлением последователь-  
ностей сигналов ТИ1 и ТИ3 синхрони-  
затора 5 согласно алгоритму БПФ на  
каждой итерации определяются адреса  
операндов базовой операции компонен-  
ты  $X_1$  вектора  $X^T$ , затем компоненты  
 $X_2, \dots, X_n$ , т.е. последовательно фор-  
мируются адреса операндов базовых  
операций 1.1, 2.1, 3.1. Содержимое  
накапливающего сумматора 7 при этом  
не меняется, т.е. все одноименные  
базовые операции всех компонентов  
вектора  $X^T$  выполняются с неизменным  
поворачивающим множителем  $W^0$ .

После формирования адресов операн-  
дов последнего вектора  $X_n$  по задне-  
му фронту сигнала последовательности  
ТИ3 с третьего выхода синхронизато-  
ра 5 к содержимому  $m$ -разрядного счет-  
чика 6 добавляется единица, счетчик  
6 переполняется, так как в нем был  
код  $11\dots 1$  при  $m = \log_2 n$ , и по сиг-  
налу прореживания  $m$ -разрядов

налу переполнения  $m$ -разрядного счет-  
чика 6 происходит добавление единицы  
к содержимому  $k$ -разрядного счетчика  
3, а также занесение нового кода в  
накапливающий сумматор 7, т.е. к ну-

левому содержимому накапливающего сумматора добавляется содержимое  $k$ -разрядного регистра 4 сдвига. Причем, так как на первой итерации содержимое регистра 4 сдвига  $00\dots 01$ , а накапливающий регистр  $(k-1)$ -разрядный, и выходы 1-го, 2-го, ...,  $(k-1)$ -го разрядов регистра сдвига соединены соответственно с  $(k-1)$ -м,  $(k-2)$ -м, ..., 1-м разрядами накапливающего сумматора, то на всей первой итерации содержимое накапливающего сумматора равно нулю, т.е. соответствует адресу  $W^0$ . Сигнал переполнения  $k$ -разрядного счетчика 3 означает окончание данной итерации. Он поступает на управляющий вход регистра 4 и сдвигает хранящуюся в нем единицу на один разряд влево (в сторону старших разрядов). На второй итерации регистр 4 сдвига содержит код  $00\dots 010$ , и накапливающий сумматор 7 формирует адреса поворачивающих множителей  $W^0, W^{2^{k-2}}, W^0, \dots$  и т.д.

Рассмотрим работу устройства для адресации процессора БПФ, когда в регистр сдвига занесен тот же код  $00\dots 01$  (при объеме выборки  $N = 8$  это код  $001$ ), а в триггер 13 занесена "1". При этом мультиплексор 12 подключает к выходу устройства вторую группу входов, т.е. выходы  $(k-1)$ -разрядного счетчика 11, выходы которого подключены инверсно, т.е. выход старшего разряда "1" подключен к младшему  $(k-1)$ -му входу и т.д. (на выходе мультиплексора формируется код, который является двоично-инверсным по отношению к коду самого счетчика).

Формирование адресов операндов идет полностью аналогично предыдущему случаю, когда в триггере 13 хранился "0". В исходном состоянии счетчики 8 и 11 обнулены, т.е. первые базовые операции всех компонент вектора  $X^T$  проводятся с поворачивающим множителем  $W^0$ . После формирования адресов операндов последнего вектора  $X_n$   $m$ -разрядный счетчик переполняется, происходит добавление единицы к содержимому  $k$ -разрядного счетчика 3 и  $(k-2)$ -разрядного счетчика 8. Этот же сигнал поступает на второй вход  $(k-1)$ -го элемента И, на первый вход которого заведен выход младшего разряда регистра 4 сдвига, где на первой итерации находится "1"

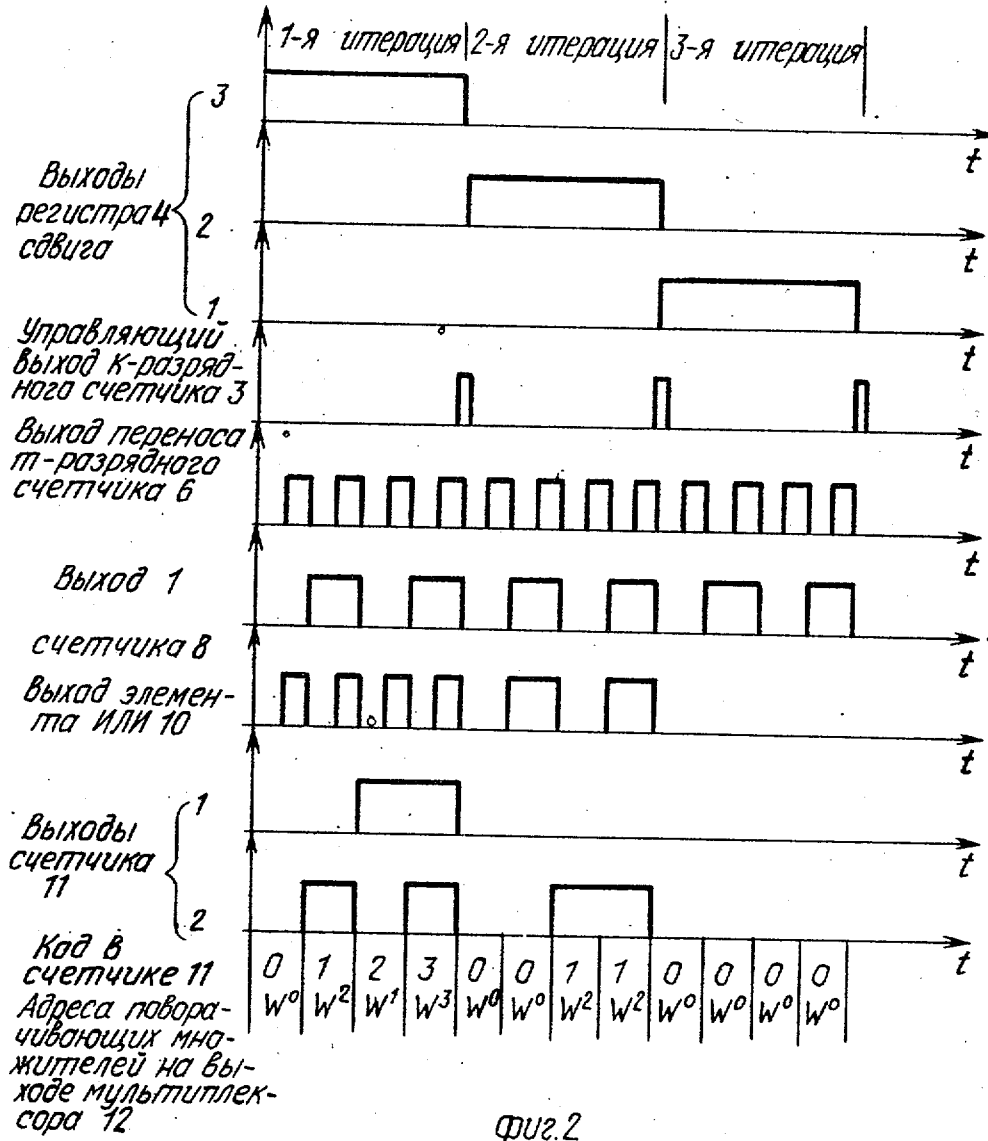
(фиг. 2), которая разрешает прохождение сигнала на выход элемента И и далее через элемент ИЛИ на вход суммирования счетчика 11, и его содержимое становится равным  $01_2$ , а на выходе мультиплексора формируется адрес поворачивающего множителя  $W^2$ . Остальные элементы И на первой итерации закрыты. Далее счетчик 11 формирует коды  $10_2, 11_2$ , что соответствует поворачивающим множителям  $W^1, W^3$ . После окончания итерации на управляющем выходе  $k$ -разрядного счетчика формируется сигнал, который сдвигает содержимое регистра сдвига на один разряд влево, и обнуляется  $(k-1)$ -разрядный счетчик 11. На второй итерации в регистре сдвига находится код  $010$ , открывается  $(k-2)$ -й элемент И (фиг. 2), а на выход элемента ИЛИ проходит сигнал с выхода младшего разряда  $(k-2)$ -разрядного счетчика 8. Переключение счетчика 11 происходит в два раза реже, т.е. формируются адреса поворачивающих множителей  $W^0, W^0, W^2, W^2$  и т.д.

#### Ф о р м у л а и з о б р е т е н и я

Устройство для адресации процессора быстрого преобразования Фурье, содержащее синхронизатор, регистр сдвига, первый и второй счетчики, формирователь адреса и регистр адреса, выходы разрядов которого являются первой группой выходов адреса устройства, первый выход синхронизатора подключен к тактовому входу регистра адреса, вход  $i$ -го ( $i = 1, k$ , где  $k = \log_2 N$ ,  $N$  - количество элементов в компоненте  $X_i$  входного вектора  $X^T = //X_1, \dots, X_n//$ ,  $n$  - мерность векторного процесса,  $T$  - знак транспортирования) разряда которого подключен к выходу  $i$ -го разряда формирователя адреса, вход  $i$ -го разряда которого подключен к выходу  $i$ -го разряда первого счетчика, вход  $i$ -го разряда которого объединен с входом  $(i+k)$ -го разряда формирователя адреса и подключен к выходу  $i$ -го разряда регистра сдвига, тактовый вход которого подключен к второму выходу синхронизатора, третий выход которого подключен к тактовому входу формирователя адреса, и счетному входу второго счетчика, выход  $j$ -го ( $j = 1, m$ ) разряда которого (где  $m \neq \text{Ent}(\log_2 n) + 1$ )

подключен к входу  $(j+k)$ -го разряда регистра адреса, выход переполнения первого счетчика подключен к входу управления сдвигом регистра сдвига, выход последнего разряда которого подключен к входу останова синхронизатора, выход переполнения второго счетчика подключен к счетному входу первого счетчика, о т л и ч а ю щ е е с я тем, что, с целью расширения области применения за счет формирования адреса при обработке многомерных сигналов, в него введены триггер, третий и четвертый счетчики, блок элементов И, накапливающий сумматор, мультиплексор и два элемента ИЛИ, причем второй выход синхронизатора подключен к установочному входу накапливающего сумматора, первому входу первого элемента ИЛИ, установочному входу третьего счетчика и тактовому входу триггера, выход которого подключен к управляющему входу мультиплексора, информационные входы  $m$ -х  $(m = \overline{1, k-1})$  25 разрядов первой и второй групп информационных входов которого подключены к выходам соответственно  $m$ -х

разрядов соответственно накапливающего сумматора и  $(k-m)$ -х разрядов четвертого счетчика, счетный вход которого подключен к выходу второго элемента ИЛИ,  $m$ -й вход которого подключен к  $m$ -му выходу блока элементов И,  $m$ -й вход первой группы которого подключен к выходу  $(m+1)$ -го разряда регистра сдвига, выход  $S$ -го  $(S = \overline{1, k-2})$  разряда третьего счетчика подключен к  $S$ -му входу второй группы блока элементов И, выход  $m$ -го разряда регистра сдвига подключен к входу  $(k-m)$ -го разряда накапливающего сумматора, тактовый вход которого подключен к выходу переполнения второго счетчика, выход переполнения первого счетчика подключен к второму входу первого элемента ИЛИ, выход которого подключен к установочному входу четвертого счетчика, выходы разрядов мультиплексора являются второй группой выходов адреса устройства, выход переполнения второго счетчика подключен к счетному входу третьего счетчика и  $(k-1)$ -му входу второй группы блока элементов И.



Редактор Е. Папп      Составитель А. Баранов  
 Техред Л. Сердюкова      Корректор С. Шекмар

Заказ 891/52      Тираж 673      Подписное  
 ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4