

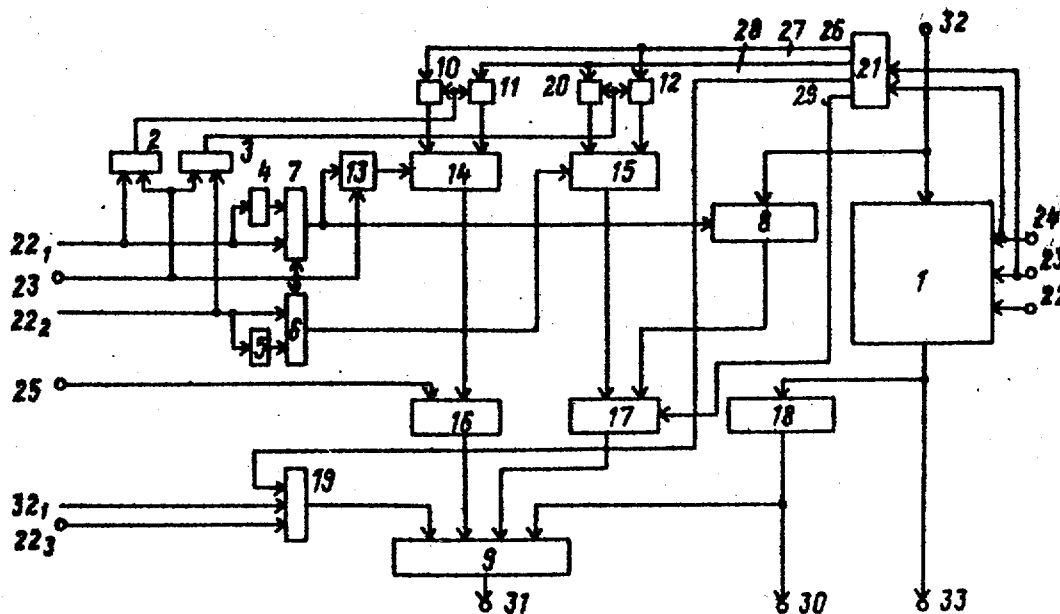


ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3972757/24-24
- (22) 04.11.85
- (46) 30.03.87. Бюл. № 12
- (71) Минский радиотехнический институт
- (72) А.А.Шостак
- (53) 681.325 (088.8)
- (56) Авторское свидетельство СССР № 1140113, кл. G 06 F 7/38, 1983.
Авторское свидетельство СССР № 1095184, кл. G 06 F 11/10, 1983.
- (54) УСТРОЙСТВО ДЛЯ СДВИГА С КОНТРОЛЕМ
- (57) Изобретение относится к вычислительной технике и предназначено для организации сдвига в высокопроизводительных системах обработки информации, контроль которых осуществ-

ляется по четности. Целью изобретения является расширение функциональных возможностей за счет выполнения арифметического и циклического сдвига с контролем. Поставленная цель достигается тем, что в устройство, содержащее блок 1 сдвига, дешифраторы 2, 3 нуля, узел 5 формирования дополнительного кода, коммутаторы 6-8, элементы ИСКЛЮЧАЮЩЕЕ ИЛИ 9-12, 20, блок 16 элементов И, блок 18 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, элемент И 19, введены узел 4 формирования обратного кода, сумматор 13, формирователи 14, 15 кода маски, блок 17 элементов И и дешифратор 21 вида сдвига с соответствующими связями. 1 з.п. ф-лы, 2 ил., 1 табл.



Фиг. 1

(19) SU (11) 1300477 A1

Изобретение относится к вычислительной технике и может быть применено в высокопроизводительных системах обработки информации, контроль которых организован по четности.

Целью изобретения является расширение функциональных возможностей за счет выполнения арифметического и циклического сдвига с контролем.

На фиг.1 приведена структурная схема устройства для сдвига с контролем; на фиг.2 - функциональная схема формирования кода маски (для случая обработки в устройстве восьми байтов информации, каждый из которых имеет свой контрольный разряд).

Устройство для сдвига с контролем (фиг.1) содержит блок 1 сдвига, первый дешифратор 2 нуля, второй дешифратор 3 нуля, узел 4 формирования обратного кода, узел 5 формирования дополнительного кода, первый коммутатор 6, второй коммутатор 7, третий коммутатор 8, элементы 9-12 ИСКЛЮЧАЮЩЕЕ ИЛИ с первого по четвертый соответственно, сумматор 13, первый формирователь 14 кода маски, второй формирователь 15 кода маски, первый блок 16 элементов И, второй блок 17 элементов И, блок 18 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, элемент И 19, пятый элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 20, дешифратор 21 вида сдвига, вход 22 кода сдвига устройства, старшие разряды 22, входа 22, младшие разряды 22, входа 22, младший разряд 22, входа 22, направления сдвига устройства, вход 24 типа сдвига устройства, вход 25 контрольных разрядов устройства, выходы 26-29 дешифратора 21, выход 30 контрольных разрядов устройства, выход 31 ошибки устройства, вход 32 данных устройства, старший разряд 32, входа 32, выход 33 результата устройства.

Формирователь 14 (15) кода маски (фиг.2) содержит мультиплексоры 34 - 39, первый и второй управляющие входы 40 и 41 формирователя, информационный вход 42 формирователя, выход 43 формирователя, мультиплексор 44.

Функциональное назначение и реализация основных узлов и блоков устройства для сдвига с контролем, для определенности предполагается, что в устройстве обрабатывается восемь байтов информации, каждый из которых имеет свой контрольный разряд четности.

Блок 1 сдвига предназначен для выполнения под действием соответствующих управляющих сигналов логического, арифметического и циклического сдвигов информации.

Первый дешифратор 2 нуля предназначен для выработки на своем выходе потенциала логической "1", когда три старших разряда кода сдвига равны нулю и на входе 23 направления сдвига устройства присутствует сигнал сдвига информации влево. Второй дешифратор 3 нуля также предназначен для выработки на своем выходе потенциала логической "1", однако когда три младших разряда кода сдвига равны нулю и в устройстве осуществляется сдвиг информации влево.

В узел 4 формируется обратный код от значения трех старших разрядов кода сдвига, а в узле 5 - дополнительный код от значения трех младших разрядов кода сдвига (предполагается, что на вход 22 кода сдвига устройства, независимо от направления сдвига всегда подается прямой код величины сдвига).

Первый коммутатор 6 пропускает на выход значение трех младших разрядов кода сдвига, если в устройстве выполняется сдвиг информации вправо. В противном случае на его выход передается дополнительный код значения трех младших разрядов кода сдвига, образованный в узле 5 формирования дополнительного кода. Второй коммутатор 7 пропускает на выход значение трех старших разрядов кода сдвига, когда в устройстве осуществляется сдвиг информации вправо. В противном же случае на его выход передается обратный код значения трех старших разрядов кода сдвига, полученный в узле 4 формирования обратного кода.

Третий коммутатор 8 осуществляет выборку с входа того байта входной информации, разряды которого могут быть частично выдвинуты в процессе сдвига информации в устройстве. Выборка этого байта производится в соответствии со следующим правилом.

Пусть самый старший байт входной информации устройства имеет первый порядковый номер, а самый младший - восьмой порядковый номер. Тогда при поступлении на управляющий вход коммутатора 8 кода "000" на его выходе выделяется восьмой (самый младший) байт входной информации, при коде

Второй формирователь 15 кода маски совместно со вторым блоком 17 элементов И осуществляют выделение трех разрядов байта, выбранного третьим коммутатором 8, которые должны быть выдвинуты в процессе сдвига информации в устройстве. Второй формирователь 15 кода маски может быть реализован точно так же, как и первый формирователь 14 кода маски.

Блок 18 включает восемь элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, на выходах которых формируются контрольные разряды (четности) для восьми байтов информации, полученной на выходе блока 1 сдвига.

Элемент И 19 предназначен для формирования сигнала, учитывающего четность вдвигаемых единиц при выполнении в устройстве арифметического сдвига вправо. Этот сигнал равен единице только в том случае, когда выполняется в устройстве арифметический сдвиг вправо на нечетное число разрядов отрицательного числа.

На элементе ИСКЛЮЧАЮЩЕЕ ИЛИ 9 выполняется суммирование по модулю два следующих четырех групп слагаемых: контрольных разрядов тех байтов входной информации, разряды которых вооб-

ще не выдвигаются в процессе сдвига информации в устройстве или же выдвигаются частично (эти контрольные разряды поступают с выхода первого блока 16 элементов И); выдвигаемых разрядов того байта входной информации, разряды которого только частично те-ряются в процессе сдвига информации в устройстве (эти разряды поступают с выхода второго блока 17 элементов И); контрольных разрядов всех байтов выходной информации устройства; поступающих с выхода блока 18; сигнала, учитывающего четность вдвигаемых единиц при арифметическом сдвиге вправо отрицательного числа (значение этого сигнала подается с выхода элемента И 19).

Фактически на элементе ИСКЛЮЧАЮЩЕЕ ИЛИ 9 осуществляется сравнение значений предсказанной и непосредственно сформированной четностей результата. Единичный сигнал на выходе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 9 служит признаком ошибки.

Дешифратор 21 вида сдвига выполняет формирование управляющих сигналов в зависимости от типа и направления сдвига и описывается табл. 2.

Т а б л и ц а 2

Входы дешифратора 21		Выходы дешифратора 21			
Тип сдвига	Направление сдвига	26	27	28	29
логический	вправо	1	0	0	1
арифметический	вправо	1	0	1	1
логический	влево	0	1	0	1
арифметический	влево	0	1	0	1
циклический	вправо	1	1	0	0

Работа устройства рассматривается в различных режимах на примере сдвига в нем восьми байтов входной информации $a_1, a_2, a_3, \dots, a_64$ на 53 двоичных разряда (на вход 22 устройства пода-

ется прямой двоичный код величины сдвига "110101").

Пусть первый байт $a_1, a_2, a_3, \dots, a_8$ входной информации является самым старшим и сопровождается контрольным

разрядом K_1 , а восьмой байт $a_{57} a_{58} a_{59}$ $a_{60} a_{61} a_{62} a_{63} a_{64}$ является самым младшим и сопровождается контрольным разрядом K_8 .

Сдвига вправо логический.

На входы 23 и 24 направления и типа сдвига устройства поступают сигналы, настраивающие блок 1 сдвига на выполнение в нем логического сдвига информации вправо. Одновременно с этим на первом и втором выходах 26 и 27 дешифратора 21 формируются код "10", а на его третьем управляющем выходе 28 - нулевой потенциал. В результате этого первый формирователь 14 кода маски управляется кодом "10", а второй формирователь 15 кода маски - кодом "01". Так как в устройстве осуществляется сдвиг информации вправо, то на информационный вход первого формирователя 14 кода маски и на управляющий вход третьего коммутатора 8 сдвига с выхода второго коммутатора 7 подается значение прямого кода трех старших разрядов кода сдвига (для рассматриваемого примера "110"), а на информационный вход второго формирователя 15 кода маски поступает значение прямого кода трех младших разрядов кода сдвига (для рассматриваемого примера "101"). Третий коммутатор 8 выбирает с выхода 32 данных устройства второй байт $a_9 a_{10} a_{11} \dots a_{16}$ входной информации, на выходе первого формирователя 14 образуется код маски "11000000", а на выходе второго формирователя 15 - код маски "00011111" (см. табл.1). По сформированным в устройстве маскирующим кодам на выходе первого блока 16 элементов И получается значение $K_1 K_2 000000$, а на выходе второго блока 17 элементов И - значение $000a_{12} a_{13} a_{14} a_{15} a_{16}$. Эти значения, суммируясь на элементе 9 по модулю два, образуют значение предсказанной четности результата $P_n = K_1 \oplus K_2 \oplus a_{12} \oplus a_{13} \oplus a_{14} \oplus a_{15} \oplus a_{16}$, которое сравнивается со значением фактической четности результата, полученного на выходе 33 устройства.

Сдвиг вправо арифметический.

В этом режиме устройство работает аналогично предыдущему. Отличие состоит только в том, что на выходе 28 дешифратора 21 формируется потенциал логической "1", а блок 1 сдвига через вход 24 типа сдвига настраивает-

ся на выполнение в нем арифметического сдвига информации. Для тех же данных в этом случае формируется следующее значение предсказанной четности $P_n = K_1 + K_2 \oplus a_{12} \oplus a_{13} \oplus a_{14} \oplus a_{15} \oplus a_{16} + \Pi$, где Π - признак, учитывающий четность вдвигаемых частиц при сдвиге отрицательного числа (значение признака Π формируется на выходе элемента И 19).

Сдвиг влево логический.

На входы 23 и 24 направления и типа сдвига устройства поступают сигналы, настраивающие блок 1 сдвига на выполнение в нем логического сдвига информации влево. Одновременно с этим на выходах 26 и 27 дешифратора 21 формируется код "01", а на его выходе 28 - нулевой потенциал. В результате этого первый формирователь 14 кода маски управляется кодом "01", а второй формирователь 15 кода маски - кодом "10". Так как в устройстве осуществляется сдвиг информации влево, то на информационный вход первого формирователя 14 кода маски с выхода сумматора 13 подается значение дополнительного кода трех старших разрядов кода сдвига (для рассматриваемого примера "010"), на информационный вход второго формирователя 15 кода маски с выхода узла 5 через первый коммутатор 6 также поступает значение дополнительного кода, однако трех младших разрядов кода сдвига (для рассматриваемого примера "011"), а на управляющий вход третьего коммутатора 8 с выхода узла 4 через второй коммутатор 7 подается значение обратного кода трех старших разрядов кода сдвига (для рассматриваемого примера "001"). Третий коммутатор 8 выбирает с входа 32 данных устройства седьмой байт $a_{49} a_{50} a_{51} \dots a_{56}$ входной информации, на выходе первого формирователя 14 образуется код маски "00000011", а на выходе второго формирователя 15 - код маски "11111000" (см. табл.1). По сформированным в устройстве маскирующим кодам на выходе первого блока 16 элементов И получается значение $000000K_7 K_8$, а на выходе второго блока 17 элементов И - значение $a_{49} a_{50} a_{51} a_{52} a_{53} 000$. Эти значения, суммируясь на элементе 9 по модулю два, образуют значение предсказанной четности результата $P_n = K_7 \oplus K_8 \oplus a_{49} \oplus a_{50} \oplus a_{51} \oplus a_{52} \oplus a_{53}$,

которое и сравнивается со значением фактической четности результата, полученного на выходе 33 устройства.

При сдвиге информации влево в случае равенства нулю трех старших или трех младших разрядов кода сдвига (или тех и других одновременно) на выходах соответствующих дешифраторов 2 и 3 нуля вырабатываются единичные сигналы, которые инвертируют значения сигналов на управляющих входах формирователей 14 и 15 кодов масок.

Сдвиг влево арифметический.

В этом режиме устройство работает точно так же, как и в предыдущем режиме, и для тех же данных формируется то же значение предсказанной четности.

Сдвиг циклический.

Предполагается, что в устройстве этот сдвиг выполняется только вправо (сдвигать влево и вправо циклически нет смысла). На входы 23 и 24 направления и типа сдвига устройства поступают сигналы, настраивающие блок 1 сдвига на выполнение в нем циклического сдвига вправо и блокирующие работу второго блока 17 элементов И. Последним фактически исключаются из работы устройства второй формирователь 15 кода маски и третий коммутатор 8. Одновременно с этим на выходах 26 и 27 дешифратора 21 формируется код "11", на выходе 28 - нулевой сигнал, в результате чего на выходе первого формирователя 14 кода маски независимо от значения кода на его информационном входе образуется код, состоящий из одних единиц "11111111" (см. табл.1). На выходе первого блока 16 элементов И получается значение $K_1 K_2 K_3 K_4 K_5 K_6 K_7 K_8$, которые, суммируясь по модулю два на элементе 9, образует значение предсказанной четности результата $P_n = K_1 \oplus K_2 \oplus K_3 \oplus K_4 \oplus K_5 \oplus K_6 \oplus K_7 \oplus K_8$. Это значение сравнивается со значением фактической четности результата, полученного на выходе 33 устройства.

Дополнительный положительный эффект от использования изобретения заключается в сокращении оборудования контроля и расширении области применения устройства за счет организации в нем независимого контроля по четности, не требующего введения дополнительных связей с блоком сдвига и

не ограничивающего варианты реализации.

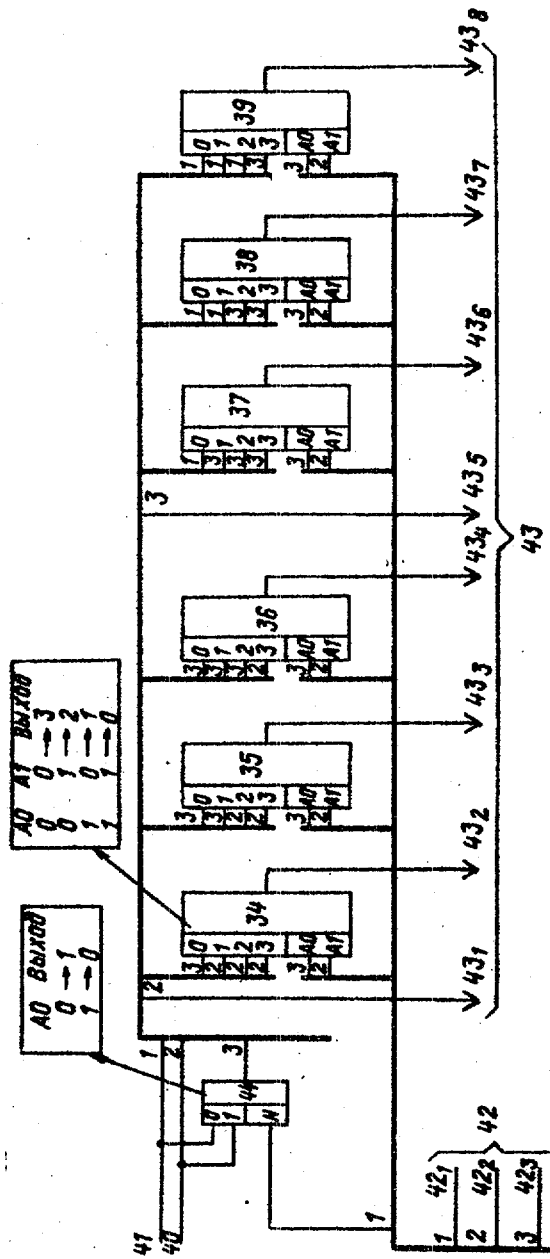
Ф о р м у л а и з о б р е т е н и я

1. Устройство для сдвига с контролем, содержащее блок сдвига, три коммутатора, узел формирования дополнительного кода, первый блок элементов И, элемент И, блок элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, пять элементов ИСКЛЮЧАЮЩЕЕ ИЛИ и два дешифратора нуля, причем вход данных устройства соединен с информационным входом блока сдвига, входы величины сдвига и направления сдвига которого соединены с входами кода сдвига и направления сдвига устройства соответственно, выход блока сдвига соединен с входом блока элементов ИСКЛЮЧАЮЩЕЕ ИЛИ и является выходом результата устройства, выход узла формирования дополнительного кода соединен с первым информационным входом первого коммутатора, управляющий вход которого соединен с входом направления сдвига устройства и с управляющим входом второго коммутатора, второй информационный вход первого коммутатора соединен с входом узла формирования дополнительного кода, выход первого блока элементов И соединен с первым входом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, отличающееся тем, что, с целью расширения функциональных возможностей за счет выполнения арифметического и циклического сдвига с контролем, оно содержит второй блок элементов И, сумматор, два формирователя кода маски, узел формирования обратного кода и дешифратор вида сдвига, причем выход узла формирования обратного кода соединен с первым информационным входом второго коммутатора, второй информационный вход которого соединен с входом узла формирования обратного кода, с информационным входом первого дешифратора нуля и со старшими разрядами входа кода сдвига устройства, младшие разряды входа кода сдвига которого соединены с входом узла формирования дополнительного кода, с информационным входом второго дешифратора нуля, вход направления сдвига устройства соединен с входами разрешения первого и второго дешифраторов нуля и с входом переноса сумма-

тора, вход слагаемого которого соединен с выходом второго коммутатора и с управляющим входом третьего коммутатора, информационный вход которого соединен с входом данных устройства, выходы сумматора и первого коммутатора соединены с информационными входами первого и второго формирователей кода маски соответственно, выходы которых соединены с первыми входами первого и второго блоков элементов И соответственно, вторые входы которых соединены с входом контрольных разрядов устройства и с выходом третьего коммутатора соответственно, выходы второго блока элементов И, блока элементов ИСКЛЮЧАЮЩЕЕ ИЛИ и элемента И соединены соответственно с вторым, третьим и четвертым входами первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, выход которого является выходом ошибки устройства, выход блока элементов ИСКЛЮЧАЮЩЕЕ ИЛИ является выходом контрольных разрядов устройства, входы типа сдвига и направления сдвига устройства соединены соответственно с входами разрядов дешифратора вида сдвига, выходы которого соединены соответственно с первыми входами второго и третьего элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, с первым входом элемента И и с третьим входом второго блока элементов И, вход типа сдвига блока сдвига соединен с входом типа сдвига устройства, второй вход элемента И соединен с младшим разрядом входа кода сдвига устройства, третий вход элемента И соединен со старшим разрядом входа данных устройства, первые входы второго и третьего элементов ИСКЛЮЧАЮЩЕЕ ИЛИ соединены соответственно с первыми входами четвертого и пятого элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, выход первого дешифратора нуля соединен с вторыми входами второго и третьего элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, выходы которых соединены с первым и вторым управляющими входами первого формирователя кода маски соответственно, выход второго дешифратора нуля соединен с вто-

рыми входами пятого и четвертого элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, выходы которых соединены с первым и вторым управляющими входами второго формирователя кода маски соответственно.

2. Устройство по п.1, отличающееся тем, что формирователь кода маски содержит семь мультиплексоров, причем второй и третий разряды информационного входа формирователя кода маски соединены соответственно с первым и вторым управляющими входами мультиплексоров с первого по шестой, первый разряд информационного входа формирователя кода маски соединен с управляющим входом седьмого мультиплексора, первый и второй информационные входы которого соединены соответственно с первым и вторым управляющими входами формирователя кода маски, первые информационные входы первого, второго и третьего мультиплексоров, вторые информационные входы второго, третьего и четвертого мультиплексоров, третьи информационные входы третьего, четвертого и пятого мультиплексоров, четвертые информационные входы четвертого, пятого и шестого мультиплексоров соединены с выходом седьмого мультиплексора, второй, третий и четвертый информационные входы первого мультиплексора, третий и четвертый информационные входы второго мультиплексора, четвертый информационный вход третьего мультиплексора соединены с первым информационным входом седьмого мультиплексора, второй информационный вход которого соединен с первым информационным входом четвертого мультиплексора, с первым и вторым информационными входами пятого мультиплексора, с первым, вторым и третьим информационными входами шестого мультиплексора, второй информационный вход седьмого мультиплексора, выходы первого, второго и третьего мультиплексоров, выходы седьмого, четвертого, пятого и шестого мультиплексоров соединены с выходом формирователя кода маски.



Фиг. 2

Редактор Л. Повхан Составитель А. Ключев Корректор Л. Патай
 Техред А. Кравчук

Заказ 1150/48 Тираж 673 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4