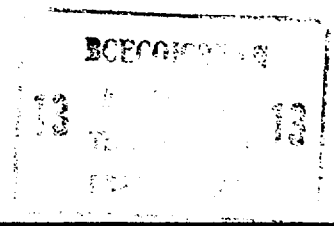




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3867615/24-24  
(22) 12.03.85

(46) 30.03.87. Бюл. № 12  
(71) Минский радиотехнический институт

(72) А.М.Суходольский, О.В.Герман,  
О.Н.Жаров и А.В.Доманьков  
(53) 681.32 (088.8)

(56) Авторское свидетельство СССР  
№ 433489, кл. G 06 F 15/46, 1974.  
Баранов С.П. Синтез микропрограммных автоматов. Л.: Энергия, 1979, с. 215.

(54) (57) УСТРОЙСТВО ПРОГРАММНОГО УПРАВЛЕНИЯ ТЕХНОЛОГИЧЕСКИМИ ПРОЦЕССАМИ, содержащее шифратор, первую группу из  $m$  триггеров (где  $m$  - размерность вектора состояний управляющего устройства), вторую группу из  $m$  триггеров, управляющую память, первая группа входов шифратора подключена по разрядно к входам переменных состояния управляемого объекта устройства, к прямым выходам триггеров второй группы и к инверсным выходам триггеров второй группы,  $i$ -й ( $i=1, \dots, m$ ) выход шифратора подключен к информационному входу  $i$ -го триггера первой группы, прямой выход  $i$ -го триггера первой группы подключен к информационному входу  $i$ -го триггера второй группы, отличающееся тем, что, с целью увеличения быстродействия, в устройство введены блок хранения подзадач, блок микропрограммного управления, блок сравнения и блок хранения управляющего кортежа сег-

ментов, первый выход блока микропрограммного управления подключен к синхровходам триггеров первой группы, второй выход блока микропрограммного управления подключен к синхровходам триггеров второй группы, прямые выходы триггеров второй группы подключены к адресному входу управляющей памяти, третий выход блока микропрограммного управления подключен к входу считывания управляющей памяти и к управляющему входу блока хранения подзадач, первый и второй выходы управляющей памяти подключены соответственно к первому и второму информационным входам блока хранения подзадач, четвертый выход блока микропрограммного управления подключен к адресному входу блока хранения подзадач, информационные входы блока хранения подзадач подключены к входам задания управляющих подзадач устройства, первый, второй, третий, четвертый выходы поля управляющего сегмента блока хранения подзадач подключены соответственно к первому, второму, третьему и четвертому входам блока сравнения, вход прямых значений переменных состояния управляемого объекта устройства подключен к пятому входу блока сравнения, выход поля нулевых переменных состояния объекта блока хранения подзадач подключен к информационному входу блока хранения управляющего кортежа сегментов, пятый выход поля управляющего сегмента блока хранения подзадач, выход признака окончания ввода подзадач блока хранения подзадач, выход блока сравнения и выход признака завершения формирования управляющих

(19) SU (11) 1300497 A 1

сегментов блока хранения управляющего кортежа сегментов соединены соответственно с первого по четвертый входами логических условий блока микропрограммного управления, пятый выход блока микропрограммного управления подключен к управляющему входу блока хранения управляющего кортежа сегментов, вход кода команды блока микропрограммного управления подключен к входу задания режима работы устройства, шестой выход блока микропрограммного управления подключен к выходу кода управляющих сегментов устройства, седьмой и восьмой выходы блока микропрограммного управления подключены к выходу начала выполнения команды признака и к выходу признака поступления запрещенной команды соответственно устройства, информационный выход блока хранения управляющего кортежа сегментов подключен к выходу управляющего кортежа устройства, вторая группа входов шифратора подключена к входам задания функции управляющего воздействия устройства, причем блок хранения подзадач содержит счетчик, триггер, элемент задержки, узел памяти кода подзадач, узел памяти единичных переменных состояния объекта, узел памяти нулевых переменных состояния объекта, регистр кода управляющего сегмента, первый и второй узлы выборки управляющего сегмента, информационный вход блока хранения подзадач подключен к информационному входу узла памяти кода подзадачи, к информационному входу узла памяти единичных переменных состояния объекта, к информационному входу узла памяти нулевых переменных состояния объекта, управляющий вход блока хранения подзадач подключен к входу элемента задержки, выход которого подключен к входам записи первого и второго узлов выборки управляющих сегментов, первый разряд адресного входа блока хранения подзадач подключен к счетному входу счетчика, второй разряд адресного входа блока хранения подзадач подключен к входам записи узла памяти кода подзадачи, узла памяти единичных переменных состояния объекта, узла памяти нулевых переменных состояния объекта, третий разряд адресного входа блока хранения подзадач подключен к вторым входам записи первого и второго узлов выборки уп-

равляющего сегмента, к входам чтения узла памяти кода подзадачи, узла памяти единичных переменных состояния объекта, узла памяти нулевых переменных состояния объекта, к входу записи регистра кода управляющего сегмента, четвертый разряд адресного входа блока памяти подзадач подключен к третьим входам записи первого и второго узлов выборки управляющего сегмента, пятый и шестой разряды адресного входа блока хранения подзадач подключены соответственно к информационному входу и входу установки в нулевое состояние триггера, выход счетчика подключен к адресным входам узла памяти кода подзадачи, узла памяти единичных переменных состояния объекта, узла памяти нулевых переменных состояния объекта, выход узла памяти кода подзадачи подключен к первому информационному входу первого узла выборки управляющего сегмента, выход узла памяти единичных переменных состояния объекта подключен к первому информационному входу второго узла выборки управляющего сегмента, выход узла памяти нулевых переменных состояния объекта подключен к информационному входу регистра кода управляющего сегмента, первый и второй информационные входы блока хранения подзадач подключены к вторым информационным входам соответственно первого и второго узлов выборки управляющего сегмента, прямой и инверсный выходы триггера подключены к адресному входу первого узла выборки управляющего сегмента и к адресному входу второго узла выборки управляющего сегмента, первый и второй выходы поля управляющего сегмента блока хранения подзадач подключены соответственно к первому и второму информационным выходам первого узла выборки управляющего сегмента, третий и четвертый выходы поля управляющего сегмента блока хранения подзадач подключены соответственно к первому и второму информационным выходам второго узла выборки управляющего сегмента, выходы разрядов, кроме младшего регистра кода управляющего сегмента, подключены к выходу поля нулевых переменных блока хранения подзадач, выход младшего разряда регистра кода управляющего сегмента подключен к пятому выходу блока хранения подзадач, выход переполнения счетчи-

ка подключен к выходу признака окончания ввода задач блока хранения подзадач, при этом каждый узел выборки управляющего сегмента содержит первый и второй регистры, мультиплексор,  $m$  элементов И, элемент ИЛИ, первый информационный вход узла выборки управляющего сегмента подключен к информационному входу первого регистра узла выборки управляющего сегмента, второй информационный вход узла выборки управляющего сегмента подключен к первому информационному входу мультиплексора узла выборки управляющего сегмента, первый вход записи узла выборки управляющего сегмента подключен к первому входу элемента ИЛИ узла выборки управляющего сегмента, второй вход записи узла выборки управляющего сегмента подключен к входу записи первого регистра узла выборки управляющего сегмента, третий вход записи узла выборки управляющего сегмента подключен ко второму входу элемента ИЛИ узла выборки управляющего сегмента, выход которого подключен к входу записи второго регистра узла выборки управляющего сегмента, адресный вход узла выборки управляющего сегмента подключен к управляющему входу мультиплексора узла выборки управляющего сегмента,  $i$ -й разряд первого информационного выхода узла выборки управляющего сегмента подключен к выходу  $i$ -го разряда первого регистра узла выборки управляющего сегмента и к инверсному входу  $i$ -го элемента И узла выборки управляющего сегмента,  $i$ -й разряд второго информационного выхода узла выборки управляющего сегмента подключен к выходу  $i$ -го разряда второго регистра узла выборки управляющего сегмента и к прямому входу  $i$ -го элемента И узла выборки управляющего сегмента, выход  $i$ -го элемента И узла выборки управляющего сегмента подключен к  $i$ -му разряду второго информационного входа мультиплексора узла выборки управляющего сегмента, выход которого подключен к информационному входу второго регистра узла выборки управляющего сегмента, при этом блок хранения управляющего кортежа сегментов содержит реверсивный счетчик, узел оперативной памяти, элемент сравнения с нулем, элемент задержки, выходной регистр, первый разряд управляющего входа блока хранения управляющего

кортежа сегментов подключен к входу задания режима сложения реверсивного счетчика, второй разряд управляющего входа блока хранения управляющего кортежа сегментов подключен к входу задания режима вычитания реверсивного счетчика, третий разряд управляющего входа блока хранения управляющего кортежа сегментов подключен к счетному входу реверсивного счетчика, четвертый разряд управляющего входа блока хранения управляющего кортежа сегментов подключен к входу записи узла оперативной памяти, пятый разряд управляющего входа блока хранения управляющего кортежа сегментов подключен к входу считывания узла оперативной памяти и через элемент задержки — к входу записи выходного регистра, выход которого является информационным выходом блока хранения управляющего кортежа, выход реверсивного счетчика соединен с адресным входом узла оперативной памяти и входом элемента сравнения с нулем, выход которого является выходом признака завершения формирования управляющих сегментов блока хранения управляющего кортежа, информационный вход блока хранения управляющего кортежа подключен к информационному входу узла оперативной памяти, выход которого соединен с информационным входом выходного регистра.

2. Устройство по п. 1. отличается тем, что блок микропрограммного управления содержит узел адресации, узел буферной памяти, узел постоянной памяти, генератор тактовых импульсов, первый и второй элементы задержки, регистр микрокоманд, дешифратор, выходной регистр, первый, второй, третий элементы И, элемент 12И-ИЛИ, элемент ИЛИ, вход кода команды блока микропрограммного управления подключен к информационному входу узла адресации и к первому информационному входу узла буферной памяти, входы с первого по четвертый логических условий блока соединены соответственно с первого по четвертый входами первой группы элемента 4И-ИЛИ, вторая группа входов которого подключена к выходам дешифратора, прямой выход элемента 4И-ИЛИ подключен к первому управляющему входу узла адресации, выход адресного поля регистра микрокоманд подключен

к второму управляющему входу узла адресации и к информационному входу поля адреса выходного регистра, выход поля операции регистра микрокоманд подключен к информационному входу дешифратора и к информационному входу информационного поля выходного регистра, выход поля типа микрокоманды регистра микрокоманд подключен к первым входам первого и второго элементов И, первый выход узла адресации подключен к адресному входу узла постоянной памяти, второй выход узла адресации подключен к второму информационному входу узла буферной памяти, третий выход узла адресации подключен к третьему информационному входу узла буферной памяти и к входу запуска генератора тактовых импульсов, первый выход генератора тактовых импульсов подключен к входу чтения узла постоянной памяти и к входу первого элемента задержки, выход узла постоянной памяти подключен к информационному входу регистра микрокоманд, выход первого элемента задержки подключен к входу считывания регистра микрокоманд, второй выход генератора тактовых импульсов подключен к вторым входам первого и второго элементов И и к первому входу третьего элемента И, выход первого элемента И подключен к входу считывания выходного регистра, выход второго элемента И подключен к стробирующему входу дешифратора и к входу второго элемента задержки, инверсный выход элемента ИЛИ-ИЛИ подключен к второму входу третьего элемента И, выход второго элемента задержки подключен к третьему входу третьего элемента И, первый вход элемента ИЛИ подключен к выходу третьего элемента И, выход элемента ИЛИ подключен к третьему управляющему входу узла адресации, выход поля адреса выходного регистра подключен к второму входу элемента ИЛИ, выход информационного поля выходного регистра подключен к входу останова генератора тактовых импульсов и к управляющему входу узла буферной памяти, выходы с первого по пятый блока микропрограммного управления подключены к выходам с первого по пятого полей операции выходного регистра, выходы с шестого по восьмой блока микропрограммного управления подключены к выходам соответственно с первого по третий узла буферной памяти, при этом

узел адресации содержит группу из  $r$  триггеров, где  $r$  - разрядность микрокоманды, первую группу из  $r$  элементов ИЛИ, вторую группу из  $r$  элементов ИЛИ, дешифратор, элемент ИЛИ, первый и второй элементы задержки, триггер, элемент НЕ, мультиплексор, счетчик, с первого по четвертый элементы И, информационный вход узла адресации подключен к информационному входу дешифратора узла адресации, причем первый разряд информационного входа узла адресации подключен к входу синхронизации дешифратора узла адресации и к входу первого элемента задержки узла адресации,  $i$ -я группа ( $i=1, \dots, r$ ) выходов дешифратора подключена соответственно к входам  $i$ -го элемента ИЛИ первой группы узла адресации,  $(r+i)$ -я группа выходов дешифратора подключена соответственно к входам  $i$ -го элемента ИЛИ второй группы узла адресации,  $(2r+1)$ -я группа выходов дешифратора подключена к входам элемента ИЛИ узла адресации, выходы  $i$ -го элемента ИЛИ первой группы и  $i$ -го элемента ИЛИ второй группы узла адресации подключены соответственно к информационному входу и входу установки в ноль  $i$ -го триггера группы, выход  $i$ -го триггера группы подключен к  $i$ -му информационному входу мультиплексора, шина единичного потенциала блока подключена к  $(r+1)$ -му информационному входу мультиплексора, первый и второй управляющие входы узла адресации подключены соответственно к первому и второму управляющим входам мультиплексора, выход первого элемента задержки узла адресации подключен к первым входам первого и второго элементов И узла адресации, выход первого элемента И узла адресации подключен к входу установки в ноль триггера, выход второго элемента И узла адресации подключен к входу элемента НЕ, к третьему управляющему входу мультиплексора, к первым входам третьего и четвертого элементов И узла адресации и к входу второго элемента задержки узла адресации, выход элемента И узла адресации подключен к четвертому управляющему входу мультиплексора, прямой выход триггера подключен к второму входу первого элемента И узла адресации, инверсный выход триггера подключен к второму входу второго элемента И узла адресации, выход второго элемента за-

держки узла адресации подключен к информационному входу триггера, выход элемента ИЛИ узла адресации подключен к вторым входам третьего и четвертого элементов И узла адресации, выход мультиплексора подключен к установочному входу счетчика и к третьим входам третьего и четвертого элементов И узла адресации, третий управляющий вход узла адресации подключен к счетному входу счетчика, выход счетчика подключен к первому выходу узла адресации, выходы третьего и четвертого элементов И узла адресации подключены соответственно к второму и третьему выходам узла адресации, при этом узел буферной памяти содержит первый и второй триггеры, первый и второй элементы задержки, регистр, первый и второй элементы И, первый и второй элементы ИЛИ, первый информационный вход узла буферной памяти подключен к первому входу первого элемента И, к первому входу второго элемента И и к входу первого элемента задержки узла буферной памяти, второй информационный вход узла буферной памяти подключен к первому входу первого элемента ИЛИ узла буферной памяти, управляющий вход первого разряда узла буферной памяти подключен к второму входу первого элемента ИЛИ узла буферной памяти, управляющий вход второго разряда узла буферной памяти подключен к второму входу второго элемента ИЛИ узла бу-

ферной памяти, управляющий вход  $\psi$ -го разряда ( $\psi=3, \dots, k+1$ , где  $k$  - разрядность переменной состояния) узла буферной памяти подключен к информационному входу  $(\psi-1)$ -го разряда регистра узла буферной памяти, выход первого элемента ИЛИ узла буферной памяти подключен к информационному входу первого разряда регистра узла буферной памяти, выход регистра узла буферной памяти подключен к первому выходу узла буферной памяти, выход первого элемента И узла буферной памяти подключен к входу установки в ноль первого триггера узла буферной памяти, прямой выход которого подключен к второму входу первого элемента И узла буферной памяти, инверсный выход первого триггера узла буферной памяти подключен к второму входу второго элемента И узла буферной памяти, выход которого подключен к входу второго элемента задержки узла буферной памяти и к входу установки в ноль второго триггера и регистра узла буферной памяти, выход второго элемента задержки узла буферной памяти подключен к информационному входу первого триггера узла буферной памяти, выход второго элемента ИЛИ узла буферной памяти подключен к информационному входу второго триггера узла буферной памяти, выход второго триггера узла буферной памяти подключен к второму выходу узла буферной памяти, выход первого элемента задержки узла буферной памяти подключен к третьему выходу узла буферной памяти.

1

Изобретение относится к вычислительной технике и автоматике и может быть использовано в звеньях систем управления объектами, например, в качестве манипулятора технологических линий.

Цель изобретения - повышение быстродействия устройства.

На фиг. 1 представлена структурная 10 схема предложенного устройства; на фиг. 2 - схема шифратора, на фиг. 3 -

2

то же, блока хранения подзадач; на фиг. 4 - узел выборки управляющего сегмента; на фиг. 5 - схема блока микропрограммного управления; на фиг. 6 - то же, узла адресации; на фиг. 7 - то же, выходного регистра блока микропрограммного управления; на фиг. 8 - то же, блока сравнения; на фиг. 9 - первая и вторая схемы сравнения, входящие в блок сравнения; на фиг. 10-13 - третья, четвертая, пятая и шестая схемы сравнения соответственно, вхо-

дящие в блок сравнения; на фиг. 14 - блок хранения управляющих сегментов.

Устройство содержит шифратор 1, управляющую память 2, содержащую два постоянных запоминающих устройства (ПЗУ)  $2_1$  и  $2_2$ , блок 3 хранения подзадач, блок 4 микропрограммного управления, блок 5 сравнения, блок 6 хранения управляющего кортежа сегментов, вход 7 задания функции управляющего воздействия устройства, первую группу D-триггеров  $8_1 - 8_m$ , вторую группу D-триггеров  $8_{m+1} - 8_{2m}$ , вход 9 прямых и инверсных переменных состояния управляемого объекта устройства, вход 10 задания режима работы устройства, вход 11 задания управляющих подзадач устройства, выход 12 кода управляющих сегментов устройства, выход 13 признака начала выполнения команды, выход 14 признака поступления запрещенной команды устройства, выход 15 управляющего кортежа устройства.

Шифратор 1 содержит группу 16 из  $p \cdot n$  ключей (по числу  $p$  элементов  $p$ -И-ИЛИ), элементы  $p$ -И-ИЛИ 17. Блок 3 хранения подзадач содержит счетчик 18, RS-триггер 19, элемент 20 задержки, узел 21 памяти кода подзадач, узел 22 памяти единичных переменных состояния объекта, узел 23 памяти нулевых переменных состояния объекта, регистр 24 кода управляющего сегмента, первый 25<sub>1</sub> и второй 25<sub>2</sub> узлы выборки управляющего сегмента. Каждый узел выборки управляющего сегмента содержит первый регистр 26, второй регистр 27, мультиплексор 28, элементы И 29<sub>1</sub> - 29<sub>q</sub>, элемент ИЛИ 30.

Блок 4 микропрограммного управления содержит генератор тактовых импульсов (ГТИ) 31, узел 32 постоянной памяти, регистр 33 микрокоманды, элемент 4 И-ИЛИ 34, выходной регистр 35, элемент ИЛИ 36, первый 37 и второй 38 элементы задержки, дешифратор 39, элементы И 40, 41 и 42, узел 43 адресации, узел 44 буферной памяти, причем узел 43 адресации содержит дешифратор 45, группу RS-триггеров 46 ( $j=1, r$ ), элементы ИЛИ 47 первой группы, элементы ИЛИ 48<sub>j</sub> второй группы, элемент ИЛИ 49, элемент 50 задержки, RS-триггер 51, элементы И 52 и 53, элемент 54 задержки, мультиплексор 55, счетчик 56, элемент НЕ 57, элементы И 58 и 59. Элементы 51-54 уз-

ла адресации выделены пунктирной линией и образуют схему 60 отсечки импульса блока 4 микропрограммного управления, при этом узел 44 буферной памяти содержит схему 61 отсечки импульсов (реализованную аналогично 60), RS-триггер 62, регистр 63, элемент 64 задержки, элемент ИЛИ 65 и 66.

Блок 5 сравнения содержит первую 67, вторую 68, третью 69, четвертую 70, пятую 71, шестую 72 схемы сравнения, первый 73 и второй 74 элементы ИЛИ, элемент И 75. Блок 6 хранения управляющего кортежа сегментов содержит реверсивный счетчик 76, узел 77 оперативной памяти, выходной регистр 78, элемент 79 задержки и элемент 80 сравнения с нулем.

Состояние управляемого объекта интерпретируется значениями координат вектора логических переменных состояния  $(p_1, p_2, \dots, p_q)$ ,  $p_i \in \{0, 1\}$ . В соответствии с принципами ситуационного управления по данному состоянию управляемого объекта  $S^t$  и управляющего устройства  $P^t$  определяется новое состояние объекта  $S^{t+\Delta}$  и соответствующее ему значение вектора переменных состояний. Поскольку математическое обеспечение системы управления включает множество подзадач (сегментов) управления, обеспечивающих установку (сброс компонент вектора состояний), то необходимо определить множество подзадач  $\Lambda^{t, t+\Delta}$ , обеспечивающих перевод объекта из состояния  $S^t$  в состояние (в общем случае не смежное)  $S^{t+\Delta}$ .

Устройство работает следующим образом.

Значения переменных состояний и их инверсий  $p_i, \bar{p}_i$  ( $i=1, q$ ), а также прямых и инверсных выходов D-триггеров  $8_{m+1} - 8_{2m}$  ( $\rho, \bar{\rho}$ ) подаются на вход блока 1.

Внутреннее состояние  $P^t$  устройства определяется состоянием триггеров  $8_{m+1} - 8_{2m}$ . Переход устройства в состояние  $P^{t+1}$  осуществляется за два такта  $C_1, C_2$ , при этом в такте  $C_1$  подается из блока 4 микропрограммного управления на С-входы первой группы D-триггеров сигнал установки значений D-триггеров первой группы. В такте  $C_2$  подается сигнал на С-входы второй группы D-триггеров  $8_{m+1} - 8_{2m}$ . В результате новое состояние устройства определяется как вектор-функ-

ция  $\rho^{t+1} = F[\rho^t, P^t]$ , где  $P^t$  - вектор логических переменных состояния управляемого объекта системы в момент  $t$ .

Установочные значения D-входов первой группы D-триггеров  $8_{11} - 8_{2m}$  являются компонентами  $F_i$  ( $i=1, m$ ) вектор-функции  $F$ . Причем каждая компонента  $F_i$  реализуется соответствующей схемой  $1_i$ . Конкретная реализация схемы  $1_i$  вычисления нулевой функции  $F_i$  предполагает задание последней как аддитивного полинома вида  $\bigvee_{j=1}^{\omega_i} X_j^i$ , где  $X_j^i$  -  $j$ -я конъюнкция вида  $x_{j_1} \cdot x_{j_2} \cdot \dots \cdot x_{j_k}$  и  $x_{j_k}$  соответствует либо некоторой прямой - инверсной переменной состояния, либо некоторому прямому - инверсному выводу D-триггера второй группы  $8_{m+1} - 8_{2m}$  ( $k=1, \xi$ ). Вид функции  $F_i$  формируется с помощью группы 16 ключей шифратора 1.

Код состояния устройства  $\rho^t$  определяет адресные входы управляющей памяти 2. В результате при подаче сигнала "Чтение" на управляющие входы памяти 2 на информационных выходах появляется информация о новом состоянии  $S^{t+\Delta}$  управляемого объекта, которая запоминается в блоке 3. Под управлением блока 4 микропрограммного управления и с помощью блока 5 сравнения в блоке 3 выполняется выборка кодов - адресов подзадач управления, обеспечивающих переход  $S^t \rightarrow S^{t+\Delta}$  и их последовательная пересылка с выходов блока 3 в блок хранения управляющего кортежа сегментов, по завершении формирования управляющего кортежа сегментов коды - адреса подзадач (сегментов) выдаются на выход 15 устройства.

Информация об управляющих подзадачах  $\alpha_i$  определяется содержимым узлов 21, 22 и 23 блока 3 и заносится через вход 11 в соответствующий узел 21, 22 и 23 памяти под управлением блока 4 микропрограммного управления и счетчика 18 адреса блока 3.

Информация о подзадачах включает: код - адрес подзадачи (запоминается узлом 23), целевую функцию подзадачи  $G_i = \langle G_i^+, G_i^- \rangle$ , где  $G_i^+$  - совокупность переменных состояния управляемого объекта, которые в результате выполнения подзадачи  $\alpha_i$  устанавливаются в единичное значение,  $G_i^-$  - то же, которые в результате выполнения под-

задачи  $\alpha_i$  устанавливаются в нулевое значение.

Подмножество  $G_i^+$  ( $G_i^-$ ) определяется значениями  $i$ -й ячейки узла 21 (соответственно узла 22), причем наличие единицы в разряде  $K$  указывает, что переменная состояния  $p_k \in G_i^+$  (аналогично для узла 22  $p_k \in G_i^-$ ).

Соответственно требуемое состояние системы  $S^{t+\Delta}$  определяется двумя подмножествами  $P_+^{t+\Delta}$  и  $P_-^{t+\Delta}$ , причем подмножество  $P_+^{t+\Delta}$  определяет те переменные состояния, которые должны быть установлены в единичное значение, а  $P_-^{t+\Delta}$  - соответственно в нулевое.

Таким образом, устройство обеспечивает отображение по схеме  $S^t \rightarrow \rho^{t+1} \rightarrow S^{t+1}$ , где левая стрелка есть зависимость  $\rho^{t+1} = F[\rho^t, P^t]$ .

При подаче сигнала "Чтение" с выхода 3 блока 4 микропрограммного управления на первых выходах ПЗУ 2<sub>1</sub>, 2<sub>2</sub> появляется содержимое ячеек, кодирующих  $P_+^{t+\Delta}$ ,  $P_-^{t+\Delta}$ , причем как и ранее, наличие "1" в разряде  $K$  указывает, что переменная состояния  $p_k$  должна быть установлена в "1", если  $p_k \in P_+^{t+\Delta}$ , и в "0", если  $p_k \in P_-^{t+\Delta}$ .

Ввиду симметрии схемы достаточно проследить за информацией, считываемой из ПЗУ 2<sub>1</sub>, которая далее поступает на входы блока 3 и через мультиплексор 28 узла 25, выборки управляющего сегмента заносится в регистр 27 по сигналу "Запись", задержанному на элементе 20 задержки и элементе ИЛИ 30. Состояние адресных входов мультиплексора 28 определяется RS-триггером 19, с выходов которого информация поступает на входы узла 25, выборки управляющего сегмента. В регистр 26 узла 25, выборки управляющего сегмента записывается содержимое ячейки узла 21, определяющей совокупность  $G_i^+$  просматриваемого сегмента  $\alpha_i$ . Чтение - запись информации осуществляется под управлением блока 4 микропрограммного управления.

Формирование требуемого управляющего кортежа сегментов  $A^{t, t+\Delta}$  обеспечивается следующим алгоритмом.

п.0. Индекс  $Z=1$ .

п.1. Если в текущем векторе переменных состояния  $P^t$  установлены в "1" все переменные из  $P_+^{t+\Delta}$  и в "0" - из  $P_-^{t+\Delta}$ , то п.4, иначе список управляющих подзадач (сегментов) просматривается с целью отыскания первого сег-

мента, удовлетворяющего следующей системе условий:

а). либо  $G_1^+ \cap P_+^{t+\Delta} \neq \emptyset$ , либо  $G_1^- \cap P_-^{t+\Delta} \neq \emptyset$ , либо и то и другое одновременно, но при этом требуем, чтобы хотя бы одна переменная состояния, принадлежащая любому из указанных выше пересечений ( $\cap$ ), не была установленной:

б). одновременно  $G_1^+ \cap P_+^{t+\Delta} = \emptyset$  и  $G_1^- \cap P_-^{t+\Delta} = \emptyset$ . Если такого сегмента нет, то п.4, иначе п.2.

п.2. Найденный сегмент  $d_i$  ставится на место  $Z$  с конца искомого кортежа:  $Z=Z+1$ .

$$\begin{cases} P_+^{t+\Delta} = P_+^{t+\Delta} \setminus G_1^+ \\ P_-^{t+\Delta} = P_-^{t+\Delta} \setminus G_1^- \end{cases}$$

где  $\setminus, \cap, \cup$  - операции вычитания, пересечения, объединения множеств.

$$S^t \rightarrow P^t: \langle \begin{array}{ccccc} P_1 & P_2 & P_3 & P_4 & P_5 \\ 0 & 0 & 0 & 1 & 0 \end{array} \rangle \parallel P_+^{t+\Delta} = \{P_1, P_2, P_3\}$$

$$S^{t+\Delta} \rightarrow P^{t+\Delta}: \langle \begin{array}{ccccc} P_1 & P_2 & P_3 & P_4 & P_5 \\ 1 & 1 & 1 & 0 & 0 \end{array} \rangle \parallel P_-^{t+\Delta} = \{P_4, P_5\}$$

Заданы сегменты:

$$\alpha_1: G_1^+ = \{P_1, P_2, P_4\}, G_1^- = \emptyset;$$

$$\alpha_2: G_2^+ = \{P_3\}, G_2^- = \{P_4\};$$

$$\alpha_3: G_3^+ = \{P_4, P_5\}, G_3^- = \{P_3\};$$

$$\alpha_4: G_4^+ = \{P_2\}, G_4^- = \{P_4, P_5\};$$

1.  $Z=1$ . Выбираем сегмент  $\alpha_2$ .

$$P_+^{t+\Delta} = \{P_1, P_2\}, P_-^{t+\Delta} = \{P_5\}.$$

2.  $Z=2$ . Выбираем сегмент  $\alpha_1$ .

$$P_+^{t+\Delta} = \emptyset, P_-^{t+\Delta} = \{P_5\}.$$

3.  $Z=3$ . Ни один сегмент не может быть выбран, так как хотя, например,  $\alpha_1$  и обеспечивает сброс  $P_5$ , но в векторе  $P_{P_5}^t = 0$  (п.1 алгоритма).

В соответствии с п.4 алгоритма имеем, что результирующий кортеж равен  $\langle \alpha_1, \alpha_2 \rangle$ , причем порядок реализации сегментов слева направо обеспечивает переход  $S^t \rightarrow S^{t+\Delta}$ .

Если выбираемый сегмент  $\alpha_i$  удовлетворяет п.1 алгоритма (что определяется в блоке 5 сравнения), то новое состояние подмножества  $P_+^{t+\Delta}$  (аналогично  $P_-^{t+\Delta}$ ) - п.2 алгоритма - определяется выходами соответствующих элементов И  $29_1, 29_2, \dots, 29_q$ . Если в разряде  $K$  регистра 26 стоит "1" (т.е. необходимо в "1" установить переменную состояния  $P_K$ ) и соответствующий разряд  $K$  регистра 27 тоже равен "1",

п.3. Если после п.2  $P_+^{t+\Delta} \cup P_-^{t+\Delta} = \emptyset$ ,

то конец и кортеж найден, иначе п.1.

п.4. Из  $P_+^{t+\Delta}$  исключим те переменные состояния, которые установлены в "1" в текущем векторе  $P^t$ , а из  $P_-^{t+\Delta}$  исключим те переменные состояния, которые в текущем векторе  $P^t$  установлены в "0".

Если после этого  $P_+^{t+\Delta} \cup P_-^{t+\Delta} = \emptyset$ , то конец и кортеж найден, а если он пуст ( $Z=1$ ), то состояние  $S^{t+\Delta}$  включено в текущее состояние  $S^t$  ( $S^t \supseteq S^{t+\Delta}$ ). Иначе невозможно осуществить переход  $S^t \rightarrow S^{t+\Delta}$  на имеющемся наборе сегментов, конец.

Для иллюстрации алгоритма рассмотрим простейший пример.

Имеем:

то в результате выполнения п.2 алгоритма в этот разряд необходимо записать "0". При этом блок 5 сравнения определяет условия выдачи сигнала "Записи" в регистр 27 и считывания информации из узла 21 (22) о новых сегментах. Код - адрес выбранного сегмента с регистра 24 передается с выходов блока 3 на входы блока 6 хранения управляющего кортежа сегментов для записи в узел 77 оперативной памяти по адресу, определенному счетчиком 76 (в исходном состоянии счетчик 76 сброшен).

При чтении сформированного кортежа из реверсивного счетчика 76 вычитается "1". При этом содержимое соответствующей ячейки узла 77 считывается в регистр 78 (сигнал записи в регистр 78 задерживается на задержке 79). Признаком пустого списка (кортежа) сегментов является обнуление счетчика 76 (появляется сигнал на выходе схемы 80 сравнения на равенство нулю). Чтение в обратном направлении соответствует логике формирования управляющего кортежа сегментов.

Блок 5 сравнения обеспечивает реализацию пп. 1, 3, 4 алгоритма по части выработки признаков условий. Груп-



на схем А сравнения проверяет условие  $G_2^+ \cap P_+^{t+\Delta} = \emptyset$  (схема 67) и  $G_1^- \cap P_-^{t+\Delta} = \emptyset$  (схема 68), элемент ИЛИ 73 определяет общее условие, группа схем поразрядного сравнения В проверяет условие  $G_1^+ \cap P_+^{t+\Delta} \neq \emptyset$  (схема 69) и  $G_1^- \cap P_-^{t+\Delta} \neq \emptyset$  (схема 70) с выработкой общего признака элементом ИЛИ 74 и с учетом дополнительного требования а в п.1 алгоритма.

Наконец, группа схем поразрядного сравнения С вырабатывает признаки завершения алгоритма, т.е. либо когда  $P_+^{t+\Delta} \cup P_-^{t+\Delta} = \emptyset$  (п. 3 алгоритма), либо когда единичные разряды соответствующих  $P_+^{t+\Delta}$  и  $P_-^{t+\Delta}$  регистрам (регистры 27 узлов 25<sub>1</sub>, 25<sub>2</sub> выборки управляющего сегмента) соответствуют установленным в "1" (если рассматривать  $P_+^{t+\Delta}$ ) и в "0" (если рассматривать  $P_-^{t+\Delta}$ ) переменным состояниям из  $P^t$ . Появление логических "1" на выходе схем 71, 72 сравнения, возможно лишь в случае, когда соответственно пусто  $P_+^{t+\Delta}$  ( $P_-^{t+\Delta}$ ), либо соответствующие переменные состояния уже установлены в "0" (в "1") в текущем векторе  $P^t$ .

В ПЗУ 32 размещены микропрограммы, реализующие команды, коды которых поступают на входы блока 4 микропрограммного управления.

По коду команды в узле 43 адресации устанавливается начальный адрес микропрограммы, после чего сигналом на втором выходе узла адресации запускается ГТИ 31, выдающий две последовательности импульсов, сдвинутых один относительно другого. Каждый нечетный импульс является сигналом "Чтение" для ПЗУ 32 и "Запись" (через задержку 37) в регистр 33 микрокоманды. Используется горизонтальное кодирование микрокоманды. При этом разряд S определяет тип микрокоманды: S=1 - операционный тип, S=0 - логический.

Если микрокоманда операционного типа, то по каждому четному сигналу ("Опрос") реализуется фаза исполнения микрокоманды, т.е. появляются сигналы микроопераций на выходах регистра 35, соответствующие разряды которых в регистре 33 содержат "1".

Кроме того, по соответствующему сигналу, поступающему на вход элемента ИЛИ 36 и далее на второй вход узла 43 адресации, обеспечивается

приращение счетчика адреса (рассматривается далее) для выборки очередной микрокоманды.

Если тип микрокоманды логический, то сигнал с выхода элемента И 41 включает дешифратор 39, на вход которого поступает код номера проверяемого логического условия из соответствующей группы разрядов регистра 33, соответственно возбуждается тот вход элемента 34, который соответствует опрашиваемому условию (логические условия поступают на первые входы блока 4 микропрограммного управления). Если условие "истинно", то высокий уровень на выходе схемы 34 обеспечивает занесение адреса перехода (соответствующей группы разрядов регистра 33) в счетчик адреса узла 43 адресации (поясняется при анализе работы узла адресации), иначе высокий уровень на инверсном выходе схемы 34 обеспечивает (как и в случае операционного типа микрокоманды) увеличение адреса на "1". Здесь же укажем, что элемент 38 задержки должен выбираться из расчета покрытия задержек, вносимых дешифратором 39 и схемой 34, при этом вход элемента 40, соединенный с выходом ГТИ 31, гарантирует от ложного срабатывания элемента И 40.

Рассмотрим работу узла 43 адресации. На третьи входы узла 43 адресации выдается код команды, который дешифрируется дешифратором 45. При этом дополнительный разряд обеспечивает управление дешифратором 45 и далее через задержку 50 поступает на схему 60 отсечки импульса. Элементы 46<sub>i</sub>, 47<sub>i</sub>, 48<sub>i</sub> ( $i=1, r$ ) обеспечивают установку адреса микропрограммы, соответствующей принятой команде, именно, выходы элементов ИЛИ 47<sub>i</sub> заводятся на соответствующие S-входы RS-триггеров 46<sub>i</sub>, а выходы элементов ИЛИ 48<sub>i</sub> - на R-входы.

Для того, чтобы обеспечить установку требуемого адреса, соответствующий выход дешифратора 45 (возбуждаемый при подаче конкретной команды) нужным образом разводится на элементы ИЛИ 47<sub>i</sub>, 48<sub>i</sub>, причем из любых двух смежных элементов ИЛИ 47<sub>k</sub> и 48<sub>k</sub> выбирается только один (комбинация R=1, S=1 значений входов RS-триггера недопустима).

Инвертор  $46_{k+1}$  обеспечивает "1" в дополнительном разряде, управляющим записью в счетчик 56. Прямые выходы RS-триггеров 46 заводятся на первые входы мультиплексора 55, вторыми входами которого являются первые входы узла 43, третьи входы мультиплексора 55 управляют направлением коммутации (при отсутствии команды на третьих входах узла 43 обеспечивается коммутация информации на вторых входах мультиплексора 55), причем записью в счетчик 56 в этом случае управляет дополнительный разряд  $(r+1)$ . Элемент ИЛИ 49 обеспечивает локализацию неверных кодов команд.

Схема 60 отсечки импульса функционирует следующим образом.

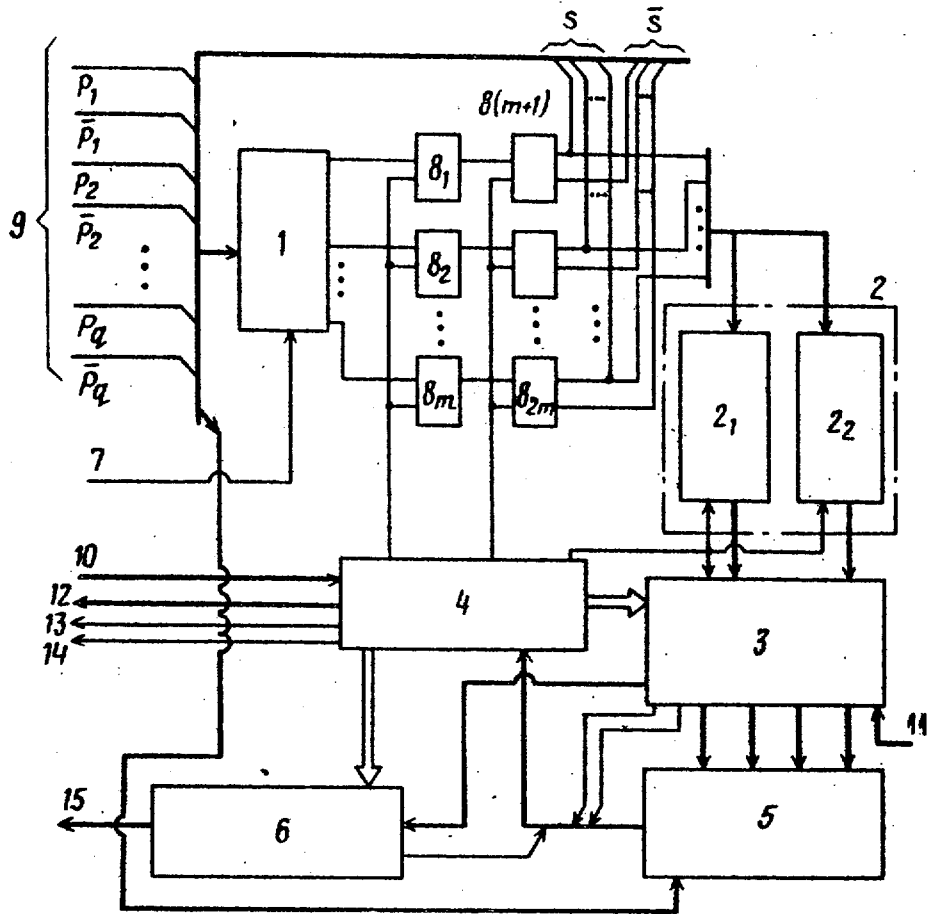
При отсутствии потенциала на входе схемы 60 (низкий уровень) - выход элемента 50 задержки - триггер 51 сброшен (высокий потенциал на выходе Q, переходный процесс при включении не рассматриваем, так как всегда обеспечивается указанное исходное состояние триггера 51).

При появлении потенциала на выходе элемента 50 задержки появляется сигнал на выходе элемента И 53, в результате изменяется код на третьих входах мультиплексора 55 и обеспечивается запись адреса микропрограммы (задержка 50 обеспечивает своевременное формирование адреса на первых входах мультиплексора 55 и дополнительно синхронизирует схему 44, задержка 54 обеспечивает требуемую длину импульса на выходе схемы И 53).

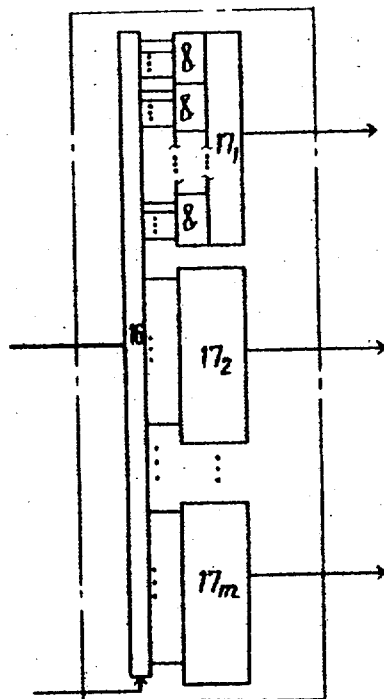
Если код принятой команды верен, то сигнал с выхода элемента И 58 запускает ГТИ 31, в противном случае высокий потенциал устанавливается на выходе элемента И 59.

Узел 44 буферной памяти содержит регистр 63, выходы которого определяют информацию об устройстве. RS-триггер 62 является сигнальным, причем при подаче кода команды на третьи входы узла 43 сигнал управления с первого выхода его поступает на соответствующий вход узла 44 буферной памяти и далее - на элемент 64 задержки и схему 61 отсечки импульса. Сигнал с выхода схемы 61 отсечки сбрасывает RS-триггер 62. Если команда принимается, то сигналом на входе линейки RS-триггеров 44 обеспечивается установка сигнального RS-триггера 62 в "единичное" состояние. В этот момент появляется высокий уровень на выходе элемента 64 задержки, прямой выход триггера 62 (высокий уровень на прямом выходе триггера 62) в момент появления сигнала на выходе элемента 64 задержки определяет, что устройство приняло команду и начало ее реализацию. В противном случае (если триггер 62 сброшен) устройство указывает, что команда не принята. При этом состояние разрядов регистра 63 может определить причину ошибки, в частности, в случае неверного кода команды, сигнал на выходе узла 43 установит первый разряд 63, узла 44 буферной памяти.

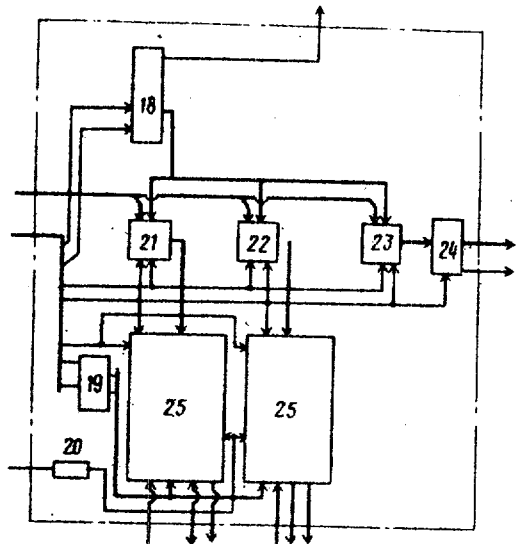
Необходимыми командами устройства являются: "Установка", "Сформировать управляющий кортеж сегментов", "Выдать код - адрес подзадачи", "Записать в память информацию о подзадаче". Ответные сообщения со стороны устройства непосредственно связываются с указанными командами и формируются в узле 44 блока микропрограммного управления.



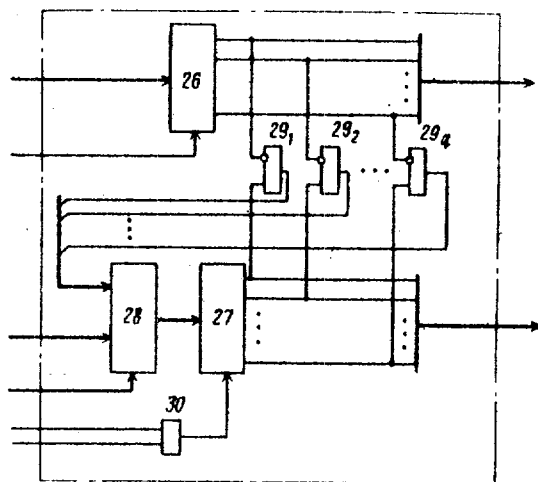
Фиг. 1



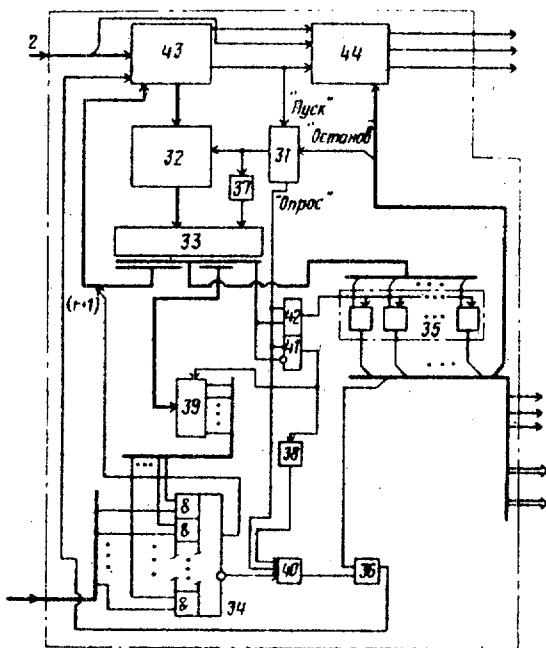
Фиг. 2



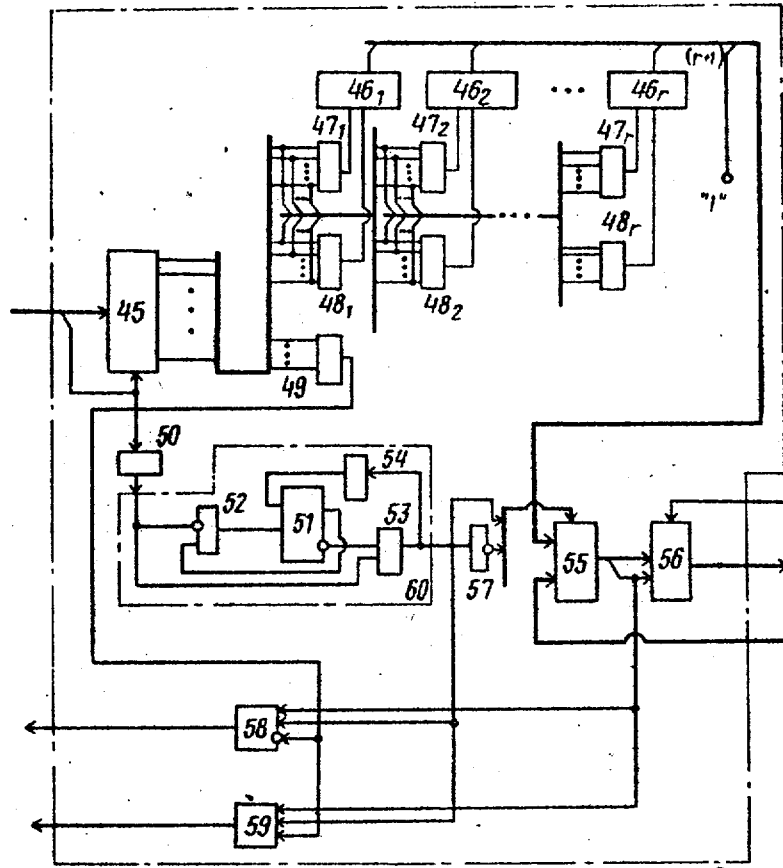
Фиг.3



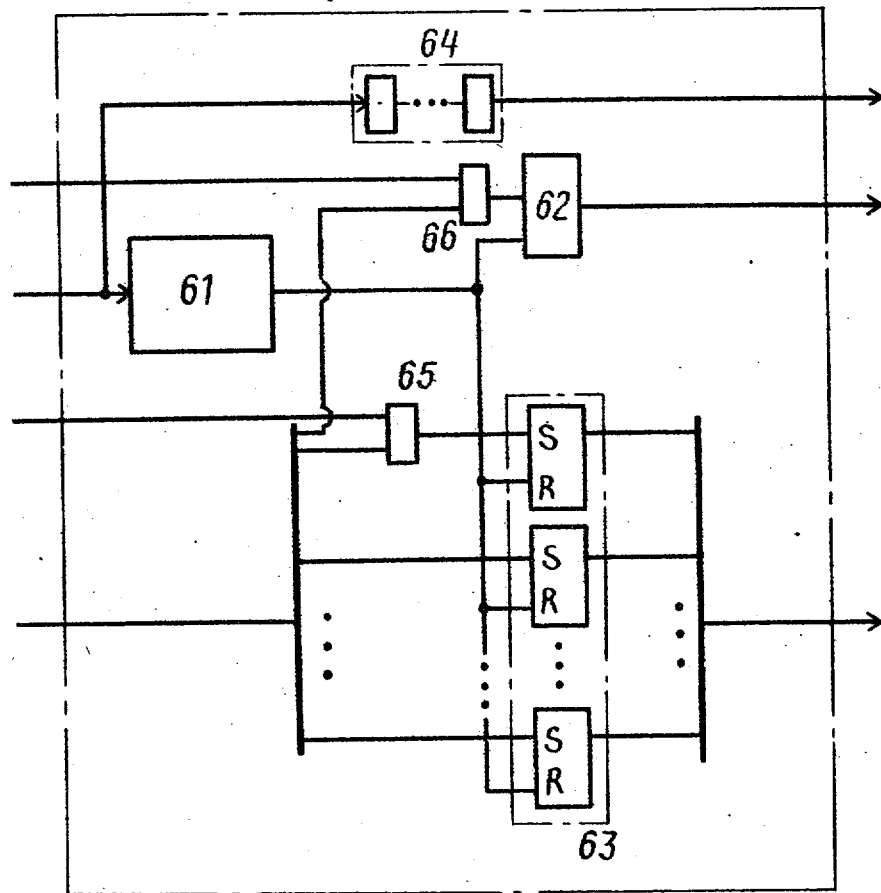
Фиг.4



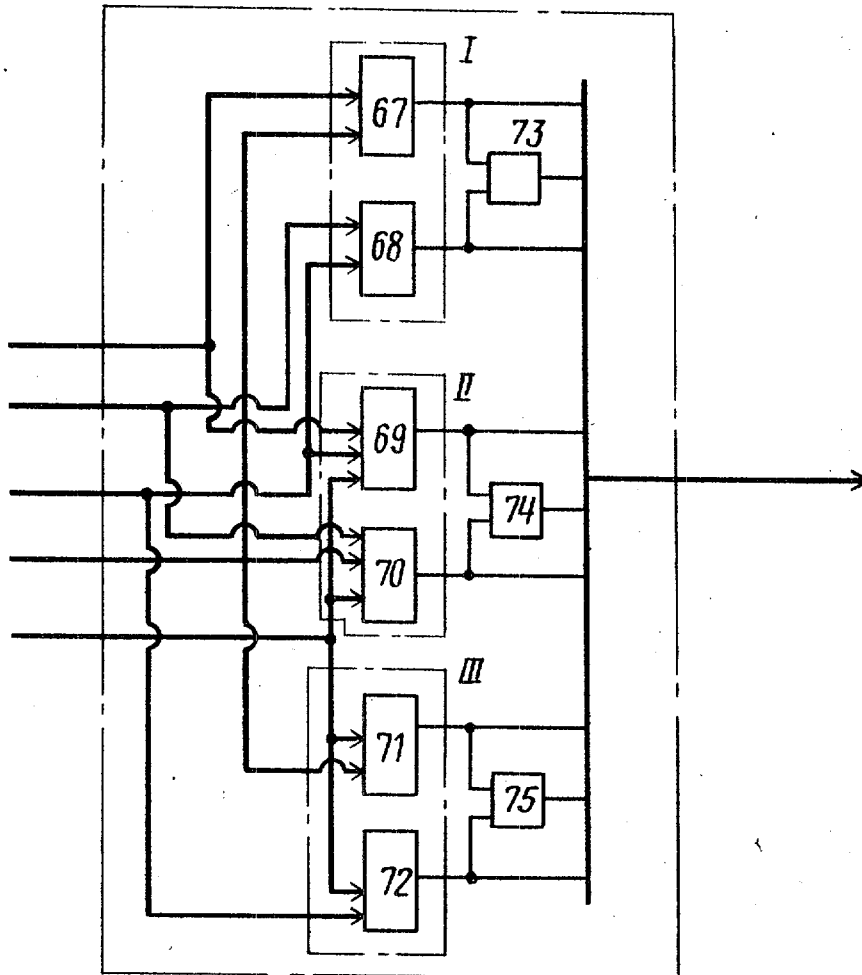
Фиг.5



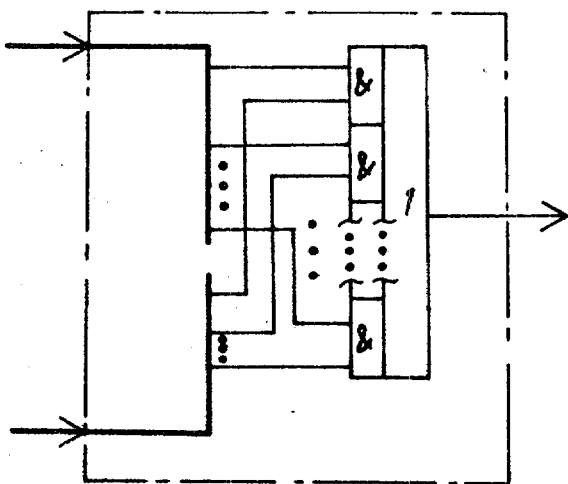
Фиг. 6



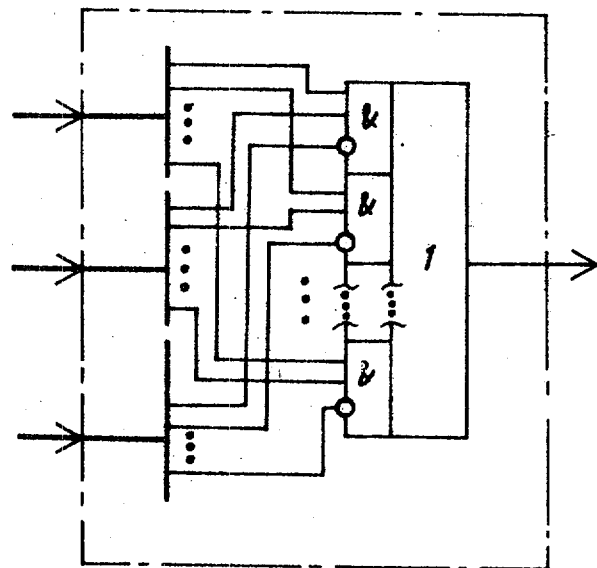
Фиг. 7



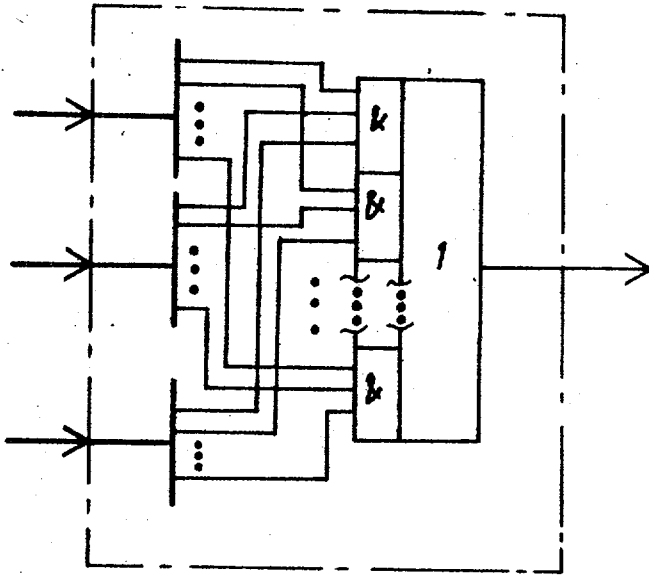
Фиг. 8



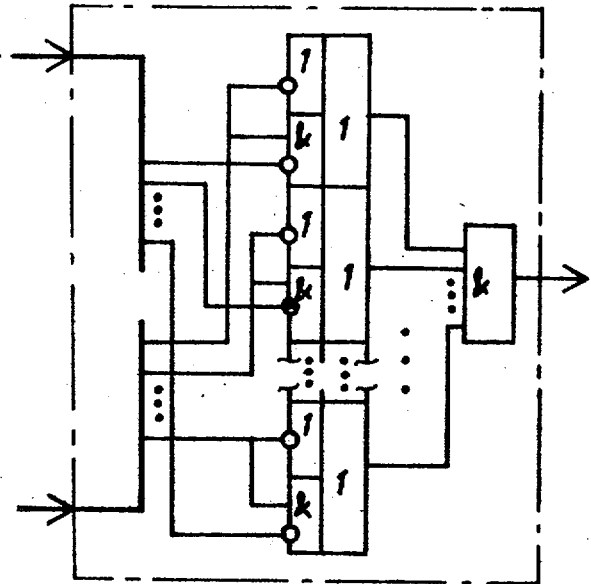
Фиг. 9



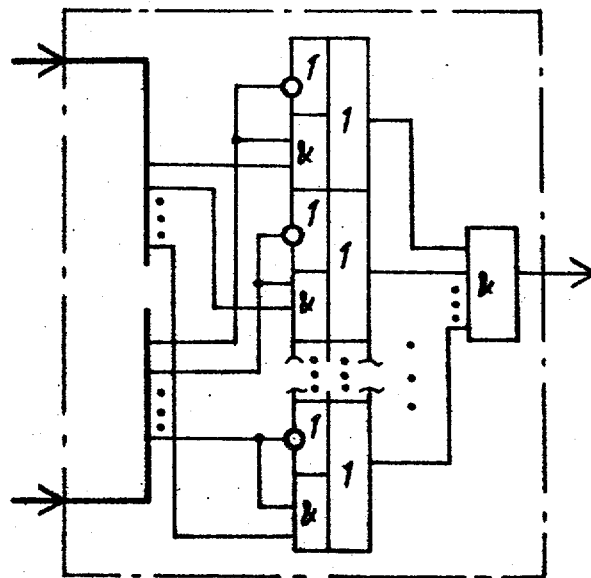
Фиг. 10



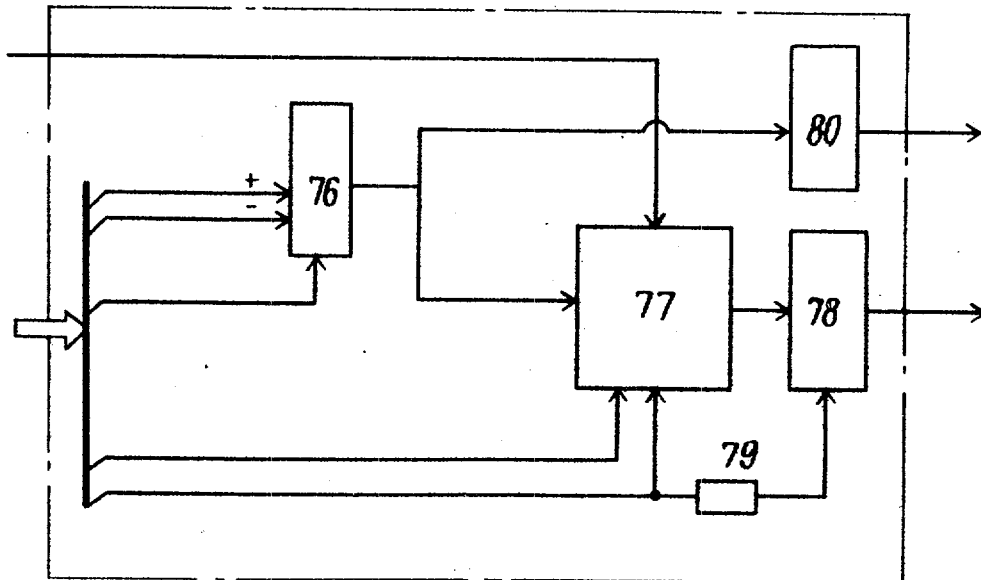
Фиг. 11



Фиг. 12



Фиг. 13



Фиг. 14

Составитель В.Смирнов  
 Редактор М.Келемеш    Техред М.Ходанич    Корректор М.Демчик

Заказ 1151/49    Тираж 673    Подписное  
 ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4