



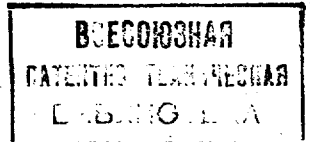
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1441346** **A2**

(5D) 4 G 05 B 5/01

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (61) 767700
(21) 4263036/24-24
(22) 19.06.87
(46) 30.11.88. Бюл. № 44
(71) Минский радиотехнический институт
(72) В.А.Барабаш, А.Д.Горбачев,
В.А.Погребенко, Д.В.Кестнер
и О.А.Сосновский
(53) 62-50 (088.8)
(56) Авторское свидетельство СССР
№ 767700, кл. G 05 B 5/01, 1978.

(54) НЕЛИНЕЙНОЕ УСТРОЙСТВО ФАЗОВОЙ КОРРЕКЦИИ

(57) Изобретение относится к области технических средств коррекции систем автоматического управления и регулирования, в которых может быть использовано для компенсации инерционных свойств блоков неизменяемой части системы путем создания фазопережающих свойств сигнала управления, может быть также использовано в систе-

мах с нефилтующими свойствами и является усовершенствованием известного устройства по авт. св. № 767700. Целью изобретения является расширение диапазона сигналов, корректируемых устройством. Поставленная цель достигается за счет того, что в устройстве анализируется вид входного сигнала и определяется его признак. Если сигнал аналоговой, он преобразуется в ступенчатый сигнал, сравнивается с исходным сигналом, и полученная разность суммируется с исходным сигналом. Если сигнал ступенчатый, то он дважды преобразуется в ступенчатый сигнал под действием двух тактовых последовательностей, сдвинутых на такт одна относительно другой, новые ступенчатые сигналы сравниваются с исходным, полученные разности суммируются, интегрируются на протяжении каждого такта, а результаты интегрирования суммируются с исходным сигналом. 7 ил.

(19) **SU** (11) **1441346** **A2**

Изобретение относится к техническим средствам коррекции систем автоматического управления и регулирования, в которых может быть использовано для компенсации инерционных свойств блоков неизменяемой части системы путем создания фазопередающих свойств сигнала управления, а также может быть использовано в системах с нефилтующими свойствами.

Целью изобретения является расширение диапазона сигналов, корректируемых устройством.

На фиг.1 представлена блок-схема описываемого устройства; на фиг.2 - временные диаграммы работы устройства при дискретном входном сигнале; на фиг.3 - временные диаграммы работы устройства при непрерывном входном сигнале; на фиг.4 - принципиальная электрическая схема распределителя импульсов; на фиг.5 - временные диаграммы его работы; на фиг.6 - принципиальная схема управляемого интеграла; на фиг.7 - принципиальная электрическая схема блока ступенчатого преобразования сигнала.

Нелинейное устройство фазовой коррекции содержит первый блок 1 ступенчатого преобразования сигнала, первый блок 2 сравнения, первый сумматор 3, распределитель 4 импульсов, второй блок 5 ступенчатого преобразования сигнала, второй блок 6 сравнения, второй сумматор 7, управляемый интегратор 8, тактовый вход 9 и вход 10 "Признак входного устройства", первый 11 и второй 12 выходы распределителя 4 импульсов, делитель 13 частоты импульсов на два, элемент НЕ 14, элементы И 15 - 19, элементы ИЛИ 20, 21, элемент НЕ 22, элемент ИЛИ 23, резисторы 24 - 29, ключи 30, 31, конденсатор 32, операционные усилители 33 - 35, общую шину 36, ключ 37, конденсатор 38, резистор 39, операционный усилитель 40. Кроме того, на чертежах обозначены: $U_{вх}$ - входной сигнал устройства; U_i - выходной сигнал i -го блока; U_{11} , U_{12} - сигналы на первом и втором входах распределителя импульсов; U_{10} - сигнал признаков типа входного сигнала $U_{вх}$, который принимает значение логического "нуля", если входной сигнал $U_{вх}$ - непрерывный, и значение логической "единицы", если входной сигнал $U_{вх}$ - дискретный.

Распределитель 4 импульсов (фиг.4) служит для формирования импульсных последовательностей U_{11} и U_{12} , обеспечивающих правильное функционирование блоков 1 и 5 ступенчатого преобразования сигнала. На его вход поступают импульсы U_9 тактовой частоты (фиг.5). Если сигнал признака U_{10} представляет собой логическую "единицу" (входной сигнал дискретный), то импульсы тактовой частоты делятся на два делителем 13 и через элементы И 15, 17 и элемент ИЛИ 20 поступают на выход 11 в виде сигнала U_{11} . Элемент И 19 закрыт сигналом признака U_{10} через элемент НЕ 14. В этом же режиме импульсы тактовой частоты, деленные на два делителем 13, через элементы И 16, 18 и элемент ИЛИ 21 поступают на выход 12 распределителя 4 импульсов. В результате на обоих выходах распределителя 4 будут сформированы две последовательности импульсов с частотой, деленной на два по отношению к тактовой частоте, причем на выходе 12 импульсы U_{12} смещены на такт по отношению к импульсам U_{11} на выходе 11 (фиг.5).

Когда сигнал признака U_{10} становится логическим "нулем" (аналоговый входной сигнал), то закрываются элементы И 17, 18, а на выходе 11 появляются импульсы U_{11} тактовой частоты. Выходной сигнал элемента НЕ 14 обеспечивает через элемент ИЛИ 21 появление единичного импульса U_{12} на выходе 12 распределителя 4 импульсов (фиг.5).

Интегратор 8 (фиг.6) служит для формирования фазопережающих добавок в режиме работы, когда входной сигнал $U_{вх}$ - дискретный. В режиме работы, когда входной сигнал $U_{вх}$ - аналоговый, интегратор 8 представляет собой усилитель с коэффициентом усиления, равным единице. Если признак сигнала U_{10} - единичный (дискретный входной сигнал), то через элемент НЕ 22 ключ 31 разомкнут, а через элемент ИЛИ 23 на ключ 30 поступают импульсы тактовой частоты U_9 . Каждый импульс тактовой частоты замыкает ключ 30 и тем самым сбрасывает в нуль интегратор 8, собранный на операционном усилителе 33, резисторе 24, конденсаторе 32. В период между тактовыми импульсами U_9 интегратор 8 осуществляет интегрирование напряже-

ния U_7 . Через суммирующий усилитель, собранный на операционном усилителе 35, резисторах 27 - 29, на выходе интегратора 8 формируется выходной сигнал U_8 , представляющий собой на каждом малом промежутке времени линейно нарастающее напряжение. Скорость изменения этого напряжения определяется амплитудным значением сигнала U_7 . Амплитудное значение линейно изменяющегося напряжения U_8 задается соотношением резисторов 29, 27. Второй вход суммирующего усилителя, определяемый резистором 28, отключен ключом 31.

Если признак сигнала U_{10} имеет нулевой логический уровень (аналоговый входной сигнал), то через элементы НЕ 22, ИЛИ 23 замыкается ключ 30. Интегратор 8 блокируется, что эквивалентно заземлению входа через резистор 27 суммирующего усилителя, собранного на операционном усилителе 35 и резисторах 27 - 29. Замкнутый ключ 31 через инвертор с единичным коэффициентом усиления, собранный на операционном усилителе 34, резисторах 25, 26, подключает вход U_7 к второму входу суммирующего усилителя через резистор 28. По этому входу суммирующий усилитель имеет единичный коэффициент усиления, что обеспечивается выбором резисторов 28, 29. Операционный усилитель 34 и резисторы 25, 26 служат для согласования полярностей напряжения. Таким образом, в режиме работы с аналоговым сигналом на выходе интегратора 8 будет напряжение U_8 , равное входному напряжению U_7 . Первый блок 1 ступенчатого преобразования сигнала (фиг.7) служит для преобразования входного сигнала $U_{вх}$ в дискретный (ступенчатый) сигнал, если $U_{вх}$ - аналоговый сигнал, и для хранения дискретного значения $U_{вх}$ на малом промежутке времени, если $U_{вх}$ - дискретный сигнал. Согласно описанному ниже алгоритму работы при дискретном и аналоговом входном сигналах на первый блок 1 ступенчатого преобразования сигнала поступают импульсы U_{11} от распределителя 4 импульсов. Каждый импульс U_{11} замыкает ключ 37. На конденсаторе 38 фиксируется значение $U_{вх}$ и через повторитель напряжения, собранный на операционном усилителе 40, в течение времени между тактовыми импульсами напряжение U_1

фиксируется на его выходе. Величина конденсатора 38 и резистора 39 выбирается такой, чтобы время заряда конденсатора 38 было значительно меньше периода следования тактовых импульсов U_{11} наибольшей частоты.

Второй блок 5 ступенчатого преобразования сигнала, как и первый блок 1 ступенчатого преобразования сигнала, служит для хранения дискретного значения $U_{вх}$ на малом промежутке времени, если входной сигнал $U_{вх}$ - дискретный; если $U_{вх}$ имеет аналоговую форму, второй блок 5 ступенчатого преобразования сигнала переходит в режим работы повторителя напряжения. Это обеспечивается тем, что в режиме работы с аналоговым входным сигналом $U_{вх}$ с распределителя 4 импульсов проходит сигнал U_{12} логической "единицы". Ключ 37 постоянно замкнут, и так как величина конденсатора 38 и резистора 39 выбирается описанным выше образом, то на выходе операционного усилителя 40 будет повторяться напряжение $U_{вх}$.

В качестве второго блока 6 сравнения можно применить устройство сравнения на операционном усилителе.

Рассмотрим работу устройства в целом с момента времени t_1 (фиг.2), с которого входной сигнал $U_{вх}$ имеет дискретную форму представления. В этом случае сигнал признака U_{10} принимает уровень логической "единицы". Согласно приведенному выше описанию распределитель 4 импульсов формирует в этом случае две последовательности импульсов U_{11} и U_{12} , сдвинутые одна относительно другой на один такт, с частотой, уменьшенной в два раза по отношению к тактовой частоте. Первый блок 1 ступенчатого преобразования сигнала фиксирует значение входного дискретного сигнала $U_{вх}$ по каждому из импульсов U_{11} , а второй блок 5 ступенчатого преобразования сигнала фиксирует значение входного дискретного сигнала $U_{вх}$ по каждому из импульсов U_{12} . На выходах указанных блоков формируются сигналы U_1 и U_5 соответственно. В первом блоке 2 сравнения происходит вычитание сигнала U_1 из входного ступенчатого сигнала $U_{вх}$. На выходе первого блока 2 сравнения формируется разностный сигнал U_2 , характеризующий скорость из-

менения входного дискретного сигнала $U_{вх}$ за время такта импульсов U_{11} .

На выходе второго блока 6 сравнения аналогичным образом получается разностный сигнал U_6 , характеризующий скорость изменения входного сигнала $U_{вх}$ за время такта U_{12} .

Оба разностных сигнала U_2 и U_6 суммируются на втором сумматоре 7, формируя сигнал U_7 , характеризующий скорость изменения входного дискретного сигнала $U_{вх}$ на каждом такте импульсов тактовой частоты U_9 .

Как было показано выше, интегратор 8 при дискретном входном сигнале $U_{вх}$ в каждом такте импульсов U_9 вырабатывает линейно изменяющееся напряжение U_8 , скорость изменения которого зависит от уровня сигнала U_7 . Сигнал U_8 поступает на первый сумматор 3, где суммируется с входным напряжением $U_{вх}$. В результате на выходе сумматора 3 будет сформирован выходной сигнал U_3 . Поскольку сигнал U_8 на каждом такте U_9 несет информацию о скорости изменения входного дискретного сигнала $U_{вх}$, то выходной дискретный сигнал U_3 ($U_{вх}$) нелинейного устройства фазовой коррекции будет иметь положительный фазовый сдвиг по отношению к входному дискретному сигналу $U_{вх}$.

Рассмотрим теперь работу устройства для аналоговой формы входного сигнала $U_{вх}$ (фиг. 3). Пусть с некоторого момента времени t_2 сигнал $U_{вх}$ становится аналоговым. В этом случае сигнал признака U_{10} принимает уровень логического "нуля". Согласно описанному выше принципу работы распределителя 4 импульсов последний формирует в этом режиме на выходе U_{11} импульсы с частотой, равной тактовой частоте, а на выходе U_{12} вырабатывается уровень логической "единицы".

Тактовые импульсы U_{11} поступают на первый блок 1 ступенчатого преобразования сигнала, который работает в этом режиме, как в прототипе. Уровень логической "единицы" U_{12} переводит второй блок 5 ступенчатого преобразования сигнала в режим повторителя напряжения $U_{вх}$. В результате на оба входа второго блока 6 сравнения поступают одинаковые напряжения и его выходной сигнал U_6 равен нулю. Выходной сигнал U_7 второго сумматора 7 в этом случае равен входному сиг-

налу U_2 , который вырабатывается как разностный сигнал между $U_{вх}$ и U_1 в первом блоке 2 сравнения. Интегратор 8 в случае, когда сигнал U_{10} признака равен логическому "нулю", переходит в режим повторителя, как было показано в описании работы интегратора 8. Выходной сигнал его U_8 в этом случае равен входному U_7 или, что то же самое, U_2 . В результате на первом сумматоре происходит суммирование сигналов U_2 и входного сигнала $U_{вх}$, как в нелинейном устройстве-прототипе фазовой коррекции.

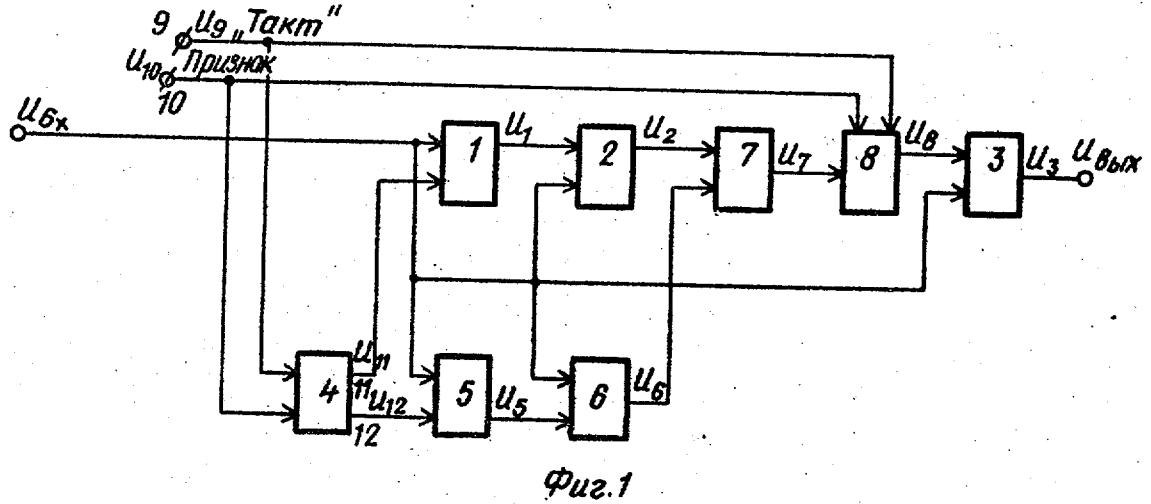
Таким образом, использование новых элементов - распределителя импульсов, второго блока ступенчатого преобразования сигнала, второго блока сравнения, второго сумматора и управляемого интегратора - выгодно отличается предлагаемое нелинейное устройство фазовой коррекции от известного, так как позволяет вносить положительный фазовый сдвиг выходного сигнала по отношению к входному как для аналогового, так и дискретного входного сигнала, то есть расширить диапазон корректирующих сигналов.

Ф о р м у л а и з о б р е т е н и я

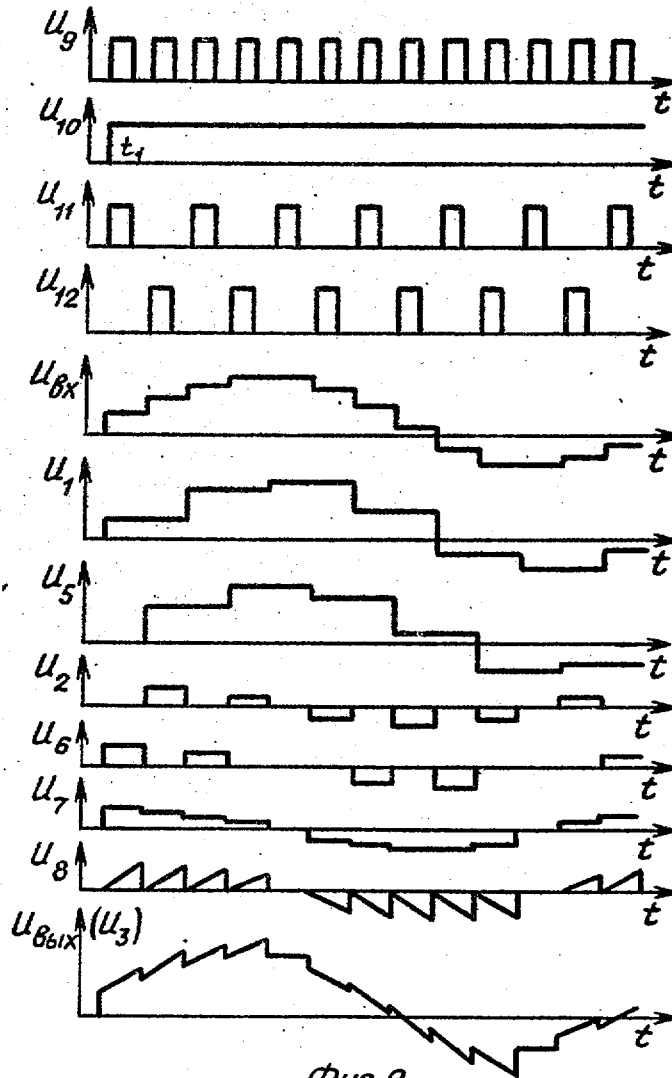
Нелинейное устройство фазовой коррекции по авт. св. № 767700, о т л и ч а ю щ е е с я т е м , ч т о , с ц е л ь ю расширения диапазона сигналов, корректируемых устройством, в нем дополнительно установлены распределитель импульсов, второй блок ступенчатого преобразования сигнала, второй блок сравнения сигнала, второй сумматор и интегратор, причем выход первого блока сравнения подключен к первому входу первого сумматора через последовательно соединенные второй сумматор и интегратор, тактовый вход и вход "Признак входного сигнала" устройства подключены соответственно к первому и второму управляющим входам интегратора и к первому и второму входам распределителя импульсов, соединенного первым входом с вторым входом первого блока ступенчатого преобразователя сигнала, а вторым выходом - с первым входом второго блока ступенчатого преобразователя сигнала, выходом подключенного к первому входу второго блока сравнения, а вторым входом - к входу анализато-

ра входного сигнала, к первому входу первого блока ступенчатого преобразования сигнала и к второму входу

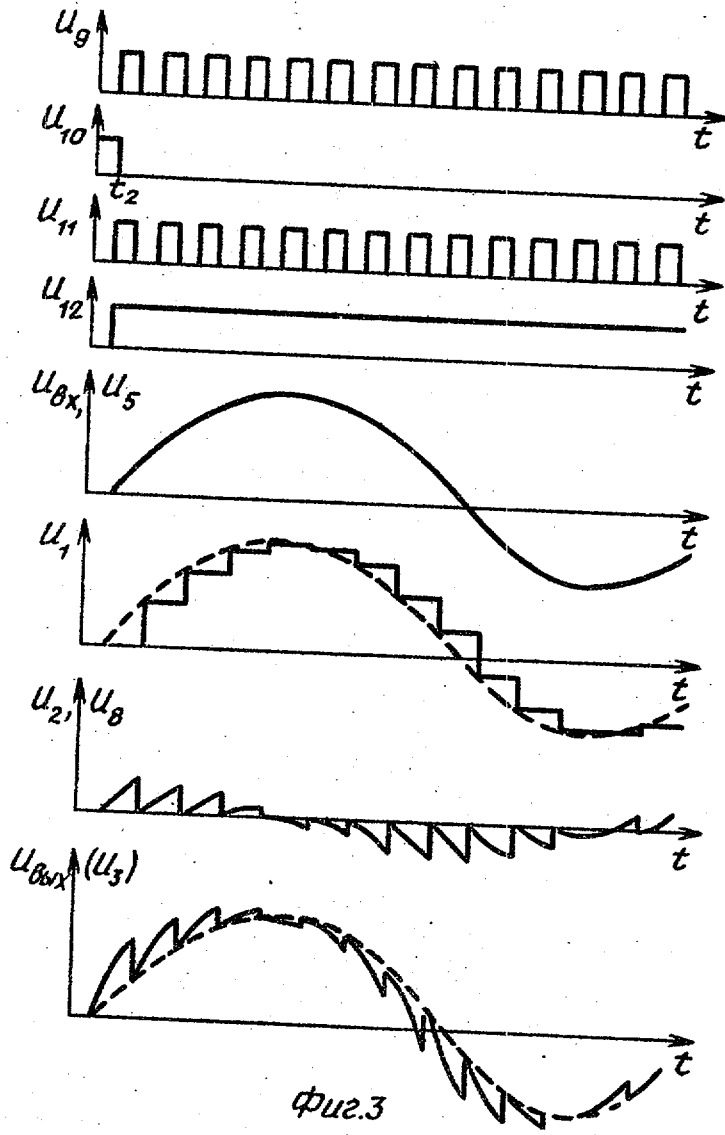
второго блока сравнения, соединенного выходом с вторым входом второго сумматора.



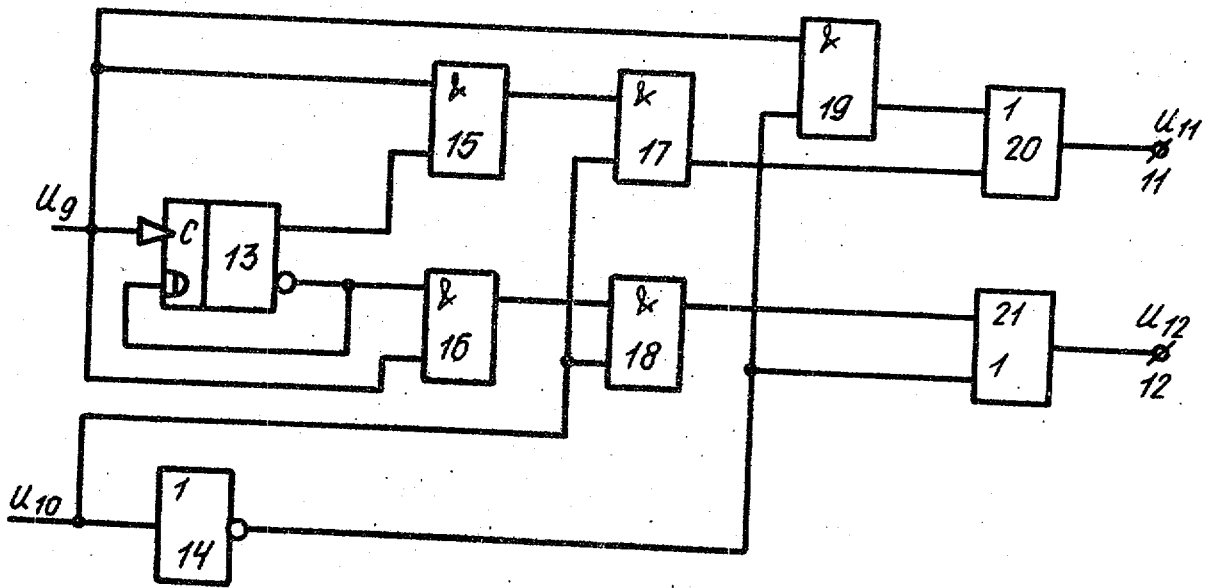
Фиг.1



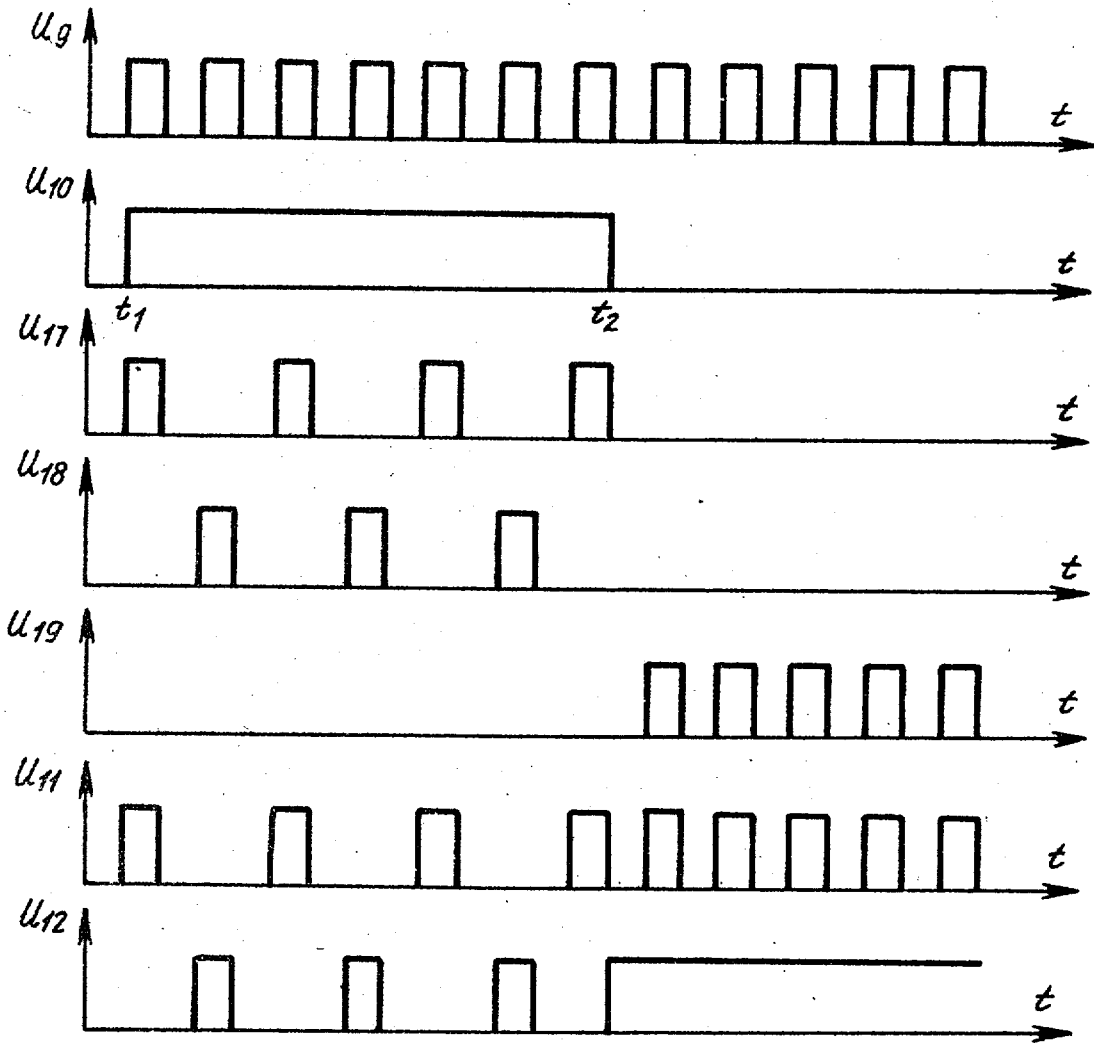
Фиг.2



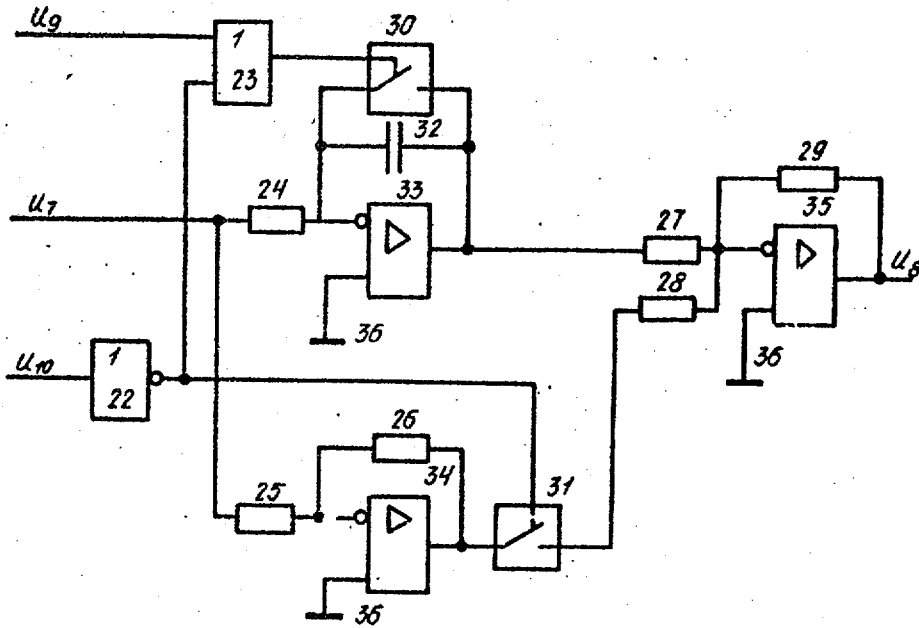
фиг. 3



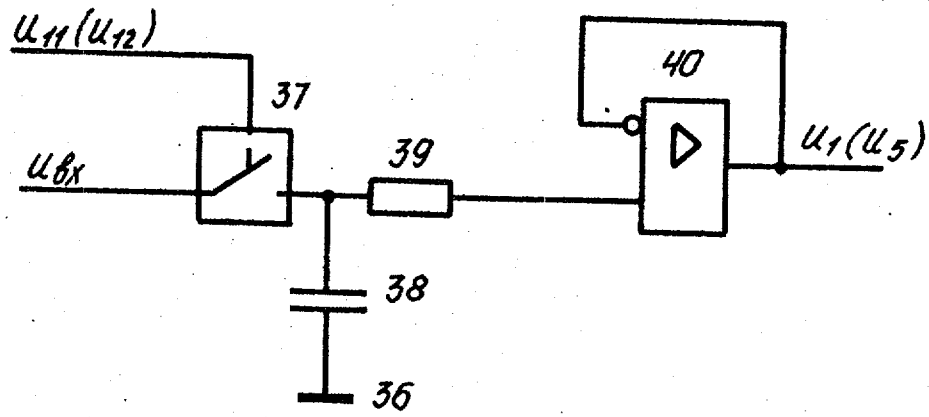
фиг. 4



Фиг. 5



Фиг. 6



Фиг. 7

Редактор А.Маковская Составитель Г.Нефедова Корректор Э.Лончакова
 Техред П.Олейник

Заказ 6285/50 Тираж 866 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4