



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1322264 A1

(51) 4 G 06 F 7/52

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3954177/24-24

(22) 16.09.85

(46) 07.07.87. Бюл. № 25

(72) Р.М. Асцатуров, А.Г. Батюков,
А.П. Запольский, Л.Г. Лопато,
А.И. Подгорнов и А.А. Шостак

(53) 681,325(088.8)

(56) Авторское свидетельство СССР
№ 1249551, кл. G 06 F 7/52, 1984.

Авторское свидетельство СССР
№ 1282117, кл. G 06 F 7/52, 1985

(54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ

(57) Изобретение относится к вычислительной технике и может быть применено для быстрого выполнения операции деления чисел. Целью изобретения является уменьшение аппаратных затрат, что достигается введением в устройство дополнительных сумматоров и блока умножения, узла вычисления обратной величины и элемента И-НЕ. Приведение к однорядному коду очередного остатка осуществляется параллельно с образованием к очередных цифр частного. В устройстве используются при формировании к цифр частного вместо двух блоков деления узел вычисления обратной величины и блок умножения. 3 ил.

(19) SU (11) 1322264 A1

Изобретение относится к вычислительной технике и может быть применено в быстродействующих арифметических устройствах для выполнения операции деления чисел.

Цель изобретения - упрощение аппаратных затрат устройства.

На фиг.1 приведена структурная схема устройства для деления; на фиг.2 - функциональная схема блока микропрограммного управления; на фиг.3 - микропрограмма работы устройства.

Устройство для деления содержит первый 1 и второй 2 регистры остатка, регистр 3 делителя, сумматор 4 частного, сумматор 5 принудительного округления делителя, узел 6 вычисления обратной величины, сумматор 7, блок 8 умножения, вычитатель 9, дополнительные сумматор 10 и блок 11 умножения, элемент И-НЕ 12, второй 13 и первый 14 коммутаторы, блок 15 микропрограммного управления, входы данных 16 и синхронизации 17 устройства, выходы частного 18 и остатка 19 устройства, вход 20 логической единицы устройства, выход 21 первого регистра остатка 1, выход 22 регистра 2, выходы 23 и 24 старших разрядов первого и второго регистров остатка, выход 25 регистра делителя, выход 26 старших разрядов регистра делителя, выход 27 сумматора принудительного округления, выход 28 узла вычисления обратной величины, выход 29 дополнительного сумматора, выход 30 переноса сумматора, выход 31 элемента И-НЕ, выход 32 дополнительного блока умножения, выход 33 второго коммутатора, выходы 34 и 35 первой и второй группы блока умножения, выход 36 сумматора, выходы 37 и 38 разности и знака вычитателя, выход 39 первого коммутатора, первый, второй, третий, четвертый и пятый выходы 40-44 блока микропрограммного управления.

Блок микропрограммного управления содержит блок 45 памяти микрокоманд и счетчик 46.

Первый регистр остатка $1-(n+1)$ -разрядный, из которых один разряд расположен слева от запятой и n разрядов - справа от запятой.

В исходном состоянии в этом регистре хранится n -разрядный двоичный код делимого без знака, а в процессе деления в него записываются значения

сумм очередных остатков, формируемых в устройстве в двухрядном коде (в виде двух чисел: первое число является поразрядной суммой остатка, а второе - поразрядным переносом остатка).

Второй регистр 2 остатка содержит n -разрядов, из которых один расположен слева от запятой, а остальные - справа. В исходном состоянии этот регистр обнулен, а в процессе деления в него записываются значения переносов очередных остатков.

Регистр 3 делителя n -разрядный, причем все разряды расположены справа от запятой. В регистре 3 делителя в исходном состоянии хранится n -разрядный двоичный код делителя без знака.

Предполагается, что регистры реализованы на основе двухтактных синхронных DV-триггеров. Запись информации в регистры производится по синхроимпульсу при наличии разрешающего потенциала на их V входах.

Сумматор 4 частного предназначен для хранения частного. Он также участвует при выполнении операции деления в процессе формирования правильного значения частного. В первом такте деления сумматор 4 частного обнуляется путем подачи импульса со входа 17 синхронизации устройства на его синхровход и разрешающего потенциала с первого выхода 40 блока 15 на вход разрешения установки в нуль сумматора 4 частного.

Во всех других тактах работы устройства в сумматоре 4 частного накапливается значение частного. Для этого к значению частного, сформированному на предыдущих тактах работы устройства и сдвинутому на $(k-1)$ разрядов влево (в сторону старших разрядов) прибавляется значение k цифр частного, сформированных на выходах 33 коммутатора 13 в текущем такте. Запись результата этого суммирования в сумматор 4 частного производится по синхроимпульсу при наличии разрешающего потенциала на входе разрешения записи, который подключен ко второму выходу 41 блока 15 управления.

После завершения деления образованное в сумматоре 4 частного частное поступает на выход 18 частного устройства. Предполагается, что сум-

матор 4 частного реализован точно так же, как и в известном устройстве, т.е. на основе комбинационного сумматора и регистра.

Формирование k цифр частного на каждом такте работы устройства производится путем умножения значения однорядного кода усеченного остатка, сформированного на выходах 29 второго сумматора 10, на значение старших разрядов обратной величины усеченного делителя. Чтобы устранить возможность получения в устройстве k цифр частного с избытком значение старших разрядов делителя, хранимого в регистре 3 делителя, увеличивается на единицу младшего разряда в сумматоре 5 принудительного округления делителя.

Так как в устройстве при формировании k цифр частного используются старшие разряды остатка, полученные при приведении на сумматоре 10 к однорядному коду старших разрядов двухрядного кода остатка, то становится возможным образование неправильного значения k цифр частного.

Если значение старших разрядов приведенного остатка, полученного на выходах 36 суммы сумматора 7, равно нулю, то при формировании однорядного кода старших разрядов остатка путем сложения во втором сумматоре 10 старших разрядов двухрядного кода остатка возможно получение значения суммы на выходах 29 сумматора 10 меньше, чем нуль на единицу младшего разряда, т.е. значения $\underbrace{1, 11 \dots 1}_r$,

где 1 - количество старших разрядов остатка, участвующих в формировании k цифр частного.

Для исключения возможности получения в этом случае неверного значения k цифр частного в устройстве предусмотрена блокировка (формирование значения k цифр частного, равного нулю) цифр частного, полученных на выходах 32 блока 11 умножения, путем подачи на управляющий вход коммутатора 13 уровня логического нуля с выхода 31 элемента И-НЕ 12.

Уровень логического нуля на выходе 31 устанавливается в том случае, если значение однорядного кода усеченного остатка, полученное на выхо-

дах 29 сумматора 10, равно $\underbrace{1, 11 \dots 1}_r$

и присутствует сигнал логической единицы на выходе 30 переноса в старшие разряды сумматора 7. Во всех других случаях на выходы 33 коммутатора 13 пропускается значение k цифр с выходов 32 блока 11 умножения.

Сумматор 5 принудительного округления делителя является комбинационной схемой. В нем осуществляется принудительное округление делителя путем прибавления к значению старших разрядов делителя, поступающих на входы сумматора 5 с выходов 26 регистра 3, единицы в младший разряд, поступающий на вход переноса сумматора принудительного округления делителя через вход 20 логической единицы устройства.

На выходах 27 сумматора 5 образуется значение старших разрядов делителя, увеличенное на единицу младшего разряда. Этим самым устраняется возможность получения на выходах 33 коммутатора 13 частного с избытком.

Узел 6 вычисления обратной величины производит вычисление значения старших разрядов обратной величины от принудительно округленного значения старших разрядов делителя, поступающего на входы узла 6 с выходов 27 сумматора 5. На выходах 28 узла 6 формируется значение старших разрядов обратной величины принудительного округления усеченного делителя.

Определим, какое число старших разрядов делителя, остатка и обратной величины принудительно округленного усеченного делителя необходимо обрабатывать в устройстве, чтобы получить на выходах 33 коммутатора 13 значение k цифр частного с точностью до единицы их младшего разряда.

Это число в первую очередь зависит от диапазона значений делимого и делителя. Пусть делимое X и делитель Y есть нормализованные положительные двоичные дроби, т.е. $1/2 < X < 1$ и $1/2 < Y < 1$. Это справедливо только на первом шаге деления. В дальнейшем же, когда в роли делимого выступают промежуточные остатки, возможно нарушение нормализации делимого как влево, так и вправо. В общем случае делимое X в предлагаемом устройстве может изменяться в пределах $0 < X < 2Y$. Покажем, что при принятых допуще-

ниях для получения на выходах 33 коммутатора 13 k двоичных цифр частного с точностью до единицы их младшего разряда достаточно обрабатывать $(k+4)$ старших разрядов делимого (один разряд слева от запятой и $(k+3)$ разрядов справа от запятой), $(k+3)$ старших разрядов делителя Y (все разряды находятся справа от запятой) и $(k+2)$ старших разрядов обратной величины принудительно округленного усеченного делителя (один разряд слева от запятой и $(k+1)$ разрядов справа от запятой).

Пусть X_1 - значение старших $(k+4)$ разрядов приведенного n -разрядного остатка X , Y_1 - значение старших $(k+3)$ разрядов делителя Y , C_1 - значение старших $(k+2)$ разрядов обратной величины C принудительно округленного усеченного делителя. Тогда $(X_1 - P)$ - значение усеченного остатка, получаемого приведением к однорядному коду старших разрядов двухрядного кода остатка, где P - величина, на которую отличается значение усеченного остатка, получаемого приведением к однорядному коду старших разрядов двухрядного кода остатка от значения старших разрядов остатка, получаемого приведением к однорядному коду n разрядов двухрядного кода остатка.

$$C_2 = C - C_1, \quad X_2 = X - X_1, \quad Y_2 = Y - Y_1.$$

Покажем, что абсолютная погрешность ε (разность между значением частного, получаемым при делении n -разрядных чисел, и значением частного, получаемым путем умножения значения старших $(k+4)$ разрядов однорядного кода остатка, полученного при приведении к однорядному коду старших $(k+4)$ разрядов двухрядного кода остатка, на значение старших $(k+2)$ разрядов обратной величины от принудительно округленных старших $(k+3)$ разрядов делителя) при этом заключена в пределах

$$0 \leq \varepsilon = \frac{X}{Y} - (X_1 - P) \cdot (C - C_2) < 2^{-(k-1)}$$

Выполнение левого условия очевидно, поэтому ограничимся лишь доказательством неравенства

$$\varepsilon = \frac{X}{Y} - (X_1 - P) \cdot (C - C_2) < 2^{-(k-1)}$$

Максимальная погрешность ε будет в том случае, когда

$$P = 2^{-(k+3)}, \quad C_2 = C_{2 \max} = 2^{-(k+1)}. \quad C$$

учетом этого и того, что

$$5 \quad C = 1/(Y_1 + 2^{-(k+3)}) \quad \text{получим}$$

$$\frac{X}{Y} - (X_1 - 2^{-(k+3)}) \cdot [1/(Y_1 + 2^{-(k+3)}) - 2^{-(k+1)}] < 2^{-(k-1)}$$

или

$$15 \quad \frac{X}{Y} - \frac{X_1 - 2^{-(k+3)}}{Y_1 + 2^{-(k+3)}} + 2^{-(k+1)} \cdot (X_1 - 2^{-(k+3)}) < 2^{-(k-1)}$$

Эти соотношения выполняются при всех значениях делителя Y , заключенного в пределах $1/2 \leq Y < 1$. Таким образом, в сумматоре 5 принудительного округления делителя производится добавление к значению $(k+3)$ старших разрядов делителя, хранящегося в регистре 3 делителя, единицы в младший разряд.

В узле 6 вычисления обратной величины формируется значение $(k+2)$ старших разрядов обратной величины принудительно округленного усеченного делителя. В сумматоре 10 производится приведение $(k+4)$ старших разрядов двухрядного кода остатка, хранимого в регистрах 1 и 2 остатка, в однорядный код.

В блоке 11 умножения производится умножение значения $(k+4)$ старших разрядов остатка, полученного путем приведения к однорядному коду старших $(k+4)$ разрядов двухрядного кода остатка, на значение старших $(k+2)$ разрядов обратной величины принудительно округленного усеченного делителя. При этом значение k -разрядного частного, получаемого на выходах 33 коммутатора 13, может быть либо равно значению старших k разрядов частного, получаемого при делении n -разрядных чисел, либо меньше его на единицу младшего разряда с весом $2^{-(k+1)}$.

С помощью коммутатора 14 осуществляется передача на информационные входы регистра 1 остатка, либо делимого с входа 16 устройства, когда на первом выходе 40 блока 15 формируется сигнал логической единицы, либо

результата, образованного на выходах 37 первой группы вычитателя 9, когда на втором выходе 41 блока 15 формируется сигнал логической единицы.

Устройство для деления работает следующим образом.

На вход 16 данных устройства поступают n -разрядные двоичные коды делимого X и делителя Y (здесь предполагается, что делимое и делитель правильные положительные дроби), а счетчик 46 блока 15 установлен в исходное нулевое состояние.

По содержимому счетчика 46, которое служит адресом обращения к памяти микрокоманд блока 15, из блока 45 памяти микрокоманд считывается микрокоманда 1, которой соответствуют управляющие сигналы Y_{40} , Y_{42} , Y_{43} (фиг.4). В результате этого соответственно на первом, третьем и четвертом выходах 40, 42 и 43 блока 15 управления устанавливаются уровни логической единицы.

Под действием этих управляющих сигналов коммутатор 14 пропускает на информационные входы первого регистра 1 остатка делимого X с входа 16 устройства, регистры остатка 1 и делителя 3 подготовлены к приему информации, так как на их входах разрешения записи присутствуют потенциалы логической единицы, а второй регистр 2 остатка и сумматор 4 частного настроены на обнуление.

С приходом первого импульса на вход 17 синхронизации устройства производится запись двоичных кодов делимого X и делителя Y в регистры соответственно 1 и 3, а также обнуление регистра 2 остатка и сумматора 4 частного и установка счетчика 46 блока 15 в состояние "1". С момента окончания действия первого импульса на выходе 17 синхронизации устройства заканчивается подготовительный этап и начинается собственно деление, в процессе которого в течение m тактов формируется $m \cdot (k-1) + 1$ двоичных цифр частного.

В некоторых случаях целесообразно подготовительный этап организовать двухшаговым, причем на его первом шаге осуществлять запись только делителя Y в регистре 3 делителя, а на втором шаге произвести запись делимого в регистр 1 остатка и обнулять

регистр 2 остатка и сумматор 4 частного. Этим самым обеспечивается меньшая длительность такта работы устройства, так как временная задержка сумматора 5 и узла 6 не будет влиять в этом случае на временной цикл работы устройства.

В тех же случаях, когда операнды не могут быть загружены в регистры 1 и 3 одновременно (например, при последовательной их выборке из памяти) необходимо всегда в первую очередь записывать делитель, а потом уже делимое.

В первом такте собственно деления по значению старших разрядов делимого X (на следующих тактах в роли делимого будет выступать остаток, хранящийся в регистрах 1 и 2 в двухрядном коде) и делителя Y на выходах 32 блока умножения 22 формируется k двоичных цифр частного. Параллельно с работой сумматора 10 и блока 11 умножения работает первый сумматор 7, который преобразует двухрядный код текущего остатка в однорядный код.

По значению сигнала переноса в старшие разряды этого сумматора, формируемого на выходе 30 сумматора 7, и значению однорядного кода усеченного остатка, полученного при проведении старших разрядов двухрядного кода остатка на выходах 29 сумматора 10, осуществляется окончательное формирование k цифр частного.

Если сигнал переноса в старшие разряды первого сумматора 7 соответствует уровню логической единицы, а значение $(k+4)$ разрядов на выходах 29 сумматора 10 равно $\underbrace{1, 1, \dots, 1}_{k+4}$, на выходе 31 элемента И-НЕ 12 формируется сигнал логического нуля, который устанавливает значение k цифр частного на выходах 33 коммутатора 13, равное нулю.

Во всех других случаях в качестве k -разрядного частного в устройстве используется значение k цифр частного, сформированных на выходах 32 блока 11 умножения. Сформированное на выходах 33 коммутатора 13 k -разрядное частное Z_i , (на следующих тактах Z_i , где i - номер такта собственно деления) поступает на информационные входы младших разрядов сумматора 4 частного 4.

На выходах 34 и 35 блока 8 умножения образуется в двухрядном коде произведение $Y \cdot Z_1$, а с помощью вычитателя 9 формируется разность $X - Y \cdot Z_1$ в двухрядном коде, которая в дальнейшем служит остатком и подается на информационные входы второй группы коммутатора 14 и регистра 2 остатка со сдвигом на $(k+1)$ разрядов влево (в сторону старших разрядов). Одновременно с этим из блока 45 памяти микрокоманд блока 15 считывается микрокоманда 2, которой соответствует управляющие сигналы Y_{41} , I_{42} и соответственно на втором и третьем выходах 41 и 42 блока 15 устанавливаются уровни логической единицы.

Под действием этих управляющих сигналов коммутатор 14 пропускает на информационные входы первого регистра 1 остатка результат с выходов 37 вычитателя 9, регистры 1 и 2 остатка и сумматор 4 частного подготовлены к приему информации. С приходом второго импульса на вход 17 синхронизации устройства в регистры остатка 1 и 2 записывается сформированный на выходах 37 и 38 вычитателя 9 двухрядный код остатка, в младшие разряды сумматора 4 частного заносится k старших цифр частного, а счетчик 46 блока 15 устанавливается в состояние "2".

Аналогичным образом устройство работает и в других тактах.

В каждом такте старшая двоичная цифра из k очередных цифр частного, образованных на выходах 33 коммутатора 13 и поступающих на информационные входы младших разрядов сумматора 4 частного, подсуммируется к младшему двоичному разряду содержимого сумматора 4 частного, сдвинутому на $(k-1)$ разрядов в сторону его старших разрядов.

После выполнения последнего $(m+1)$ такта на выходе 18 частного устройства образуется n -разрядное частное, на выходе 19 остатка устройства образуется n -разрядный остаток. Одновременно с этим из блока 45 памяти микрокоманд блока 15 считывается микрокоманда $(m+2)$, который соответствует управляющий сигнал Y_{44} и соответственно на пятом выходе 44 блока 15 устанавливается уровень

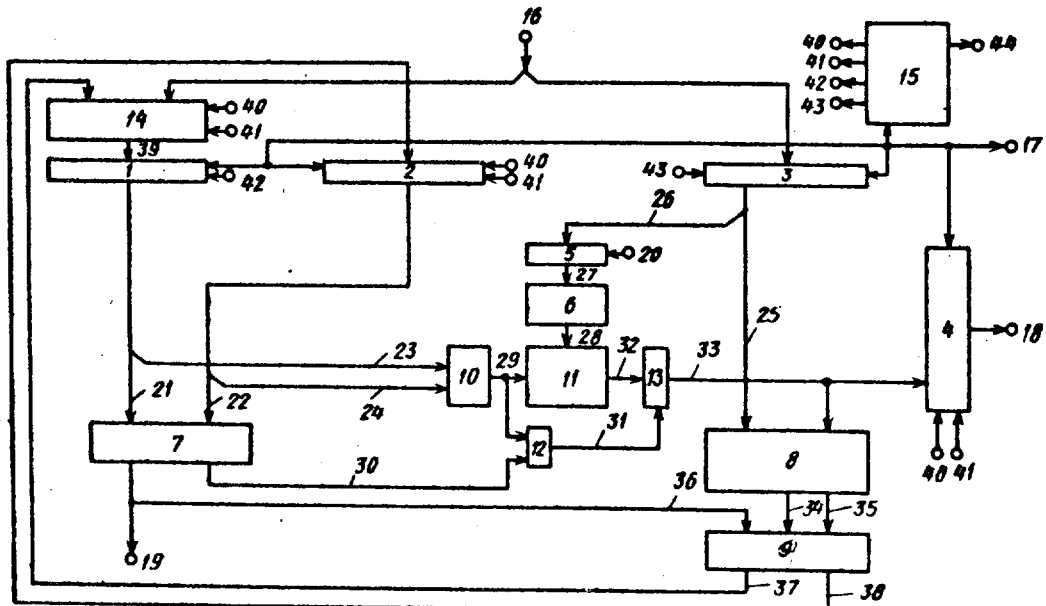
логической единицы, сигнализирующий об окончании операции деления.

Ф о р м у л а и з о б р е т е н и я

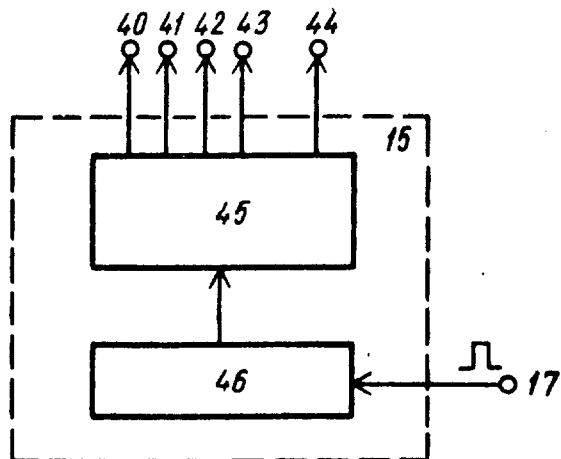
- 5 Устройство для деления, содержащее два регистра остатка, регистр делителя, сумматор частного, сумматор, блок умножения, вычитатель, два
- 10 коммутатора, блок микропрограммного управления, причем вход данных устройства соединен с информационным входом регистра делителя и первым информационным входом первого комму-
- 15 татора, выход которого соединен с информационным входом регистра остатка выход которого соединен с первым информационным входом сумматора, выход суммы которого соединен с входом
- 20 уменьшаемого вычитателя и является выходом остатка устройства, второй информационный вход первого коммутатора соединен с выходом разности вы-
- 25 читателя, выход заема которого соединен с информационным входом второго регистра остатка, выход которого соединен с вторым информационным входом сумматора, выход регистра делителя соединен с первым информаци-
- 30 онным входом блока умножения, второй информационный вход которого соединен с выходом второго коммутатора и информационным входом младших разрядов сумматора частного, выход кото-
- 35 рого является выходом частного устройства, выходы первой и второй группы блока умножения соединены с входами вычитаемого первой и второй
- 40 группы вычитателя соответственно, вход синхронизации устройства является синхровходом блока микропрограммного управления и соединен с входами синхронизации первого и второго
- 45 регистров остатка, регистра делителя и сумматора частного, первый выход блока микропрограммного управления соединен с первым управляющим входом
- 50 первого коммутатора и входом установки в "0" второго регистра остатка и сумматора частного, вход разрешения записи которого соединен с входом разрешения записи второго регистра остатка, вторым управляющим входом
- 55 первого коммутатора и вторым выходом блока микропрограммного управления, третий и четвертый выходы которого соединены с входами разрешения записи соответственно первого регистра

остатка и регистра делителя, пятый выход блока микропрограммного управления является выходом сигнализации окончания деления, отличающемся тем, что, с целью уменьшения аппаратных затрат, в него введены дополнительный сумматор, сумматор принудительного округления, узел вычисления обратной величины, дополнительный блок умножения, элемент И-НЕ, причем выходы старших разрядов первого и второго регистров остатка соединены соответственно с первым и вторым информационными входами дополнительного сумматора, выход которого соединен с первым информационным входом дополнительного блока

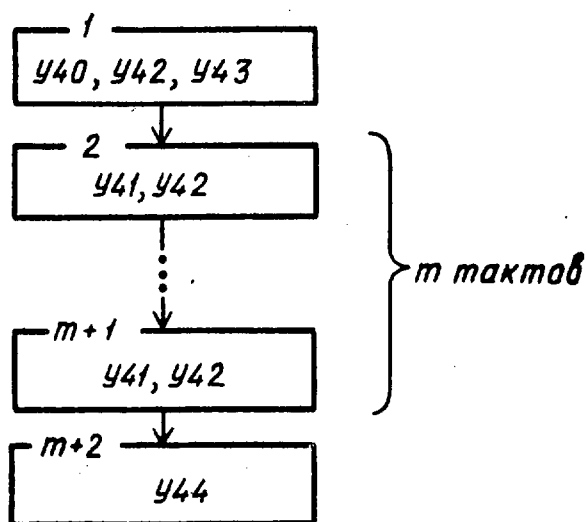
умножения и первым входом элемента И-НЕ, второй вход которого соединен с выходом переноса сумматора, выход элемента И-НЕ соединен с управляющим входом второго коммутатора, информационный вход которого соединен с выходом дополнительного блока умножения, второй информационный вход которого соединен с выходом узла вычисления обратной величины, вход которого соединен с выходом сумматора принудительного округления, информационный вход которого соединен с выходом старших разрядов регистра делителя, вход переноса сумматора принудительного округления является входом логической единицы устройства.



Фиг. 1



Фиг. 2



Фиг. 3

Составитель Н. Меркелова

Редактор П. Герши

Техред А. Кравчук

Корректор Л. Патай

Заказ 2864/44

Тираж 672

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д.4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4