



ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4163012/24-24

(22) 16.12.86

(46) 15.01.89. Бюл. № 2

(71) Минский радиотехнический институт

(72) В.С.Жук

(53) 681.3(088.8)

(56) Авторское свидетельство СССР  
№ 1180896, кл. G 06 F 11/00, 1985.

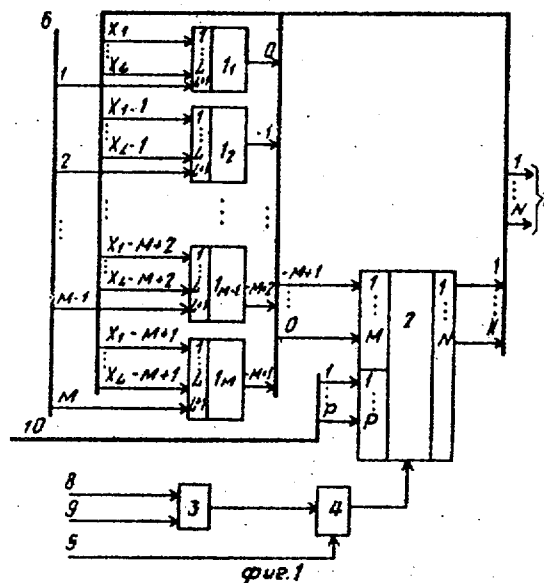
Ярмолис В.Н., Демиденко С.Н.

Генерирование и применение псевдо-случайных сигналов в системах испытаний и контроля. Минск: Наука и техника, 1986, с. 185-192.

(54) ПАРАЛЛЕЛЬНЫЙ СИГНАТУРНЫЙ АНАЛИЗАТОР

(57) Изобретение относится к вычислительной технике и может быть использовано для поиска неисправностей в многоразрядных цифровых схемах методом сигнатурного анализа. Целью

изобретения является повышение достоверности контроля при произвольном количестве информационных входов. Параллельный сигнатурный анализатор содержит группу сумматоров по модулю два  $1_1, \dots, 1_M$ , блок 2 параллельного сдвига, RS-триггер 3 и элемент И4. Блок 2 параллельного сдвига, в свою очередь, содержит регистр, группу коммутаторов и дешифратор. Сущность изобретения заключается в том, что с помощью дешифратора и коммутатора осуществляется реконфигурация структуры анализатора в зависимости от количества требуемых информационных входов. Таким образом, при контроле многоразрядных цифровых схем в анализаторе отсутствуют неиспользуемые информационные входы, результатом чего является повышение достоверности контроля. 3 ил.



Изобретение относится к вычислительной технике и может быть использовано для поиска неисправностей в многоразрядных цифровых схемах методом сигнатурного анализа.

Целью изобретения является повышение достоверности контроля при произвольном количестве информационных входов.

На фиг. 1 представлена блок-схема предлагаемого параллельного сигнатурного анализатора; на фиг. 2 - схема блока параллельного сдвига при  $M < N$ , где  $N$  - разрядность блока параллельного сдвига; на фиг. 3 - то же, при  $M \geq N$ .

Параллельный сигнатурный анализатор (фиг. 1) содержит  $M$  сумматоров  $1_1, \dots, 1_M$  по модулю два, где  $M$  - максимальное число информационных входов анализатора, блок 2 параллельного сдвига, RS-триггер 3, элемент И 4, вход 5 синхронизации, группу 6 информационных входов, группу 7 информационных выходов, управляющий вход 8 "Пуск", управляющий вход 9 "Останов", группу 10 входов задания числа используемых информационных входов.

Блок 2 параллельного сдвига содержит регистр 11, группу из  $M$  коммутаторов  $12_1, \dots, 12_M$ , дешифратор 13. В качестве вспомогательных элементов используются резистор 14, кнопка 15 сброса, резистор 16, контактные гнезда  $17_1, \dots, 17_p, 18_1, \dots, 18_p$  и  $19_1, \dots, 19_p$ , где  $P = \log_2 M$  - количество входов задания числа используемых информационных входов анализатора.

Сумматор  $1_i$  по модулю два сворачивает входную информацию с первого информационного входа 6 анализатора с соответствующими  $L$  разрядами  $X_1, \dots, X_L$  блока 2 параллельного сдвига на основе коэффициента используемого полинома для сигнатурного анализа

$$Y^{X_1} + Y^{X_2} + \dots + Y^{X_L}$$

Сумматор  $1_i$ , где  $i = 2, \dots, M$ , сворачивает входную информацию с  $i$ -го информационного входа 6 анализатора с соответствующими  $L$  разрядами  $X_{i-1+1}, \dots, X_{i-1+1}$  блока 2 параллельного сдвига на основе используемого полинома для сигнатур-

ного анализа с коэффициентами, уменьшенными на  $(i - 1)$ ,

$$Y^{X_{i-1+1}} + Y^{X_{i-2+1}} + \dots + Y^{X_{i-1+1}}$$

Разрядность  $N$  блока 2 параллельного сдвига выбирается исходя из трех параметров:  $M$  - требуемой максимальной разрядности цифровых блоков, подлежащих контролю методом сигнатурного анализа;  $V$  - максимальной длины контролируемых логических последовательностей (или максимального количества тактов сигнатурного анализа),  $q$  - допустимой вероятности необнаруженных ошибок сигнатурного анализатора.

Разрядность  $N$  блока параллельного сдвига выбирается такой, чтобы выполнялось условие  $q \leq q_{СА}$ , где  $q_{СА}$  - вероятность необнаруженных ошибок для сигнатурного анализатора, определяемая следующим образом:

$$q_{СА} = \begin{cases} 0 & \text{при } V \cdot M \leq N, \\ (2^{V \cdot M} - 1) / (2^{V \cdot M + N} - 1) & \text{при } V \cdot M > N, \\ 2^{-N} & \text{при } V \cdot M \gg N. \end{cases}$$

Блок 2 параллельного сдвига по переднему фронту импульса на своем входе записи производит сдвиг в сторону старших разрядов на управляемое количество разрядов  $i$  ( $1 \leq i \leq M$ ) в соответствии с кодом  $(i - 1)$ , поступающим на его входы. Информация, которая должна задвигаться в младшие  $i$  разрядов, поступает на  $i$  информационных входов блока 2 параллельного сдвига.

Каждый из коммутаторов 12 (фиг. 2, 3) представляет собой коммутатор с  $N$  выходами,  $N$  входами и входом управления. При наличии логического нуля на входе управления  $K$ -го коммутатора 12 он пропускает информацию со своих входов на выходы, при логической единице на входе управления  $K$ -го коммутатора 12 на его выходах устанавливается высокоимпедансное третье состояние.

Параллельный сигнатурный анализатор работает следующим образом.

Перед началом работы производится установка в нулевое состояние блока параллельного сдвига путем нажатия кнопки 15 (см. фиг. 2, 3).

Контролируемые разряды цифровой схемы ( $1 \leq i \leq M$ , где  $M$  - максимальное количество контролируемых разрядов,  $i$  - разрядность контролируемой цифровой схемы) подключаются к информационным входам 6 анализатора, начиная с первого входа. На группу входов 10 установки количества контролируемых разрядов подается двоичный код ( $j-1$ ), соответствующий контролируемым разрядам, причем  $1 \leq j \leq i$ , в результате чего только один  $j$ -й коммутатор 12; пропускает информацию со своих входов на выходы, а на выходах остальных коммутаторов 12 - высокоимпедансное третье состояние (см. фиг. 2). Отметим, что если в проверяемом устройстве не предусмотрено формирование кода количества контролируемых разрядов, то входы 10 анализатора никуда не подключаются и двоичный код ( $j-1$ ) количества контролируемых разрядов набирается путем установки Р коммутационных проводников в соответствующие контактные гнезда 17; ... 18; или 18; - 19; (фиг. 2 и 3).

По сигналу "Пуск" с входа 8 анализатора, определяющему начало интервала контроля входных последовательностей, устанавливается в единичное состояние триггер 3; "1" с выхода триггера 3 поступает на первый вход элемента И 4, разрешая прохождение через него импульсов с входа 5 синхронизации анализатора на вход записи блока 2 параллельного сдвига. Логическое состояние с  $K$ -го разряда информационного входа 6 анализатора, где  $K = 1, \dots, j$ , суммируется по модулю два соответствующим сумматором 1<sub>к</sub> с соответствующими  $L$  разрядами ( $X_1 - K+1, \dots, X_L - K+1$ ) блока 2 параллельного сдвига и записывается с параллельным сдвигом на  $j$  разрядов в блок 2 параллельного сдвига по переднему фронту синхроимпульсов, поступающих с выхода элемента И 4, что и приводит к формированию сигнатуры.

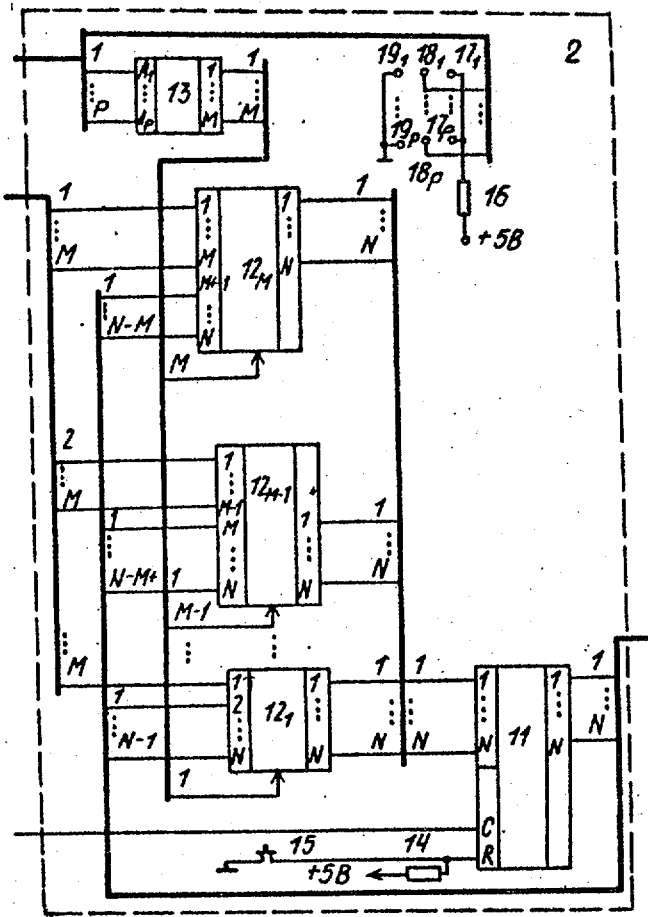
По сигналу "Останов", поступающему на вход 9 анализатора, триггер 3 устанавливается в нулевое состояние, запрещающее прохождение синхроимпульсов через элемент И 4. Запись в блок 2 параллельного сдвига пре-

кращается, и в нем образуется сигнатура контролируемой  $j$ -разрядной последовательности.

- 5 Повышение достоверности предлагаемого анализатора по сравнению с прототипом обеспечивается тем, что при заданном числе информационных входов отсутствуют неиспользуемые
- 10 входы, на которые подается незначащая информация, в результате чего, например, двойные ошибки выявляются на более длинных контролируемых последовательностях, чем в устройстве-прот-
- 15 типе.

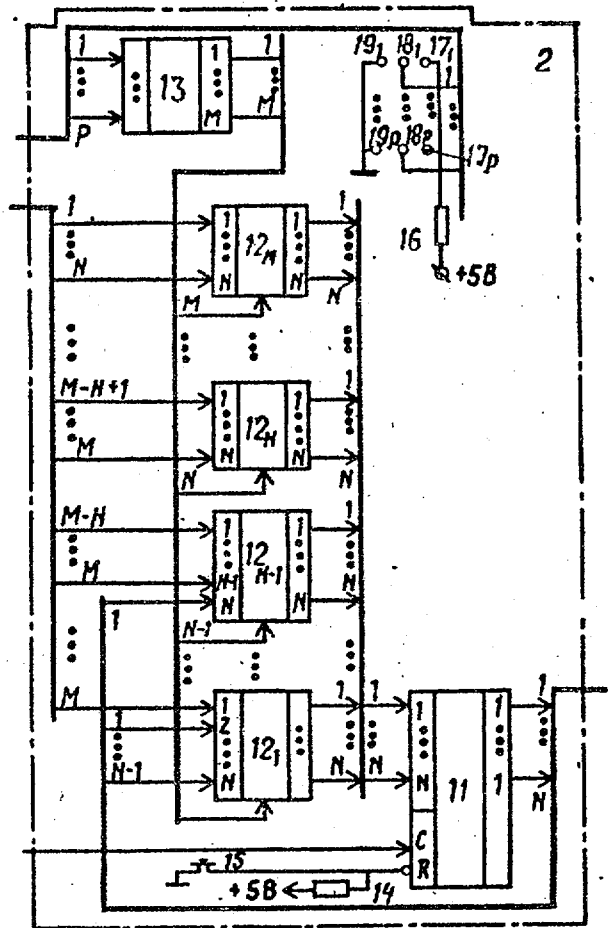
#### Ф о р м у л а и з о б р е т е н и я

- 20 Параллельный сигнатурный анализатор, содержащий группу сумматоров по модулю два, регистр, RS-триггер и элемент И, причем входы "Пуск" и "Останов" анализатора подключены соответственно к S- и R- входам RS-
- 25 триггера, выход которого соединен с первым входом элемента И, второй вход которого является синхровходом анализатора, выход элемента И соединен с входом записи регистра, инфор-
- 30 мационные входы сумматоров по модулю два группы образуют группу информационных входов анализатора, группы информационных входов сумматоров по модулю два группы соединены с выхо-
- 35 дами регистра в соответствии с видом образующего полинома, группа выходов регистра является группой информационных выходов анализатора, о т л и ч а ю щ и й с я т е м , с
- 40 целью повышения достоверности контроля при произвольном количестве информационных входов, анализатор содержит дешифратор и группу коммутаторов, первые группы информационных
- 45 входов которых соединены с группой выходов регистра, вторые группы информационных входов коммутаторов соединены с группой выходов сумматоров по модулю два группы, группы вы-
- 50 ходов коммутаторов объединены и подключены к группе информационных входов регистра, управляющие входы коммутаторов подключены к соответствующим выходам дешифратора, группа
- 55 входов которого является группой входов задания числа используемых информационных входов анализатора.



Фиг. 2

M=N



Фиг. 3

Редактор И.Рыбченко

Составитель С.Старчихин  
Техред А.Кравчук

Корректор С.Черни

Заказ 7081/47

Тираж 667

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4