



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1322379 A1

(51) 4 G 11 C 29/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 4025434/24-24
(22) 21.02.86
(46) 07.07.87. Бюл. № 25
(71) Минский радиотехнический институт
(72) Н. И. Урбанович и П. П. Урбанович
(53) 681.327.6(088.8)
(56) Авторское свидетельство СССР
№ 733034, кл. G 11 C 29/00, 1977.
Авторское свидетельство СССР
№ 1059629, кл. G 11 C 29/00, 1983.

(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО
С САМОКОНТРОЛЕМ

(57) Изобретение относится к вычислительной технике и может быть использовано при создании систем памяти с повышенной функциональной надежностью. Целью изобретения является повышение надежности устройства. Устройство содержит основной накопитель, первый и второй

коммутаторы, первый и второй формирователи паритетных символов, первый и второй формирователи контрольных символов, первый и второй дополнительные накопители, первый и второй блоки коррекции, первый, второй, третий и четвертый блоки сравнения, блоки обнаружения корректируемых и некорректируемых ошибок, корректор информации, блок исправления ошибок, блок вывода информации. В устройстве обеспечивается коррекция многократных ошибок, распределенных таким образом, что в любом столбце и в любой строке основного накопителя должно находиться не более одного неисправного элемента памяти. Блоки коррекции обеспечивают исправление ошибок, вызванных неисправностями формирователей паритетных и контрольных символов или дополнительных накопителей. 1 з. п. ф-лы, 5 ил.

(19) SU (11) 1322379 A1

Изобретение относится к вычислительной технике и может быть использовано при создании систем памяти с повышенной функциональной надежностью.

Цель изобретения — повышение надежности устройства.

На фиг. 1 изображена схема запоминающего устройства (ЗУ) с самоконтролем; на фиг. 2 — схема корректора информации; на фиг. 3 — схема блока коррекции; на фиг. 4 — схема блока обнаружения корректируемых ошибок; на фиг. 5 — схема блока обнаружения некорректируемых ошибок.

ЗУ с самоконтролем (фиг. 1) содержит основной накопитель 1 с информационными 2, адресными 3 и управляющим 4 входами, первыми 5 и вторыми 6 выходами, первый 7 и второй 8 коммутаторы, первый 9 и второй 10 формирователи паритетных символов, первый 11 и второй 12 формирователи контрольных символов, первый 13 и второй 14 дополнительные накопители с выходами 15–18 и входами 19 и 20, первый 21 и второй 22 блоки коррекции, первый 23 и второй 24 блоки сравнения, первые входы 25 блока 23 и первые входы 26 блока 24, третий блок 27 сравнения с первыми 28 и вторыми 29 входами и выходами 30, четвертый блок 31 сравнения с первыми 32 и вторыми 33 входами и выходами 34, блок 35 обнаружения корректируемых (одиночных) ошибок, выход 36 блока 35, блок 37 обнаружения некорректируемых ошибок, выход 38 блока 37, корректор 39 информации, выходы 40 которого подключены к одним входам блока 41 исправления ошибок, выходами 42 подключенного к входам блока 43 ввода информации, управляющий вход и выходы блока 43, подключенные соответственно к второму управляющему входу 44 устройства и к его информационным выходам 45.

Корректор 39 информации содержит (фиг. 2) первую группу 46 элементов И, вторую группу 47 элементов И, матрицу 48 элементов И.

Блоки 21 и 22 коррекции, (фиг. 3) содержат сумматоры 49 по модулю два, формирующие новые контрольные символы, схему 50 вычисления синдрома, декодер 51, сумматоры 52 по модулю два.

Блок 35 обнаружения корректируемых ошибок (фиг. 4) содержит дополнительные сумматоры 53 и 54 по модулю два и элемент И 55.

Блок 37 обнаружения некорректируемых ошибок (фиг. 5) содержит элемент ИЛИ 56 и элемент И 57.

Накопители 1, 13 и 14 представляют собой матрицу элементов памяти (ЭП) со схемами, обеспечивающими запись, хранение и считывание информации. Накопитель 1 содержит k_1 столбцов и k_2 строк. По

строкам размещены информационные биты, входящие в отдельные байты, по столбцам — одноименные биты отдельных байт.

Формирователи 9 и 10 паритетных символов состоят из сумматоров по модулю два, осуществляющих сложение битов информации, записываемых в ЭП соответствующего столбца или соответствующей строки (свертка по модулю два). Формирователи 11 и 12 контрольных символов также состоят из сумматоров по модулю два и производят формирование контрольных символов приемлемого кода на основании паритетных символов. Блоки 23 и 24 сравнения состоят из сумматоров по модулю два по числу контрольных символов. Блоки 27 и 31 сравнения содержат соответственно k_1 и k_2 сумматоров по модулю два. Блок 41 исправления ошибок состоит из сумматоров по модулю два, число которых равно количеству считываемой информации (битов).

Устройство работает следующим образом.

При записи информации в накопитель 1 формирователи 9 и 10 производят сложение по модулю два соответствующих битов информации, поступающих через соответствующие коммутаторы 7 и 8, на управляющие входы которых поступает, например, сигнал логической единицы. Формирователи 11 и 12 по сформированным k_1 и k_2 паритетным символам вычисляют соответственно r_1 и r_2 контрольных символов. Сформированные таким образом кодовые слова записываются соответственно в накопители 13 и 14.

В режиме считывания информации из накопителя 1 формирователи 9–12 вновь осуществляют формирование, как и в режиме записи, паритетных и соответствующих им контрольных символов. При появлении ошибок отмеченные пары соответствующих контрольных и паритетных битов будут отличаться. Блоки 21 и 22 восстанавливают истинное значение паритетных символов. В блоках 23 и 24 сравнения прочитанные контрольные символы (r_1 и r_2) поразрядно сравниваются с вновь сформированными контрольными битами. Причем, если в информационных битах имеется не более одной ошибки в любом столбце и строке накопителя, то соответствующие пары контрольных символов будут отличаться. Об этом будет свидетельствовать единичный сигнал на выходе 36 блока 35. Если же в какой-либо строке или столбце появятся два неисправных ЭП, то это будет отмечено единичным сигналом на выходе 38 блока 37. Шина этого сигнала соединяется с процессором (не показан) для прерывания выполнения команды и принятия мер к устранению двойной ошибки. На выходах 30 блока 27 сравнения и на выходах 34 блока 31 сравнения вырабатываются векторы ошибок по строкам и по столбцам. Единичные сигналы будут установлены в тех

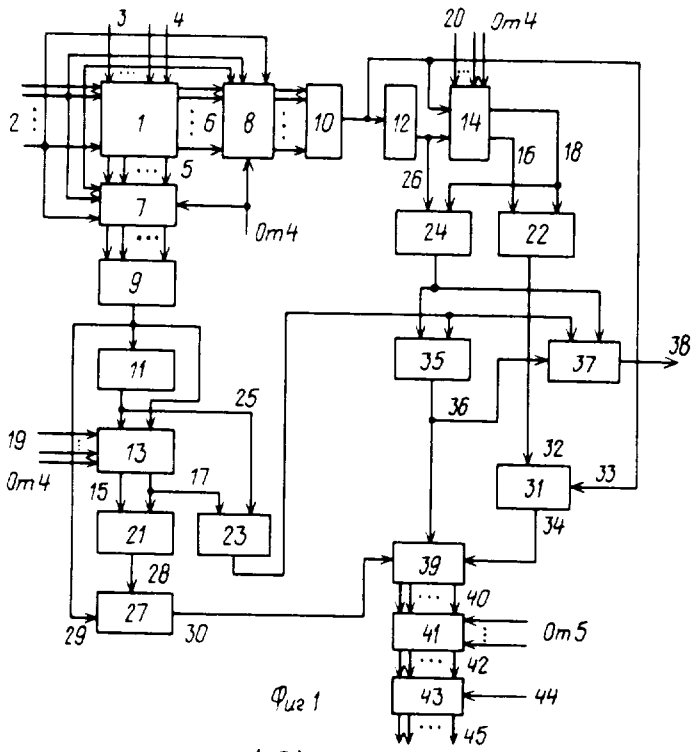
разрядах векторов, соответствующие которым столбцы и строки накопителя I содержат неисправные ЭП. Корректор 39 вырабатывает сигналы коррекции информационных бит (на выходах 40), которые поступают на одни входы сумматоров по модулю два блока 41, и инвертированием ошибочных бит считываемой информации, поступающей на другие входы соответствующих сумматоров блока 41, исправляют все одиночные ошибки, которые возникают в отдельных строках и столбцах накопителя. Информация без ошибок с выходов блока 41 поступает в блок 43 ввода информации и по поступлении на управляющий вход 44 этого блока соответствующего управляющего сигнала - на информационные выходы 45 устройства.

Формула изобретения

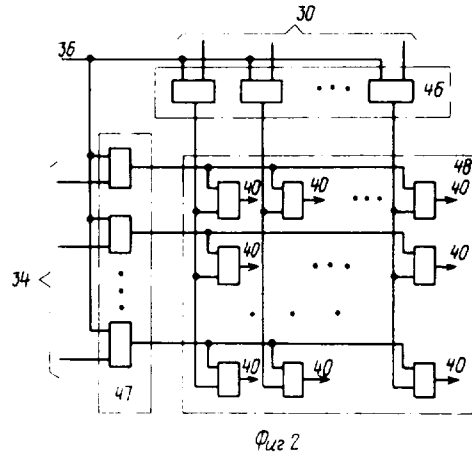
1. Запоминающее устройство с самоконтролем, содержащее основной накопитель, информационные входы которого соединены с информационными входами первой группы первого и второго коммутаторов и являются информационными входами устройства, адресные входы основного накопителя являются адресными входами первой группы устройства, вход записи считывания устройства является входом записи считывания первого и второго дополнительных накопителей и с управляющими входами первого и второго коммутаторов, информационные входы второй группы которых подключены соответственно к выходам первой и второй групп основного накопителя, а выходы соединены с входами соответственно первого и второго формирователей паритетных символов, выходы которых подключены соответственно к входам первого и второго формирователей контрольных символов, выходы которых соединены соответственно с информационными входами первой группы первого дополнительного накопителя и первого блока сравнения и с информационными входами первой группы второго дополнительного накопителя и второго блока сравнения, адресные входы первого и второго дополнительных накопителей являются соответственно адресными входами второй и третьей групп устройства, а выходы первой группы подключены соответственно к информационным входам второй группы пер-

вого и второго блоков сравнения, выходы которых соединены соответственно с входами первой и второй групп блоков обнаружения корректируемых и некорректируемых ошибок, выход блока обнаружения корректируемых ошибок соединен с входами выборки корректора информации и блока обнаружения некорректируемых ошибок, выход которого является выходом ошибки устройства, выходы корректора информации подключены к входам коррекции блока исправления ошибок, информационные входы которого соединены с выходами первой группы основного накопителя, а выходы подключены к информационным входам блока вывода информации, управляющий вход и выходы которого являются соответственно входом разрешения считывания и информационными выходами устройства, отличающееся тем, что, с целью повышения надежности устройства, в него введены первый и второй блоки коррекции, третий и четвертый блоки сравнения, причем входы первой группы третьего и четвертого блоков сравнения соединены соответственно с выходами первого и второго блоков коррекции, входы которых подключены к выходам соответственно первого и второго дополнительных накопителей, входы второй группы третьего блока сравнения соединены с выходами первого формирователя паритетных символов и с информационными входами второй группы первого дополнительного накопителя, входы второй группы четвертого блока сравнения подключены к выходам второго формирователя паритетных символов и к информационным входам второй группы второго дополнительного накопителя, выходы третьего и четвертого блоков сравнения соединены с информационными входами первой и второй групп корректора информации.

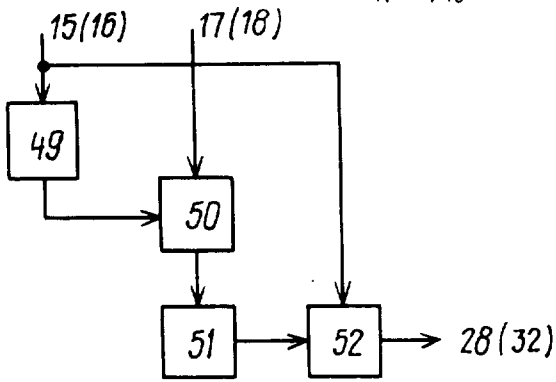
3. Устройство по п. 1, отличающееся тем, что корректор информации содержит матрицу элементов И, первые и вторые входы которых соединены соответственно с выходами элементов И первой и второй групп, а выходы являются выходами корректора информации, первые входы элементов И первой и второй групп являются соответственно информационными входами первой и второй групп корректора информации, а вторые входы элементов И первой и второй групп являются входами выборки корректора информации.



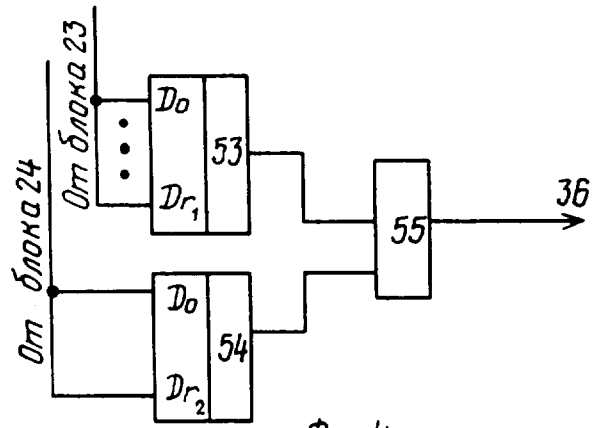
Фиг. 1



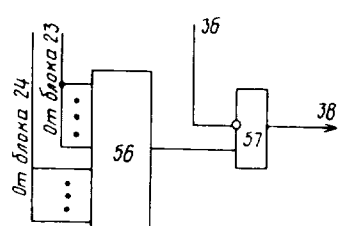
Фиг. 2



Фиг. 3



Фиг. 4



Фиг. 5

Составитель О. Исаев
 Редактор С. Пекарь
 Техред И. Верес
 Заказ 2873:50
 Тираж 589
 Корректор С. Черни
 Подписное
 ВНИИПИ Государственного комитета СССР по делам изобретений и открытий
 113035, Москва, Ж 35, Раушская наб., д. 4/5
 Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4