



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

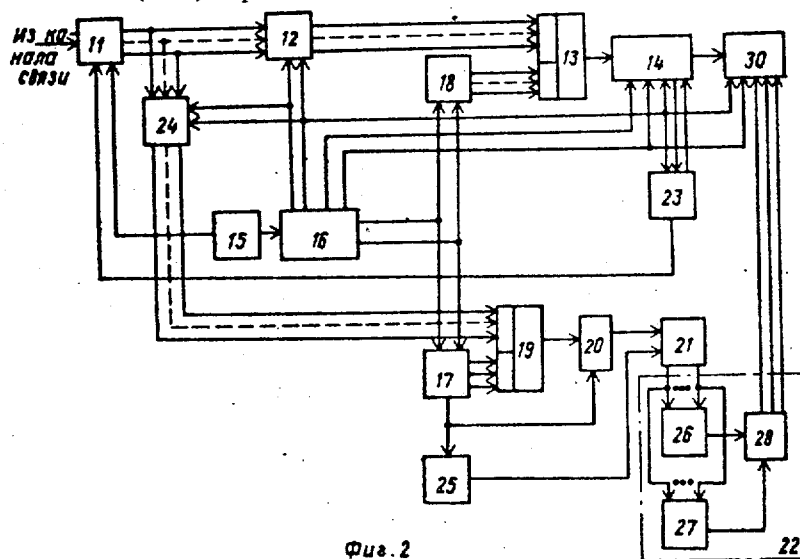
- (21) 3910087/24-09
- (22) 11.06.85
- (46) 30.07.87. Бюл. № 28
- (71) Минский радиотехнический институт
- (72) А.И.Королев, О.Д.Купеев, С.И.Каракулько, Э.А.Чуйко, Е.Ф.Каменев и А.Ю.Курковский
- (53) 621.394.14(088.8)
- (56) Патент США № 3988767, кл. Н 04 L 1/10, 1976.

The Bell System Technical Journal, т.61, № 8, с.1912, рис.1, 1982.

(54) СВЕРТОЧНЫЙ КОДЕК С АЛГОРИТМОМ ПОРОГОВОГО ДЕКОДИРОВАНИЯ

(57) Изобретение может быть использовано в системах цифрового радиовещания и ТВ вещания при использовании высокоскоростных сверточных кодов и порогового декодирования. Цель изобретения - повышение помехоустойчивости. Считывание символов синдромной последовательности (ССП) произво-

дится с помощью мультиплексора 19, управляемого формирователем 17 управляющих сигналов. За время считывания СПП нового поступления кодовой информации не производится. После окончания считывания СПП производится разблокировка преобразователя 11 последовательного кода в параллельный код, демультиплексора 12, декодера 14, приемника 30 информации и формирователя 24 проверочной и синдромной последовательностей. Кодовые символы с входа демультиплексора 12 через мультиплексор 13 поступают на информационный вход декодера 14. Производится формирование СПП декодера 14, обнаружение и исправление ошибок. С выхода преобразователя 11 на информационные входы формирователя 24 поступают новые кодовые импульсы. Вновь производится формирование символов проверочной и синдромной последовательностей. 2 ил.



Фиг. 2

Изобретение относится к электро- связи и может использоваться в систе- мах цифрового радиовещания и цифро- вого телевизионного вещания при исполь- зовании высокоскоростных сверточных кодов и порогового декодирования.

Цель изобретения - повышение поме- хоустойчивости.

На фиг. 1 и 2 представлены структур- ные электрические схемы сверточного кодека с алгоритмом порогового деко- дирования.

Сверточный кодек с алгоритмом поро- гового декодирования содержит на пе- редающей стороне кодер 1 канала, пе- ремежитель 2, мультиплексор 3, эле- мент ИЛИ 4, синхрогенератор 5, форми- рователь 6 последовательностей так- товых импульсов, первый и второй формирователи 7 и 8 управляющих сиг- налов, дополнительный мультиплексор 9 и формирователь 10 проверочной по- следовательности, на приемной сторо- не - преобразователь 11 последова- тельного кода в параллельный код, депережежитель 12, мультиплексор 13, декодер 14 канала, синхрогенератора 15, формирователь 16 последователь- ностей тактовых импульсов, первый и второй формирователи 17 и 18 управ- ляющих сигналов, дополнительный мульт- иплексор 19, элемент 20 совпадения, счетчик 21 импульсов, блок 22 дешиф- раторов, блок 23 цикловой синхрониза- ции, формирователь 24 проверочной и синдромной последовательностей, форми- рователь 25 сигнала "Интервал ана- лиза".

Блок 22 дешифраторов содержит пер- вый, второй и третий дешифраторы 26- 28.

На фиг. 1 и 2 также изображены ис- точник 29 информации и приемник 30 информации, которые являются само- стоятельными устройствами.

Сверточный кодек с алгоритмом по- рогового декодирования работает сле- дующим образом.

Информация от источника 29 инфор- мации в последовательном коде посту- пает на вход кодера 1, в котором в соответствии с выбранными порождаю- щими полиномами  $q_1(D)=1+D$ ,  $q_2(D)= (1+D)^2$ ,  $q_3(D)=1+D^3$ , где  $D$  - инфор- мационные символы, производится ко- дирование информации самоортогональ- ным сверточным кодом с алгоритмом порогового декодирования. В процессе

кодирования из информационных симво- лов формируются проверочные символы

$$T^{(i)}(D) = \sum_{j=1}^{K_0} G^{(j)}(D) \times I^{(j)}(D), \quad j=1,2,3;$$

$K_0=3$ ,  $i = K_0+1$ , коды скорости переда- чи кода  $R=3/4$  и корректирующей спо- собности кода  $I=2$ . Длина кодового ог- раничения составляет  $n_A=(m+1) \cdot n_0$  сим- волов, где  $m$  - наивысшая степень по- рождающих полиномов,  $n_0$  - провероч- ный символ. На данной длине кодового ограничения  $n_A$  код гарантированно ис- правляет одиночные и двойные ошибки.

Сформированные кодовые символы с выхода кодера 1 поступают на вход пе- ремежителя 2, в котором производится распределение кодовой последователь- ности на  $I=n_A$  параллельных ветвей.

Символы первой ветви перемежителя 2 передаются без задержки. Кодовые сим- волы остальных  $(I-1)$  параллельных вет- ветей передаются с задержкой соответст- венно  $\beta, 2\beta, \dots, (I-1)\beta$  тактов. В результате перемежения каждые два входных символа на выходе перемежите- ля 2 отстоят друг от друга на  $n_A$  сим- волов. Следовательно, плотный пакет ошибок кратностью  $t_h = n_A$  после депе- ремежения распределяется в одиночные ошибки на длине каждой  $n_A$ .

Кодовые символы с выхода переме- жителя 2 в параллельном коде поступа- ют на информационные входы мульти- плексора 3 и формирователя 10. Кодо- вые символы с выхода мультиплексора 3 через элемент ИЛИ 4 поступают в ка- налы связи. Одновременно в форми- рователь 10, состоящий из  $I$  параллель- ных  $n_A$  разрядных регистров сдвига и  $I$  сумматоров по модулю два, входы которых подключены к выходам разря- дов соответствующих  $n_A$ -разрядных ре- гистров сдвига, записывается  $N = I \beta \cdot n_A = n_A^2$  кодовых символов, из которых формируется  $n_A$  символов про- верочной последовательности.

В первый регистр сдвига форми- рователя 10 записываются первые симво- лы всех кодовых ограничений  $n_A$ . Во второй регистр сдвига формирователя 10 записываются вторые символы всех кодовых ограничений  $n_A$  и т.д. При этом первый  $w_1$  символ проверочной по- следовательности представляет собой сумму по модулю два первых символов всех  $I$  кодовых ограничений  $n_A$ . Вто- рой  $w_2$  символ проверочной последова- тельности представляет собой сумму

по модулю два вторых символов всех  $I$  кодовых ограничений  $n_A$  и т.д. Последний  $w_{t_n}$  символ проверочной последовательности представляет собой сумму по модулю два последних символов всех 9 кодовых ограничений.

Сформированные через  $t_n$  тактов символы последовательности в параллельном коде поступают на информационные входы дополнительного мультиплексора 9. Производится считывание символов проверочной последовательности в канал связи. На время считывания производится блокировка по соответствующим тактовым входам источника 29 информации, а также кодера 1, перемежителя 2, формирователя 10 и первого формирователя 7, в результате чего передача, кодирование и перемежение новой информации не производятся.

После передачи в канал связи последнего  $w_{t_n}$  символа проверочной последовательности производится разблокировка источника 29 информации, кодера 1, перемежителя 2, формирователя 10, первого формирователя 7 и блокировка второго формирователя 8. Далее процесс кодирования, перемежения, формирования символов проверочной последовательности и считывание информации в канал связи осуществляется аналогичным образом. В результате информация в канал связи передается блоками из  $n_A^2 + w$  кодовых символов:  $n_A^2 \cdot R$  - информационных символов и  $[n_A^2(1-R)+w]$  - проверочных символов (с учетом избыточности кода и символов дополнительной проверочной последовательности).

На приемной стороне кодовая последовательность поступает на информационный вход преобразователя 11, в котором производится преобразование кодовой последовательности из последовательного кода в параллельный код, т.е. входная кодовая последовательность распределяется на  $I = n_A = 16$  параллельных подпотоков. С выхода преобразователя 11 символы информационных подпотоков одновременно поступают на входы соответствующих регистров сдвига деперемежителя 12 и формирователя 24.

Согласование по фазе выходных информационных подпотоков преобразователя 11 с входными информационными подпотоками мультиплексора 3 и до-

полнительного мультиплексора 9 осуществляется блоком 23 цикловой синхронизации.

Далее приводится работа сверточного кодера с алгоритмом порогового декодирования после установления цикловой синхронизации преобразователя 11.

С выходов деперемежителя 12 кодовые символы через мультиплексор 13 поступают на вход декодера 14. Производится формирование синдрома, обнаружение и исправление ошибок в пределах корректирующей способности кода и передача информации в приемник 30 информации.

Если в канале связи пакеты ошибок не превышают кратности  $t_n = n_A$  и защитный промежуток между пакетами равен  $l_3 = N - t_n$ , то после деперемежения на вход декодера 14 будут поступать кодовые комбинации из  $n_A$  символов, содержащие по одной ошибке, т.е. не превышающие корректирующей способности выбранного кода.

В формирователе 24 из принятых кодовых символов, по алгоритму, как и на передающей стороне в кодере 1, формируются символы дополнительной проверочной последовательности  $w_1^i, w_2^i, w_3^i, w_{t_n}^i$ .

В это время первый формирователь 17 заблокирован соответствующим сигналом с формирователя 16. После  $t_n$  тактов записи информации в регистры сдвига деперемежителя 12 и формирователя 24 производится блокировка сигналом с формирователя 16 деперемежителя 12 второго формирователя 18, декодера 14 приемника 30 информации. Через  $t_n + 1$  тактов осуществляется блокировка преобразователя 11 и первого формирователя 17. Производится формирование символов синдромной последовательности  $S = w + w^i = (w_1 \oplus w_1^i), (w_2 \oplus w_2^i), \dots, (w_{t_n} \oplus w_{t_n}^i)$  путем суммирования по модулю два  $n$  символов проверочной последовательности, сформированной из принятых кодовых символов проверочной последовательности, и считывание символов синдромной последовательности. За время считывания синдромных символов поступление новой кодовой информации не производится.

Считывание символов синдромной последовательности производится с помощью дополнительного мультиплексора

19, управляемого первым формирователем 17.

С выхода дополнительного мультиплексора 19 символы синдромной последовательности через элемент 20 совпадения поступают на вход счетчика 21, производящего подсчет числа ненулевых символов синдромной последовательности на заданном интервале анализа  $1_A$ , который устанавливается формирователем 25 и принимается равным  $1_A + n_A$ .

После окончания считывания синдромных символов производится разблокировка преобразователя 11, демультиплексора 12, декодера 14, приемника 30 информации и формирователя 24, состоящего из  $I=n_A$  регистров сдвига, выходы разрядов которых подсоединены к входам соответствующих многоходовых сумматоров по модулю два, выходы которых и информационные входы первых разрядов соответствующих регистров сдвига, являющиеся информационными входами формирователя 17, подключены к входам двухходовых сумматоров по модулю два, выходы которых являются выходами формирователя 17.

Кодовые символы с входа демультиплексора 12 через мультиплексор 13 поступают на информационный вход декодера 14. Производится формирование синдромной последовательности декодера 14, обнаружение и исправление ошибок. С выхода преобразователя 11 на информационные входы формирователя 24 поступают новые кодовые символы. Вновь производится формирование символов проверочной и синдромной последовательностей.

Количество ненулевых символов синдромной последовательности на интервале анализа фиксируется первым и вторым дешифраторами 26 и 27. Если пакет ошибок в принятых кодовых символах не превышает интервала перемежения, т.е.  $t \leq t_n$ , то срабатывает первый дешифратор 26. Если пакет ошибок  $t > t_n$ , то срабатывает второй дешифратор 27.

Сигналы с выходов первого и второго дешифраторов 26 и 27 поступают на соответствующие входы третьего дешифратора 28, который формирует три сигнала  $Y_1, Y_2, Y_3$ , характеризующие кратность пакетов ошибок в канале связи ( $Y_1$  соответствует пакету ошибок  $t_1 \leq t_n$ ;  $Y_2$  - пакету ошибок  $t_2 < t_n$ ;  $Y_3$  - пакету ошибок  $t_1 < t < t_2$ ); сос-

тояние канала связи ( $Y_1$  соответствует хорошему состоянию канала связи;  $Y_3$  - плохому состоянию канала связи;  $Y_2$  - неопределенному состоянию канала связи); достоверность декодируемой информации ( $Y_1$  соответствует заданной достоверности приема информации;  $Y_2$  - достоверности приема информации много ниже заданной;  $Y_3$  - достоверности приема информации ниже заданной).

Выбор конкретных значений порогов первого ( $n_1$ ) и второго ( $n_2$ ) дешифраторов 26 и 27 зависит от параметров кода ( $R, I, n_A$ ), перемежителя 2 и демультиплексора 12 ( $I$  и  $\beta$ ).

Для выбранного в примере параметров кода  $R=3/4, I=2, n_A=16$  и перемежителя - демультиплексора  $\beta=1, I=n_A=16$  значения порогов  $n_1$  и  $n_2$  выбираются следующими.

Если пакет ошибок в канале связи  $t_n \leq n_A$  возникает в любом месте принятых кодовых символов, то в сформированной синдромной последовательности ( $S=t_n=n_A$ ) формирователя 24 в среднем  $t_n/2$  символов в пакете будут неправильными, следовательно,  $S/2$  синдромных символов будут ненулевыми. Учитывая дисперсию ( $\delta$ ) распределения ошибочных символов внутри пакетов ошибок, которая для данной кратности пакетов ошибок составляет  $t_n/7$ , значение порога  $n_1 = S/2 - 3\delta$ .

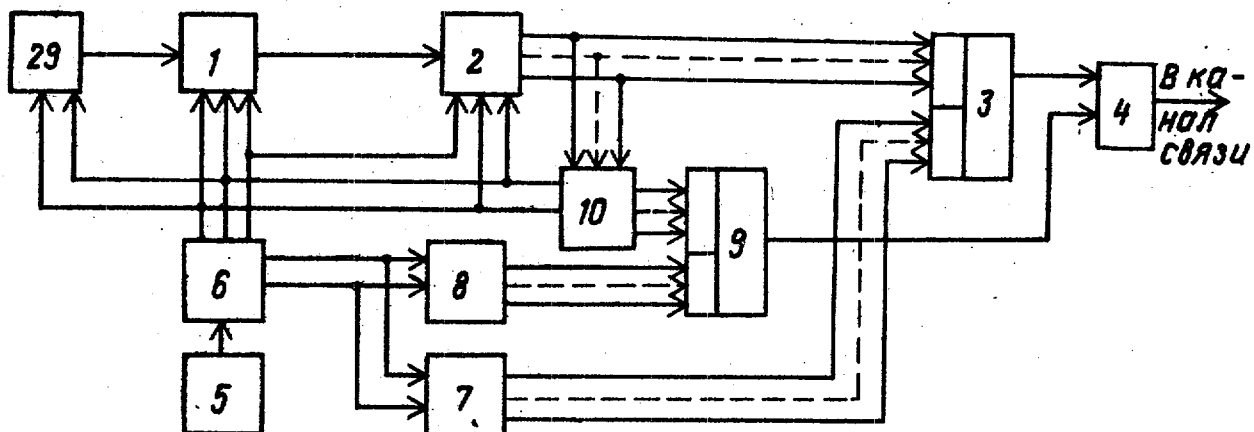
При кратности пакета ошибок  $t_n > I = n$  в среднем  $t_n/2$  кодовых символов будут ошибочными. Поэтому значения второго порога  $n_2$  выбирается равным  $S/2$ .

#### Ф о р м у л а и з о б р е т е н и я

Сверточный кодек с алгоритмом порогового декодирования, содержащий на передающей стороне последовательно соединенные кодер канала, перемежитель и мультиплексор, последовательно соединенные синхрогенератор и формирователь последовательностей тактовых импульсов, на приемной стороне - последовательно соединенные преобразователь последовательного кода в параллельный код, демультиплексор, мультиплексор, декодер канала, последовательно соединенные синхрогенератор и формирователь последовательностей тактовых импульсов, а также блок цикловой синхронизации, причем вход кодера канала и выход декодера

канала являются входом и информационным выходом сверточного кодека, отличающийся тем, что, с целью повышения помехоустойчивости, на передающей стороне введены последовательно соединенные формирователь проверочной последовательности, дополнительный мультиплексор и элемент ИЛИ, а также первый и второй формирователи управляющих сигналов, при этом первые тактовые входы кодера канала, перемежителя и формирователя проверочной последовательности подключены к первому выходу формирователя последовательностей тактовых импульсов, второй и третий выходы которого подсоединены соответственно к объединенным вторым тактовым входам кодера канала и перемежителя и объединенным тактовым входам первого и второго формирователей управляющих сигналов, четвертый и пятый выходы формирователя последовательностей тактовых импульсов подсоединены соответственно к объединенным блокировочным входам кодера, перемежителя и формирователя проверочной последовательности и объединенным блокировочным входам первого и второго формирователей управляющих сигналов, выходы которых подсоединены соответственно к управляющим входам мультиплексора и дополнительного мультиплексора, выходы перемежителя подсоединены к соответствующим информационным входам формирователя проверочной последовательности, а выход мультиплексора подсоединен к второму входу элемента ИЛИ, на приемной стороне введены последовательно соединенные формирователь проверочной и синдромной последовательностей, дополнительный мультиплексор, элемент совпадения, счетчик импульсов и блок дешифраторов, последовательно соединенные первый формирователь управляющих сигналов и формирователь сигнала "Интервал анализа", а также второй формирователь управляющих сигналов, при этом первый и второй выходы формирователя последовательностей тактовых импульсов подсоединены соответственно к первым тактовым входам перемежителя, формирователя проверочной и синдромной последовательностей и декодера канала, объединенным с тактовым

входом блока цикловой синхронизации, и к объединенным вторым тактовым входам перемежителя и формирователя проверочной и синдромной последовательностей, второй и третий тактовые входы декодера канала подсоединены соответственно к третьему и четвертому выходам формирователя последовательностей тактовых импульсов, пятый и шестой выходы которого подсоединены соответственно к первым и вторым входам второго и первого формирователей управляющих сигналов, выходы которых подсоединены к соответствующим управляющим входам соответственно мультиплексора и дополнительного мультиплексора, дополнительный выход первого формирователя управляющих сигналов и выход формирователя сигнала "Интервал анализа" подсоединены соответственно к второму входу элемента совпадения и установочному входу счетчика импульсов, информационный вход, первый и второй выходы блока цикловой синхронизации подсоединены соответственно к дополнительному выходу и цикловому входу декодера канала и цикловому входу преобразователя последовательного кода в параллельный код, тактовый вход которого подключен к дополнительному выходу синхрогенератора, причем блок дешифраторов состоит из первого и второго дешифраторов, выходы которых подсоединены к соответствующим входам третьего дешифратора, попарно объединенные входы первого и второго дешифраторов и выходы третьего дешифратора являются соответственно входами и выходами блока дешифраторов, а выход элемента ИЛИ передающей стороны и вход преобразователя последовательного кода в параллельный код приемной стороны являются соответственно канальными выходом и входом сверточного кодека, первый и четвертый выходы формирователя последовательностей тактовых импульсов передающей стороны и первый и четвертый выходы формирователя последовательностей тактовых импульсов и выходы блока дешифраторов приемной стороны являются соответственно тактовыми и управляющими передающими выходами и тактовыми и управляющими приемными выходами сверточного кодека.



Фиг. 1

Составитель В. Орлов  
 Редактор И. Касарда      Техред Л. Сердюкова      Корректор И. Муска

Заказ 3399/55      Тираж 901      Подписное  
 ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4