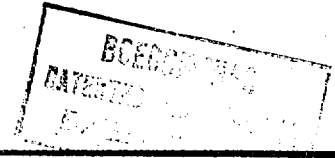




(51)4 G 06 F 15/31

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР

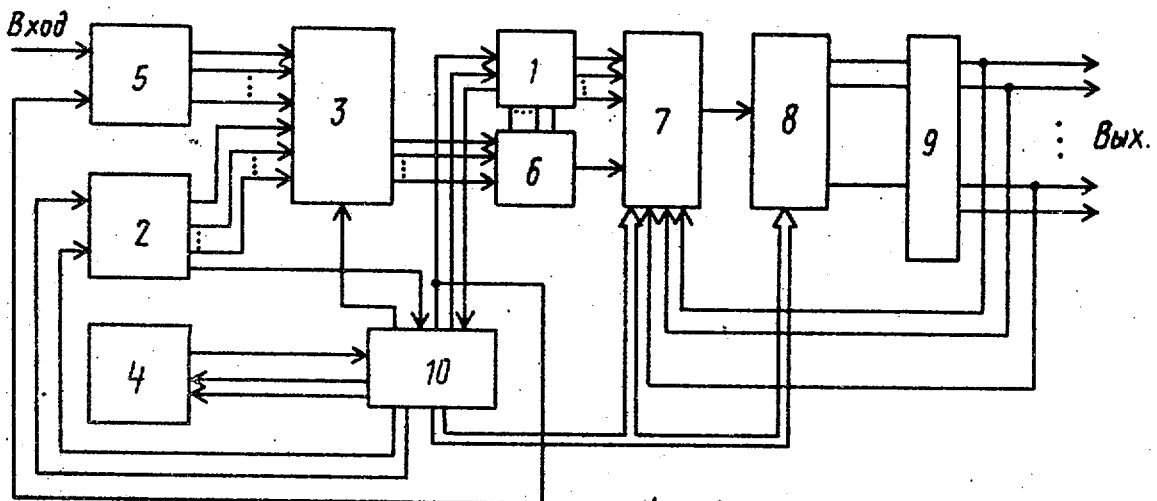
ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 4281167/24-24
(22) 10.07.87
(46) 23.04.89. Бюл. № 15
(71) Минский радиотехнический институт
(72) И.П.Кобяк, В.М.Галецкий,
В.Д.Руденко и В.А.Липницкий
(53) 681.327.6(088.8)
(56) Авторское свидетельство СССР
№ 1164728, кл. G 06 F 15/31, 1985.
Авторское свидетельство СССР
№ 1242984, кл. G 06 F 15/31, 1986.

- (54) ПРЕОБРАЗОВАТЕЛЬ ФОРМЫ ПРЕДСТАВЛЕНИЯ ЛОГИЧЕСКИХ ФУНКЦИЙ
(57) Изобретение относится к автоматике и вычислительной технике. Преобразователь содержит первый счет-

чик 1, первый регистр 5, первый блок 6 преобразования, реализующий вычисление функции вида $f(x)$, ($f(x) = a_0 + a_1x_1 + \dots + a_{i-1}x_{i-1} + \dots + x_i$), и блок 10 управления. Цель изобретения - расширение функциональных возможностей за счет преобразования функции произвольного числа переменных из совершенной дизъюнктивной нормальной формы в полиномиальную и наоборот. В преобразователь введены счетчик 2 адреса, второй счетчик 4, блок памяти 3, второй регистр 8, блок 9 элементов НЕРАВНОЗНАЧНОСТЬ, второй блок 7 преобразования, реализующий вычисление функции вида $f_k(x)$, ($f_k(x) = x_k f(x)$, $K=i+1, \dots, m$). 2 ил.



Фиг.1

Изобретение относится к автоматике и вычислительной технике и может быть использовано для преобразования формы представления логических функций из совершенной дизъюнктивной нормальной формы в полиномиальную и наоборот в автоматизированных системах проектирования цифровых устройств.

Цель изобретения - расширение функциональных возможностей за счет преобразования функции произвольного числа переменных из совершенной дизъюнктивной нормальной формы в полиномиальную и наоборот.

Известно, что коэффициенты $a_0, a_1, a_2, \dots, a_{2^i-1}$ полиномиальной формы представления логической функции

$$f(x) = a_0 \oplus a_1 x_1 \oplus a_2 x_1 x_2 \oplus a_3 x_1 x_2 \dots \oplus a_{2^i-1} x_1 x_2 \dots x_i$$

могут быть получены на основании коэффициентов совершенной дизъюнктивной нормальной формы той же функции

$$f(x) = \sum_{i=0}^{2^i-1} f_i(x_1, x_2, \dots, x_i)$$

следующим образом:

$$\begin{vmatrix} a_0 \\ a_1 \\ \vdots \\ a_{2^i-1} \end{vmatrix} = S^i \begin{vmatrix} f_0 \\ f_1 \\ \vdots \\ f_{2^{i-1}-1} \end{vmatrix}$$

Для $i=0$ матрица $S^0=1$. Матрица S^i для i переменных образуется из матрицы S^{i-1} для $i-1$ переменных по следующему правилу:

$$S^i = \begin{vmatrix} S^{i-1} & 0 \\ S^{i-1} & S^{i-1} \end{vmatrix}$$

Известные технические решения позволяют строить преобразователи логических функций для числа переменных $m \leq i$. В случае, когда $m > i$, возникает необходимость разработки нового устройства. Однако для $m > i$ переменных (например, $m=i+1$) полиномиальная функция может быть представлена в виде

$$f(x) = a_0 \oplus a_1 x_1 \oplus a_2 x_1 x_2 \oplus \dots \oplus a_{2^i-1} x_1 \dots x_i \oplus a_{2^i} x_1 \dots x_i x_{i+1} \oplus a_{2^{i+1}-1} x_1 \dots x_{i+1}$$

т.е. добавление одной переменной увеличивает длину многочлена в 2 раза, но вынесение за скобки добавляемой переменной позволяет представить полиномиальную функцию в виде суммы однородных многочленов, различающихся только индексами при коэффициентах. Поэтому процесс вычисления может производиться поэтапно путем вычисления многочленов i -й степени, умножения их на дополнительную переменную с последующим суммированием.

На фиг. 1 приведена структурная схема преобразователя формы представления логических функций; на фиг. 2 - общий принцип построения основных блоков преобразователя и их взаимосвязи.

Преобразователь формы представления логических функций (фиг. 1) содержит первый счетчик 1, второй счетчик 2 адреса, блок 3 памяти, второй счетчик 4, первый регистр 5, первый блок 6 преобразования, реализующий вычисление функции вида $f(x)$, ($f(x) = a_0 \oplus a_1 x_1 \oplus a_2 x_1 x_2 \oplus \dots \oplus a_{2^i-1} x_1 \dots x_i$), второй блок 7 преобразования, реализующий вычисление функции $f_k(x)$, ($f_k(x) = x_k f(x)$, $K=i+1, \dots, m$), второй регистр 8, блок 9 элементов НЕРАВНОЗНАЧНОСТЬ и блок 10 управления.

Первый регистр 5 (фиг. 2) представляет собой сдвиговый регистр, предназначенный для последовательной записи i -разрядного двоичного вектора коэффициентов полиномиальной функции.

Счетчик 2 адреса предназначен для формирования адресов блока 3 памяти. Счетчик построен по схеме с последовательным переносом. Выход последовательного переноса, свидетельствующий об окончании перебора адресов блока 3 памяти, формирует сигнал, принимаемый блоком управления.

Блок 3 памяти (фиг. 2) необходим для хранения различных коэффициентов многочлена от i -переменных. Емкость ОЗУ выбирается из расчета преобразования функции от m переменных, т.е. имеется $2^m - i$ ячеек.

Второй счетчик 4 (фиг. 2) предназначен для подсчета количества информации, поступающей в первый регистр 5. При заполнении регистра формируется сигнал переполнения, поступающий на блок 10 управления.

Первый счетчик 1 предназначен для подачи на схему преобразователя кодовых комбинаций, необходимых для осуществления преобразования формы представления логической функции.

Первый блок 6 преобразования, реализующий вычисление функции $f(x)$ (фиг. 2), состоит из блока элементов И и многовходового элемента НЕРАВНОЗНАЧНОСТЬ. Первая группа входов блока 6 предназначена для подачи функций счета с соответствующих выходов счетчика 1. На входы второй группы подается информация с выходов блока 3 памяти. Эти сигналы являются сигналами разрешения подключения элементов И к входам элемента НЕРАВНОЗНАЧНОСТЬ, причем к входам j -го элемента И подсоединены выходы счетчика 1, веса которых представляют собой двоичные логарифмы от соответствующих элементов двоичного разложения номера j .

Второй блок 7 преобразования, реализующий вычисление функции $f_k(x)$ (фиг. 2), служит для логического умножения.

Второй регистр 8 (фиг. 2) предназначен для хранения промежуточных результатов, полученных в процессе итеративного вычисления функции. Информационные входы триггеров данного регистра соединены вместе и подключены к выходу второй комбинационной схемы. Управление записью в соответствующий триггер регистра осуществляется сигналом блока 10 управления. Выходы регистра являются входами блока 9 элементов НЕРАВНОЗНАЧНОСТЬ.

Блок 9 элементов НЕРАВНОЗНАЧНОСТЬ (фиг. 2) представляет собой набор стандартных двухвходовых элементов булевой алгебры и предназначен для суммирования по модулю два промежуточных результатов (полиномов от i -переменных) с целью вычисления коэффициентов полинома от заданного числа переменных. Выходы блока 9 являются выходами преобразователя.

Блок 10 управления предназначен для формирования управляющих и синхронизирующих сигналов, необходимых для работы преобразователя. В состав блока входят микропрограммное устройство управления, состоящее из регистра адреса и ПЗУ, двухвходовые элементы И, синхронные RS-триггеры, дешифратор, генератор тактовых им-

пульсов и другие логические элементы, а также элементы коммутации и индикации.

Преобразователь работает следующим образом.

Пусть требуется преобразовать полиномиальную функцию в СДНФ. И пусть функция четырех переменных имеет вид

$$f(x) = a_0 \oplus a_1 x_1 \oplus a_2 x_2 \oplus a_3 x_1 x_2 \oplus a_4 x_3 \oplus a_5 x_1 x_3 \oplus a_6 x_2 x_3 \oplus a_7 x_1 x_2 x_3 \oplus a_8 x_4 \oplus a_9 x_1 x_4 \oplus a_{10} x_2 x_4 \oplus a_{11} x_1 x_2 x_4 \oplus a_{12} x_3 x_4 \oplus a_{13} x_1 x_3 x_4 \oplus a_{14} x_2 x_3 x_4 \oplus a_{15} x_1 x_2 x_3 x_4.$$

Преобразуют функцию к следующему виду:

$$f(x) = a_0 \oplus a_1 x_1 \oplus a_2 x_2 \oplus a_3 x_1 x_2 \oplus a_4 x_3 \oplus a_5 x_1 x_3 \oplus a_6 x_2 x_3 \oplus a_7 x_1 x_2 x_3 \oplus x_4 (a_8 \oplus a_9 x_1 \oplus a_{10} x_2 \oplus a_{11} x_1 x_2 \oplus a_{12} x_3 \oplus a_{13} x_1 x_3 \oplus a_{14} x_2 x_3 \oplus a_{15} x_1 x_2 x_3).$$

В этом случае $i=3$, $m=4$ и блок 3 памяти хранит 2 байта коэффициентов a_0, \dots, a_7 и a_8, \dots, a_{15} , которые записываются в ОЗУ после преобразования из последовательного кода в параллельный в регистре 5. Счетчик 2 адреса в данном случае содержит один разряд, т.е. позволяет адресовать два байта памяти блока 3. Счетчик 4 содержит три разряда, так как разрядность регистра 5 в этом случае может быть равна восьми. При вычислении коэффициентов СДНФ счетчик 2 устанавливается в нулевое состояние, что позволяет адресовать ячейку памяти, содержащую коэффициенты a_8, \dots, a_{15} . Данный вектор коэффициентов поступает на вход блока 6, на выходе которого формируется выражение, стоящее в скобках преобразованной функции. По управляющему сигналу блока 10 управления вычисленное значение через двухвходовой элемент И второго блока 7 записывается в первый триггер регистра 8, после чего вычисленное значение умножается на переменную x_4 на трехвходовом элементе И второго блока 7 и записывается во второй триггер регистра 8. После этого происходит увеличение содержимого счетчика 2 на единицу. Из блока 3 памяти на вход блока 6 считывается вектор коэффициентов a_0, \dots, a_7 , что позволяет вычислить

соответствующую часть полиномиальной функции $f(x)$. Данная часть функции через блок 7 записывается в первый триггер регистра 8. Двухходовой элемент НЕРАВНОЗНАЧНОСТЬ формирует значение функции $f(x)$ путем суммирования ее обеих частей, хранимых в триггерах регистра 8. Такое преобразование осуществляется для всех 2^m наборов переменных, подаваемых с выхода счетчика 1, что позволяет вычислить все 2^m коэффициента СДНФ.

Рассмотрим преобразование СДНФ в полиномиальную форму. В данном случае учитывается тот факт, что преобразование функции из СДНФ в полиномиальную и из полиномиальной в СДНФ обратимо, т.е.

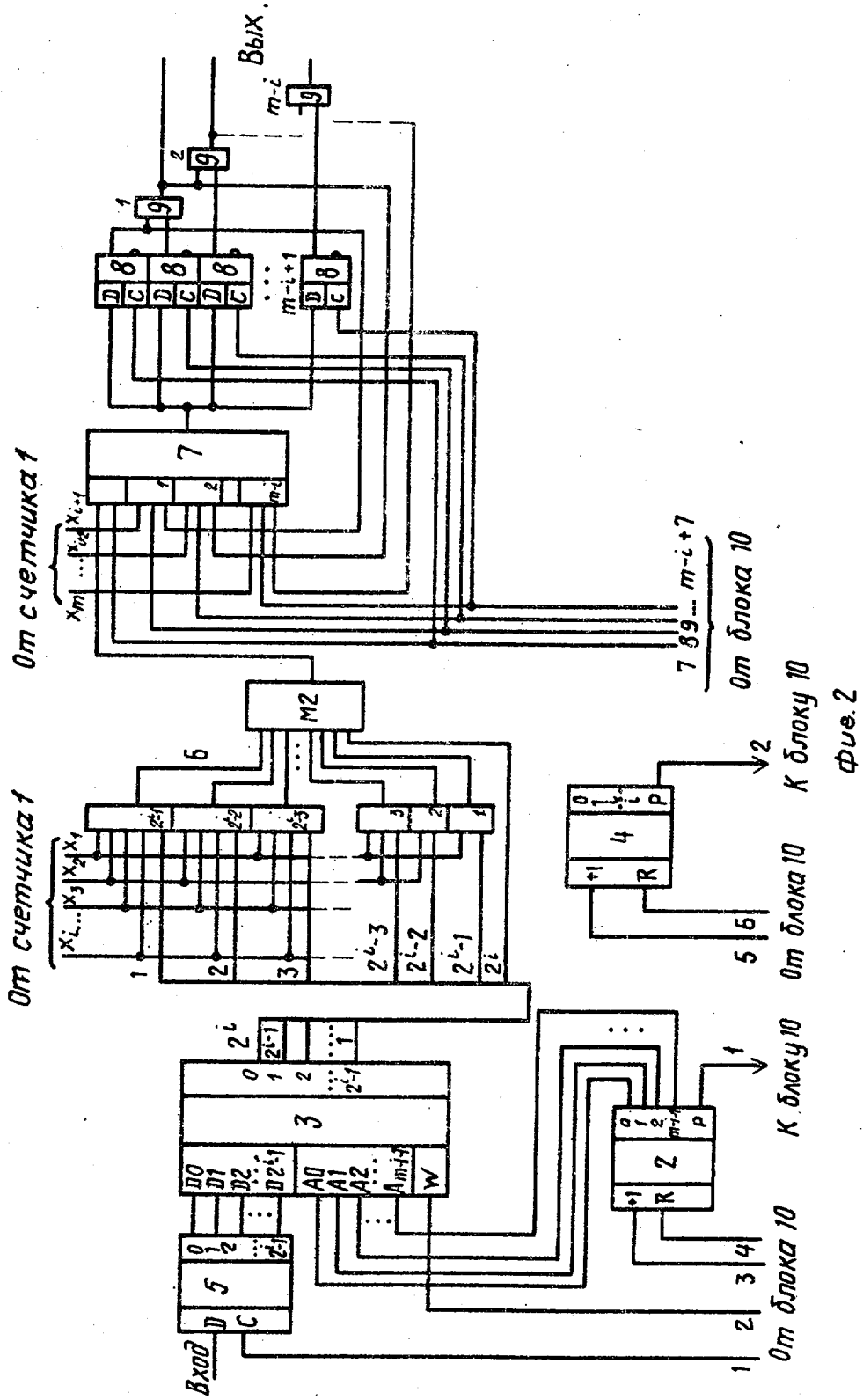
$$\begin{vmatrix} f_0 \\ f_1 \\ \cdot \\ \cdot \\ \cdot \\ f_{2^i-1} \end{vmatrix} = S^i \begin{vmatrix} a_0 \\ a_1 \\ \cdot \\ \cdot \\ \cdot \\ a_{2^i-1} \end{vmatrix}$$

Следовательно, схемы для прямого и обратного преобразований эквивалентны, т.е. в случае преобразования СДНФ в полиномиальную форму в блок 3 памяти записываются коэффициенты СДНФ, а функционирование устройства осуществляется, как и в случае преобразования полиномиальной формы в СДНФ.

Ф о р м у л а и з о б р е т е н и я

Преобразователь формы представления логических функций, содержащий первый счетчик, первый регистр, первый блок преобразования, реализующий вычисление функций $f(x)$ ($f(\bar{x}) = a_0 \oplus a_1 x_1 \oplus a_2 x_2 \oplus \dots \oplus a_{2^i-1} \bar{x}_1 \dots \bar{x}_i$), и блок управления, причем i выходов первого счетчика подключены к входам первой группы первого блока преобразования, реализующего вычисление функции $f(x)$, вход инкрементации первого счетчика и вход синхронизации первого регистра подключены к первому выходу блока управления, вход сброса первого счетчика подключен к второму выходу блока управления, о т л и ч а ю щ и й с я тем, что, с целью расширения функциональных

возможностей за счет преобразования функции произвольного числа переменных из совершенной дизъюнктивной нормальной формы в полиномиальную и наоборот, в него введены счетчик адреса, второй счетчик, блок памяти, второй блок преобразования, реализующий вычисление функций $f_k(x)$ ($f_k(x) = x_k \cdot f(x)$, $K=i+1, \dots, m$), второй регистр, блок элементов НЕРАВНОЗНАЧНОСТЬ, причем вход последовательной записи первого регистра является входом преобразователя, информационные выходы первого регистра подключены к информационным входам коэффициентов блока памяти, адресные входы которого подключены к выходам счетчика адреса, информационные выходы блока памяти подключены к входам коэффициентов первого блока преобразования, реализующего вычисление функции $f(x)$, $i+1, \dots, m$, выходы первого счетчика и выход первого блока преобразования, реализующего вычисление функции $f(x)$, подключены к информационным входам первой группы второго блока преобразования, реализующего вычисление функций $f_k(x)$, выход которого подключен к информационным входам второго регистра, входы синхронизации которого подключены к управляющим выходам первой группы блока управления, информационные выходы второго регистра подключены к соответствующим входам блока элементов НЕРАВНОЗНАЧНОСТЬ, выходы которого подключены к информационным входам второй группы второго блока преобразования, реализующего вычисление функции, и являются выходами преобразователя, кроме того, вход управления записью блока памяти, входы инкрементации и сброса счетчика адреса и второго счетчика подключены к управляющим выходам второй группы блока управления, а выходы переноса первого и второго счетчиков и счетчика адреса подключены к управляющим входам блока управления, входы разрешения группы второго блока преобразования, реализующего вычисление функций $f_k(x)$, подключены к управляющим выходам первой группы блока управления,



Фиг. 2

Составитель А.Доброхотов

Редактор О.Юрковецкая

Техред Л.Сердюкова

Корректор С.Шекмар

Заказ 1896/48

Тираж 667

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101