



ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГКНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

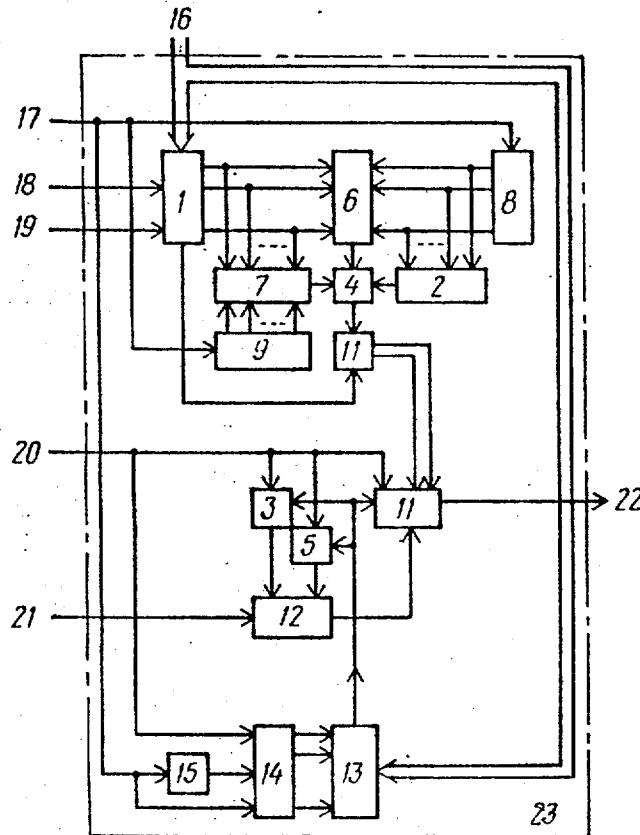
1

2

(21) 4693373/24  
(22) 19.05.89  
(46) 30.07.91. Бюл. № 28  
(71) Минский радиотехнический институт  
(72) С.Н. Янушкевич, А.А. Морозова, Г.А. Ку-  
харев и В.П. Шмерко  
(53) 681.3 (088.8)

(56) Авторское свидетельство СССР  
№ 1277089, кл. G 06 F 7/04, 1985.  
Авторское свидетельство СССР  
№ 1481793, кл. G 06 F 7/00, 1987.

(54) МОДУЛЬ ДЛЯ ЛОГИЧЕСКИХ ПРЕОБ-  
РАЗОВАНИЙ БУЛЕВЫХ ФУНКЦИЙ  
(57) Изобретение относится к цифровой  
вычислительной технике и может быть ис-  
пользовано для аппаратной поддержки вы-  
числений в системах анализа бинарных  
динамических систем и синтеза цифро-  
вых автоматов. Цель изобретения - рас-  
ширение функциональных возможностей  
за счет обработки булевых функций мини-  
максного типа. Устройство содержит ре-  
гистр 1, два элемента И 2 и 3, два элемента



Фиг. 1

(19) SU (11) 1667050 A1

ИЛИ 4, 5, две схемы сравнения 6 и 7, суммирующий счетчик 8, вычитающий счетчик 9, узел пересчета 10, три коммутатора 11-13, сдвиговой регистр 14 и элемент задержки 15. В регистр 1 заносится значение параметра  $\tau (\tau \in Z; z = 1,2^n - 1)$  и его знак. В зависи-

мости от знака параметра и режима вычисления (минимума или максимума) узел пересчета 10 генерирует последовательность управляющих сигналов, обеспечивающих обработку булевых функций минимаксного типа. 3 ил., 2 табл.

Изобретение относится к области цифровой вычислительной техники и может быть использовано для аппаратной поддержки вычислений в системах анализа, синтеза и обработки изображений, сжатия данных, анализа бинарных динамических систем и синтеза цифровых автоматов.

Целью изобретения является расширение функциональных возможностей за счет обработки булевых функций минимаксного типа.

Суть изобретения заключается в логической обработке реализации дифференциальных операторов минимума и максимума булевых функций на основе использования принципов поточной обработки данных.

В основу изобретения положены следующие математические модели функционирования компонентов и устройства в целом.

Пусть система из  $2^n$  булевых функций  $f_j(X)$  ( $j = \overline{0, 2^n - 1}$ ) переменных представлена матрицей  $R_2^n$  размерности  $2^n \times 2^n$  их векторов значений  $\vec{X}_{ij}$ :

$$R_2^n [\vec{X}_{i2^n-1} \dots \vec{X}_{i1} \vec{X}_{i0}] = \begin{pmatrix} \begin{matrix} (0) & (0) & (0) \\ x_{2^n-1} \dots x_1 & x_0 \end{matrix} \\ \begin{matrix} (1) & (1) & (1) \\ x_{2^n-1} \dots x_1 & x_0 \end{matrix} \\ \dots \\ \begin{matrix} (2^n-1) & (2^n-1) & (2^n-1) \\ x_{2^n-1} \dots x_1 & x_0 \end{matrix} \end{pmatrix}$$

Матрицу  $R_2^n$  зададим в системе координат X и Y, где X - координата изменения индекса I значений  $X_i^{(i)}$  функций на наборе  $(X_0, X_1, \dots, X_n)$  ( $i = \overline{0, 2^n - 1}$ ), а Y - координата изменения индекса J векторов значений  $\vec{X}_{ij}$ . Тогда логические дифференциальные операторы системы  $R_2^n$  булевых функций в матричном виде определяются следующим образом: оператор вычисления минимума по координате X

$$\text{MIN}_{(\tau_1 X)}^{(k)} R_2^n = [R_2^n \wedge L_2^n^{(\tau_1)}]^{[k]}, \quad (1)$$

оператор вычисления минимума по координате Y

$$\text{MIN}_{(\tau_2 X)}^{(k)} R_2^n = [R_2^n \wedge R_2^n L_2^n^{(\tau_2)}]^{[k]}, \quad (2)$$

оператор вычисления максимума по координате X

$$\text{MAX}_{(\tau_1 X)}^{(k)} R_2^n = [R_2^n \vee L_2^n^{(\tau_1)}]^{[k]}, \quad (3)$$

оператор вычисления максимума по координате Y

$$\text{MAX}_{(\tau_2 X)}^{(k)} R_2^n = [R_2^n \vee L_2^n^{(\tau_2)}]^{[k]}, \quad (4)$$

где  $L_2^n$  - матрица размерности  $2^n \times 2^n$ , которая при  $\tau > 0$  ( $\tau < 0$ ) имеет верхнюю (нижнюю) диагональ, параллельную главной и отстоящую от нее на расстоянии  $\tau$  элементов и формируемую согласно формуле

$$L_2^n^{(\tau)} = [L_2^n^{(\pm 1)}]^{[|\tau|]},$$

k - кратное повторение вычислительной процедуры A означает

$$[A]^{[k]} = A^{[k-1]} \left\{ \begin{matrix} \uparrow \\ \downarrow \end{matrix} \right\} L_2^n^{(\tau)} A^{[k-1]}$$

при этом операции конъюнкции и дизъюнкции выполняются поэлементно. Соотношения (1 - 4) являются математическими моделями функционирования изобретения.

Из формулы (1-4) следует, что при реализации операторов (1) и (3) вычисления по координате X сводятся к обработке столбцов матрицы  $R_2^n$ , а при реализации операторов (2) и (4) по координате Y - строк матрицы  $R_2^n$ .

Поясним особенности организации вычислительного процесса на основе математических моделей (1-4) на конкретном примере.

Пусть требуется вычислить двухкратный логический минимум ( $k = 2$ ) по координате X с параметром  $\tau = +1$  системы из восьми булевых функций  $f_j(X)$  ( $j = \overline{0, 7}$ ), трех переменных ( $n = 3$ ):

$$\begin{cases} f_0(X) = \bar{X}_2 \vee X_2 \bar{X}_3 \\ f_1(X) = X_2 \vee X_1 \bar{X}_2 \bar{X}_3 \\ f_2(X) = \bar{X}_1 \bar{X}_2 \\ f_3(X) = X_1 (\bar{X}_2 \vee X_2 \bar{X}_3) \\ f_4(X) = \bar{X}_1 X_2 \vee X_1 \bar{X}_2 \\ f_5(X) = \bar{X}_1 X_2 X_3 \vee X_1 \bar{X}_2 \\ f_6(X) = \bar{X}_1 X_2 \wedge X_1 \bar{X}_2 \bar{X}_3 \\ f_7(X) = \bar{X}_2 \end{cases}$$

Исходная матрица имеет вид:

$$R_2^3 =$$

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 1 |   |   |   | 1 | 1 |   | 1 |
| 1 |   |   |   | 1 | 1 |   | 1 |
|   | 1 |   | 1 | 1 |   | 1 | 1 |
|   | 1 | 1 | 1 |   |   | 1 |   |
| 1 | 1 | 1 | 1 |   |   | 1 | 1 |
| 1 |   | 1 | 1 |   |   |   | 1 |
|   |   |   |   |   |   | 1 | 1 |
|   |   |   |   |   |   | 1 |   |

В соответствии с (1) запишем оператор для данной процедуры

$$\text{MIN}_{(x)}^{(2)} R_2^3 = [R_2^3 \wedge L_2^{3(+1)} \cdot R_2^3]^{(2)}$$

Выделим в процессе вычисления две итерации. В первой итерации получим:

$$\text{MIN}_{(x)} R_2^3 =$$

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 1 |   |   |   | 1 | 1 |   | 1 |
|   |   |   |   | 1 |   |   | 1 |
|   | 1 |   | 1 |   |   | 1 |   |
|   | 1 | 1 | 1 |   |   | 1 |   |
| 1 |   | 1 | 1 |   |   |   | 1 |
|   |   |   |   |   |   |   | 1 |
|   |   |   |   |   |   | 1 |   |
|   |   |   |   |   |   |   |   |

$$\text{MIN}_{(x)}^{(2)} R_2^3 =$$

|  |   |   |   |   |  |   |   |
|--|---|---|---|---|--|---|---|
|  |   |   |   | 1 |  |   | 1 |
|  |   |   |   |   |  |   |   |
|  | 1 |   | 1 |   |  | 1 |   |
|  |   | 1 | 1 |   |  |   |   |
|  |   |   |   |   |  |   | 1 |
|  |   |   |   |   |  |   |   |
|  |   |   |   |   |  |   |   |
|  |   |   |   |   |  |   |   |

После выполнения второй итерации получим искомым результат:

$$\text{MIN}_{(x)}^{(2)} R_2^3 = \text{MIN}_{(x)} R_2^3 \wedge L_2^{3(+1)} \cdot \text{MIN}_{(x)} R_2^3$$

На фиг. 1 приведена структурная схема модуля для логических преобразований булевых функций; на фиг. 2 – структурная схема устройства, построенного из модулей; на фиг. 3 – операционный граф работы устройства для данного примера.

Модуль (фиг. 1) содержит регистр 1, два элемента И 2 и 3, два элемента ИЛИ 4 и 5, две схемы 6 и 7 сравнения, суммирующий счетчик 8, вычитающий счетчик 9, узел 10 пересчета, три коммутатора 11–13, сдвиговый регистр 14, элемент 15 задержки, группу входов 16 задания параметра, два тактовых входа 17 и 18, вход 19 задания знака, информационный вход 20, вход 21 задания режима, выход 22.

Узел 10 пересчета может быть реализован с помощью многоразрядного универсального счетчика, который в зависимости от количества поступивших импульсов и значения управляющего сигнала (с входа 19 задания знака) формирует на своем двухразрядном выходе последовательность сигналов, приведенную в табл. 1.

Элемент ИЛИ 5 обеспечивает логический анализ операндов, поступающих на его первый и второй входы путем выполнения над ними операции дизъюнкции.

Элемент И 3 обеспечивает логический анализ операндов, поступающих на входы первого по n-й, путем выполнения над ними операции конъюнкции.

Коммутатор 12 обеспечивает передачу информации с выхода элемента И 3 (режим вычисления минимума) либо с выхода элемента ИЛИ 5 (режим вычисления максимума) под управлением сигнала с входа 21 задания режима.

Коммутатор 11 осуществляет передачу информации на выход 22 в соответствии с табл. 2.

Модуль 23 функционирует следующим образом. Предварительно в регистр 1 с группы входов 16 задания параметра заносится абсолютное значение параметра  $\tau$  (где  $\tau \in \mathbb{Z}; \mathbb{Z}, -$  целые числа, кроме нуля из интервала  $-(2^n - 1) - (2^n - 1)$ ), а в  $(n + 1)$ -й разряд регистра 1 с входа 19 задания знака – "0", если  $\tau > 0$ , и единица, если  $\tau < 0$ . Суммирующий счетчик 8 устанавливается в исходное состояние  $(1 \dots 1)$ , а вычитающий счетчик 9 устанавливается в начальное (нулевое) состояние  $(0 \dots 0)$ .

Рассмотрим функционирование модуля при  $\tau > 0$ . На втором входе узла 10 пересчета сигнал нулевого уровня (так как  $\tau > 0$ ).

Узел 10 пересчета генерирует последовательность сигналов на своем выходе в соответствии с табл. 1 (2 и 3 столбца).

В первом такте суммирующий счетчик 8 переходит из состояния  $1 \dots 1$  в состояние  $0 \dots 0$ . В результате по перепаду сигнала из "1:" в "0" на первом входе узла 10 пересчета на его выходе формируется код 00, который сохраняется в течение  $(\tau - 1)$  тактов.

В  $\tau$ -м такте на выходе первой схемы 6 сравнения в результате совпадения кодов на ее входах формируется сигнал единичного уровня, поступающий на первый вход элемента ИЛИ 4 и далее с его выхода на первый вход узла 10 пересчета. В результате по заднему фронту этого сигнала на выходе узла 10 пересчета формируется код 01, который сохраняется до окончания  $(2^n - \tau)$ -го такта.

В  $(2^n - \tau)$ -м такте на выходе второй схемы 7 сравнения в результате совпадения кодов на ее входах формируется сигнал единичного уровня, поступающий на первый вход элемента ИЛИ 4 и далее с его выхода на первый вход узла 10 пересчета. В результате по заднему фронту этого сигнала на выходе узла 10 пересчета формируется код 10, который сохраняется с  $(2^n - \tau + 1)$ -го такта до окончания  $2^n$ -го такта.

В каждом такте по сигналу с первого тактового на второй вход с входа 17 осуществляется сдвиг информации на один разряд вправо (в сторону старших разрядов) в сдвиговом регистре 14, через время  $t = \frac{t_1 - t_0}{2}$  (полтакта) в младший разряд сдвигового регистра 14 записывается элемент, поступающий с информационного входа 20. Одновременно по коду (значению  $\tau$ ) на управляющих входах коммутатора 13 значение элемента из  $\tau$ -го разряда сдвигового регистра 14 подается на элемент И 3 и элемент ИЛИ 5, на вторые входы которых поступает текущий элемент обрабатываемого вектора. Результат логических преобразований в зависимости от режима поступает через коммутатор 12 и 11 на выход 22.

Функционирование устройства, включающего в себя однотипные модули для логических преобразований булевых функций (фиг. 2), рассмотрим на следующем примере.

Пусть устройство реализует композицию операторов вида

$$\text{MIN} \left( \text{MAX} \left( \text{MAX} R_2^3 \right) \right)$$

(−4) (−2) (3)

в соответствии с операционным графом, приведенным на фиг. 3 ( $n = 3$ ). Устройство содержит три модуля для логических преобразований булевых функций. На группы входов 16.1, 16.2, и 16.3 параметра  $\tau$  подаются соответственно значения 3, 2 и 4, а на входы 19.1, 19.2 и 19.3 задания знака соответственно значения 0 (знак плюс) 1 и 1 (знаки минус), на входах 21.1 и 21.2 задания режима сигналы единичного уровня (режим вычисления максимума), а на входе 21.3 задания режима сигнал нулевого уровня (режим вычисления минимума). Запись значений параметров  $\tau_1, \tau_2$  и  $\tau_3$  и их знаков в  $(n + 1)$ -разрядный регистр 1 стробируется сигналами с второго тактового входа 18.

Функционирование устройства начинается при поступлении сигналов с первого тактового входа 17.

В первом такте на информационный вход 20.1 первого модуля поступает значение первого элемента  $X^{(0)}$  вектора  $X_{fo} [X^{(0)} X^{(1)} \dots X^{(2^n - 1)}]$

системы  $R_2^n (j = \overline{0, 2^n - 1})$ , сопровождаемое тактовым импульсом с первого тактового входа 17. Этот элемент записывается в первый разряд сдвигового регистра 14 первого модуля. Аналогичным образом в тактах с второго по  $\tau_1 = 3$  в сдвиговой регистр 14 первого модуля последовательно записываются значения элементов  $X^{(1)} \dots X^{(\tau - 1)}$  вектора  $X_{fo}$ .

На четвертом  $(\tau_1 + 1)$ -м такте на выходе 22.1 формируется значение элемента  $Y_1^{(0)} = X^{(0)} \vee X^{(3)}$  вектора результата  $Y_1 = \text{MAX} X_{fo}$ . (3)

На тактах с пятого по  $(2^n + 3)$ -й на выходе 22.1 формируются соответственно значения элементов  $Y_1^{(1)} \dots Y_1^{(2^n - 1)}$  вектора результата  $Y_1$ .

Кроме того, в четвертом такте (с начала функционирования устройства) значение первого элемента  $Y_1^{(0)}$  результата  $Y_1$  поступает на информационный вход 20.2 второго модуля. В тактах с четвертого по  $(2^n + 3)$ -й на выходе 22.2 формируются значения элементов  $Y_2^{(0)} \dots Y_2^{(2^n - 1)}$  вектора результата  $Y_2 = \text{MAX} Y_1$ . В тактах с четвертого по  $(2^n + 4)$ -й (−2)

на выходе 22.3 третьего модуля формируются значения элементов  $Y_3^{(0)} \dots Y_3^{(2^n - 1)}$  вектора результата  $Y_3 = \text{MIN} Y_2$ . (−4)

Таким образом, вычисление  $Y_3 = \text{MIN} (\text{MAX} (\text{MAX} X_{fo}))$  реализуется за  $(2^n + 3)$  такта. (−4) (3)

Одновременно по окончании  $2^n$ -го такта на выход первой вычислительной ячейки 21 поступает первый элемент вектора  $X_{f1}$  системы  $R_2^n$ , а результат вычисления

$$Y = \text{MIN} (\text{MAX} (\text{MAX} R_2^3))$$

(−4) (−2) (3)

системы  $R_2^n$  формируется за  $(2^{2^n} + 3)$  такта.

#### Ф о р м у л а и з о б р е т е н и я

Модуль для логических преобразований булевых функций, содержащий два коммутатора, сдвиговой регистр и регистр, причем первый информационный вход первого коммутатора соединен с информационным входом модуля, вход задания режима которого соединен с управляющим входом второго коммутатора, о т л и ч а ю щ и с я тем, что, с целью расширения функциональных возможностей за счет обработки булевых функций минимаксного типа, он содержит две схемы сравнения, два элемента И, два элемента ИЛИ, суммирующий счетчик, вычитающий счетчик, узел пересчета, третий коммутатор и элемент задержки, причем

входы задания параметра группы соединены с  $K$ -ми ( $K = 1, n$ ;  $n$  – количество разрядов задания параметра) информационными входами регистра и управляющими входами третьего коммутатора, информационные входы которого соединены с выходами сдвигового регистра, информационный вход которого соединен с информационным входом модуля, первыми входами первого элемента И и первого элемента ИЛИ, вторые входы которых соединены с вторым информационным входом первого коммутатора и с выходом третьего коммутатора, первый тактовый вход модуля соединен с входом элемента задержки, входом управления сдвигом сдвигового регистра и со счетными входами суммирующего и вычитающего счетчиков, выходы последнего из которых соединены с входами первой группы первой схемы сравнения, входы второй группы которой соединены с входами первой группы второй схемы и с  $K$ -ми выходами регистра,  $(n + 1)$ -й разряд выхода которого соединен с первым входом

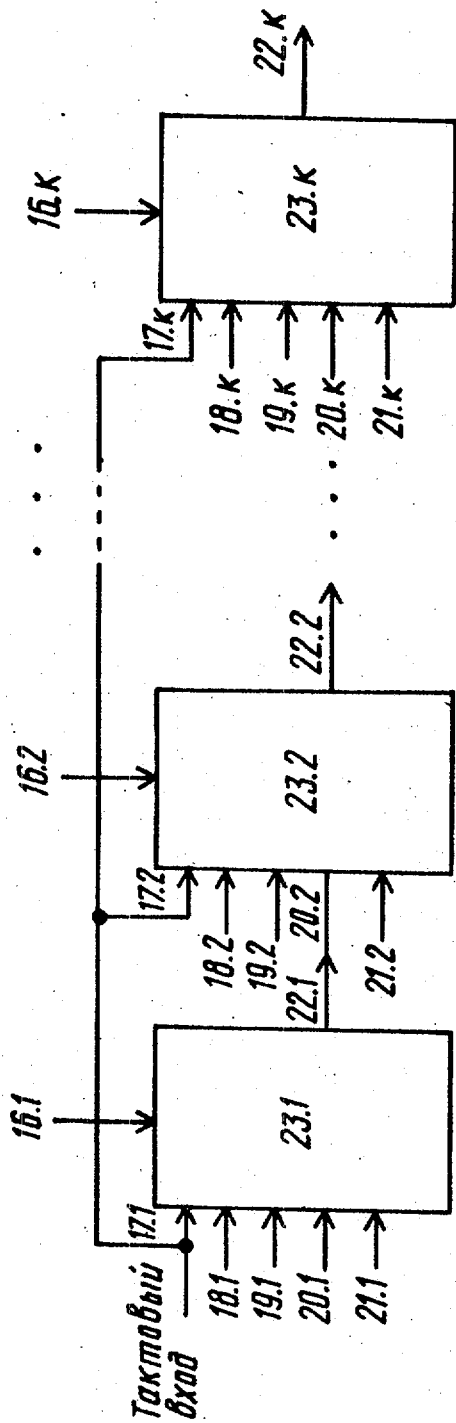
узла пересчета, второй вход которого соединен с выходом второго элемента ИЛИ, первый вход которого соединен с выходом второго элемента И, входы которого соединены с выходами суммирующего счетчика и входами второй группы второй схемы сравнения, выход которой соединен с вторым входом второго элемента ИЛИ, третий вход которого соединен с выходом первой схемы сравнения, выходы узла пересчета соединены с управляющими входами первого коммутатора, третий информационный вход которого соединен с выходом второго коммутатора, первый и второй информационные входы которого соединены с выходами соответственно первого элемента И и первого элемента ИЛИ, выход элемента задержки соединен с входом управления записью сдвигового регистра, второй тактовый вход модуля соединен с тактовым входом регистра,  $(n + 1)$ -й информационный вход которого соединен с входом задания знака, выход первого коммутатора является выходом модуля.

Таблица 1

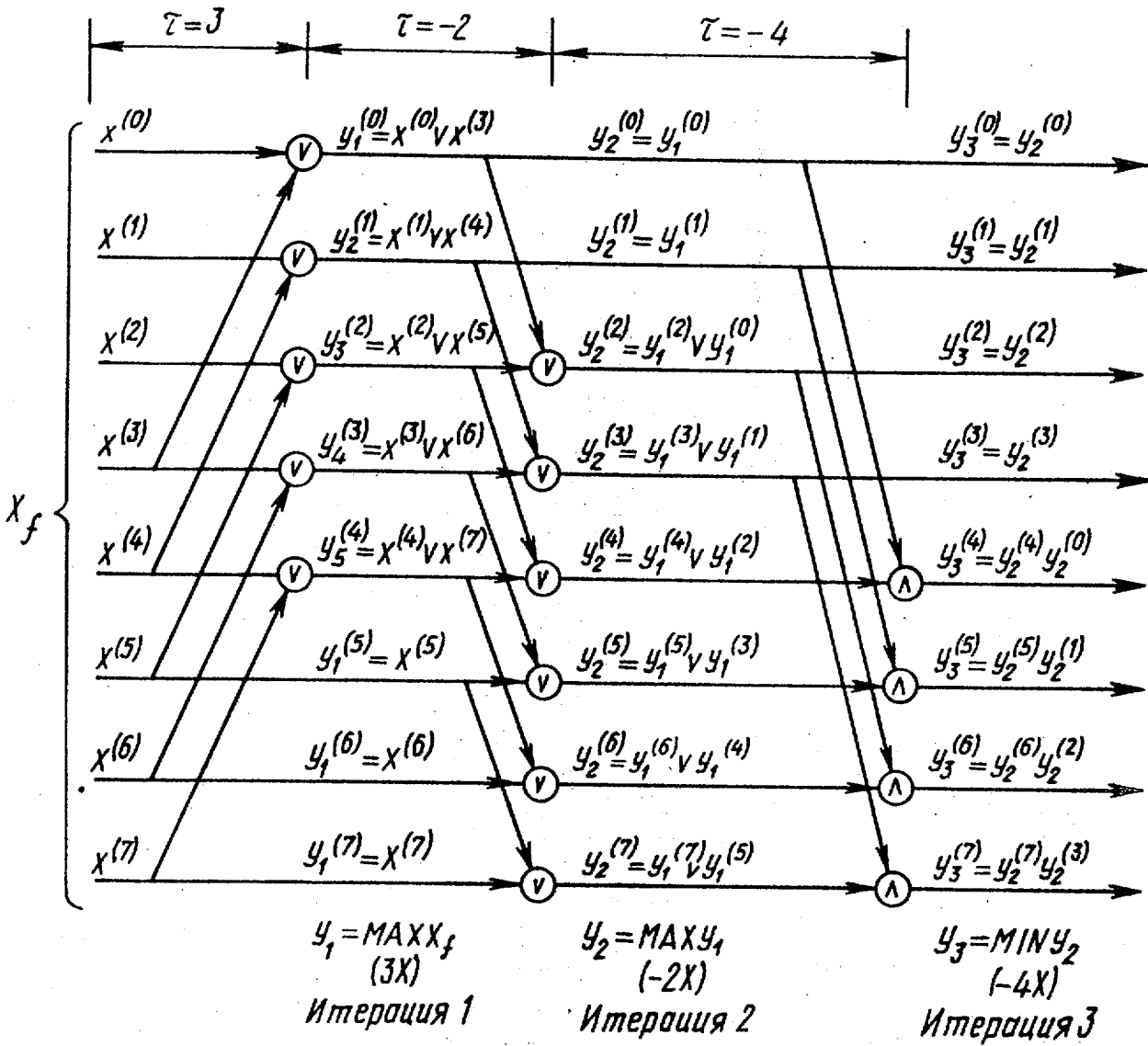
| № такта          | Значения на выходах узла 10 пересчета |          |              |          |
|------------------|---------------------------------------|----------|--------------|----------|
|                  | $\tau_1 > 0$                          |          | $\tau_1 < 0$ |          |
|                  | 1 разряд                              | 2 разряд | 1 разряд     | 2 разряд |
| 1                | 0                                     | 0        | 1            | 0        |
| 2                | 0                                     | 0        | 1            | 0        |
| ⋮                | ⋮                                     | ⋮        | ⋮            | ⋮        |
| ⋮                | ⋮                                     | ⋮        | ⋮            | ⋮        |
| $\tau$           | 0                                     | 0        | 1            | 0        |
| $\tau + 1$       | 0                                     | 1        | 0            | 1        |
| ⋮                | ⋮                                     | ⋮        | ⋮            | ⋮        |
| ⋮                | ⋮                                     | ⋮        | ⋮            | ⋮        |
| $2^n - \tau$     | 0                                     | 1        | 0            | 1        |
| $2^n - \tau + 1$ | 1                                     | 0        | 0            | 0        |
| ⋮                | ⋮                                     | ⋮        | ⋮            | ⋮        |
| ⋮                | ⋮                                     | ⋮        | ⋮            | ⋮        |
| $2^n$            | 1                                     | 0        | 0            | 0        |

Таблица 2

| Значения управляющих входов |                | Источник информационного потока |
|-----------------------------|----------------|---------------------------------|
| 1 управл. вход              | 2 управл. вход |                                 |
| 0                           | 0              | Коммутатор 13                   |
| 0                           | 1              | Коммутатор 12                   |
| 1                           | 0              | Информ. вход 20                 |



Фиг. 2



Фиг. 3

Редактор О. Слесивых

Составитель В. Сорокин  
 Техред М. Моргентал

Корректор О. Кравцова

Заказ 2524

Тираж 398

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
 113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101