

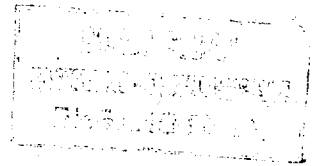


ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГКНТ СССР

(51)5 G 06 F 9/22, 11/00

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



1

(21) 4630118/24  
(22) 02.01.89  
(46) 30.07.91. Бюл. № 28  
(71) Минский радиотехнический институт  
(72) В.Н. Ярмолик, Е.П. Калоша и И.В. Качан  
(53) 681.325 (088.8)  
(56) Авторское свидетельство СССР  
№ 1267414, кл. G 06 F 9/22, 11/00, 1986.  
Авторское свидетельство СССР  
№ 1305679, кл. G 06 F 9/22, 11/00, 1987.  
Баранов С.И., Скляр В.А. Цифровые  
устройства на программируемых БИС с мат-  
ричной структурой. М.: Радио и связь, 1986,  
270 с.

### (54) МИКРОПРОГРАММНОЕ УСТРОЙСТВО УПРАВЛЕНИЯ

(57) Изобретение относится к автоматике и  
вычислительной технике и может быть ис-  
пользовано в ЭВМ, управляющих и вычис-  
лительных системах с микропрограммным  
управлением. Цель изобретения – сокраще-  
ние аппаратных затрат и повышение до-  
стоверности работы микропрограммного  
устройства управления за счет введения ре-  
жима самотестирования, осуществляющего

Изобретение относится к области авто-  
матики и вычислительной техники и может  
быть использовано в ЭВМ, управляющих и  
вычислительных системах с микропрогра-  
мным управлением.

Целью изобретения является сокраще-  
ние аппаратных затрат и повышение до-  
стоверности работы устройства за счет  
реализации режима самотестирования, осу-  
ществляющего полную его проверку.

2

полную его проверку. Сущность изобре-  
тения заключается в том, что в микропрогра-  
мное устройство управления, содержащее  
блок памяти, регистр адреса, входной ре-  
гистр, выходной регистр, введены триггер  
результата, две схемы сравнения и узел уп-  
равления, содержащий первый и второй  
триггеры управления, счетчик тактов, эле-  
мент НЕ, два элемента И-ИЛИ и програм-  
мируемую логическую матрицу. Исчерпывающая проверка данного устрой-  
ства достигается за счет того, что степень  
порождающего полинома  $\deg Y(x) > L$ , где  $L$  –  
суммарное число входов логических усло-  
вий устройства, а сдвиг информации во  
входном регистре при генерации каждого  
последующего значения входной тестовой  
последовательности осуществляется на чис-  
ло тактов  $K$ , взаимно простое с числом  
 $2^{\deg Y(x)} - 1$ , где  $\deg Y(x)$  – степень порождаю-  
щего полинома генератора, и большее, чем  
число разрядов регистра адреса устройства,  
причем на каждое входное тестовое воздей-  
ствие выходные реакции анализируются  
сигнатурным анализатором в течение двух  
тактов работы устройства, 5 ил.

На фиг. 1 приведена функциональная  
схема микропрограммного устройства уп-  
равления; на фиг. 2 и 3 – соответственно  
схемная реализация узла управления и ал-  
горитм его функционирования; на фиг. 4, 5  
– соответственно, примеры реализации  
входного и выходного регистров для числа  
разрядов, равного четырем.

Устройство (фиг. 1) содержит програм-  
мируемую логическую матрицу 1 (ПЛМ),  
блок 2 памяти, регистр 3 адреса, входной

(19) SU (11) 1667069 A1

регистр 4, выходной регистр 5, узел 6 управления, первую 7 и вторую 8 схемы сравнения, триггер 9 результата.

Узел 6 управления (фиг. 2) содержит программируемую логическую матрицу 10, первый 11 и второй 12 триггеры управления, первый 13 и второй 14 элементы И-ИЛИ, счетчик 15 тактов, элемент НЕ 16.

Входной регистр 4 (фиг. 4) содержит элемент НЕ 17, сумматор 18 по модулю два, с первого 19 по четвертый 22 D-триггеры, с первого 23 по пятый 27 элементы И-ИЛИ.

Выходной регистр (фиг. 5) содержит с первого 28 по четвертый 31 D-триггеры, с первого 32 по четвертый 35 элементы И, с первого 36 по пятый 40 сумматоры по модулю 2.

Узел 6 управления предназначен для формирования сигналов, управляющих работой устройства в режиме самотестирования. Алгоритм формирования сигналов управления тестированием приведен на фиг. 3. Селекторы, построенные на элементах И-ИЛИ 13, 14, предназначены для переключения сигналов управления в рабочем режиме тестирования. Счетчик 15 тактов предназначен для задания числа тактов сдвига для формирования очередной тестовой комбинации. Для полного исчерпывающего тестирования устройства число тактов сдвига должно быть взаимно простым с числом  $2^{\deg Y(x)} - 1$ , где  $Y(x)$  - степень порождающего полинома генератора псевдослучайных последовательностей.

Пример кодирования матрицы 10 приведен в таблице.

Входной регистр 4 с разрядностью, равной числу входов логических условий устройства, реализован на D-триггерах 19-22, многовходовом сумматоре 18 по модулю 2, элементах И-ИЛИ 23-27, элементе НЕ 17 и предназначен для фиксации входной информации в рабочем режиме. В режиме тестирования он становится сдвиговым регистром, на котором реализован генератор тестовой псевдослучайной последовательности. Он должен описываться примитивным неприводимым полиномом, порядок которого равен числу информационных входов устройства.

На фиг. 4 приведен пример входного регистра для порождающего полинома четвертого порядка  $Y(x) = 1 + x + x^4$ .

По сигналу начальной установки во входной регистр 4 записывается начальное состояние. Для данного примера начальное состояние равно 1000, для чего вход установки в начальное состояние "1" входного регистра 4 соединен с входом установки

первого и входами сброса остальных триггеров.

Выходной регистр 5 построен на D-триггерах, сумматорах по модулю два, элементах и предназначен для фиксации значения микрооперации на выходе устройства в рабочем режиме и сжатия значений реакций устройства в режиме самотестирования. Его разрядность равна числу микрооперационных выходов устройства. В режиме самотестирования выходной регистр 5 перестраивается в многоканальный сигнатурный анализатор. На фиг. 5 приведен пример выходного регистра 5 для четырех выходов и порождающего полинома сигнатурного анализатора  $Y(x) = 1 + x + x^4$ .

Первая схема 7 сравнения предназначена для идентификации начального тестового воздействия и формирования сигнала завершения тестового эксперимента.

Вторая схема 8 сравнения предназначена для анализа результирующей сигнатуры и определения, является ли она эталонной.

Устройство работает следующим образом.

Перед началом работы устройства на его вход установки в начальное состояние поступает сигнал, сбрасывающий в нулевое состояние триггеры узла 6 управления. В зависимости от управляющего сигнала T возможны два режима работы устройства - рабочий и самотестирования.

Рабочий режим. Данный режим обеспечивается значением сигнала на входе режима работы  $T = 0$ . При этом входной регистр 4 представляет собой группу элементов памяти, на которые по входному сигналу записывается входная информация, являющаяся логическими условиями, по которым реализуется выполнение той или иной микропрограммы (фиг. 4). Выходной регистр 5 в данном режиме представляет собой группу элементов памяти, по выходному тактовому сигналу C в которые записывается и подается на выходы устройства информация, представляющая собой значение очередной микрокоманды (фиг. 5). Регистр адреса также тактируется входным тактовым сигналом C, а устанавливается в нулевое состояние, как и выходной регистр 5, входным сигналом установки в начальное состояние (фиг. 1). Узел 6 управления тестированием в данном режиме управляющих сигналов не вырабатывает.

Режим самотестирования. Данный режим обеспечивается значением входного управляющего сигнала  $T = 1$ . При этом входной регистр 4 (фиг. 4) представляет собой генератор тестовой ПСП, которая с выхода переноса P (последний разряд регистра) по-

стует на соответствующий вход регистра адреса (фиг. 1). Управляющий сигнал записи блокируется во входном регистре 4, а внешний сигнал установки в начальное состояние блокируется вторым селектором 14 узла 6 управления (фиг. 3).

Узел 6 управления самотестированием функционирует по алгоритму, представленному на фиг. 2. При поступлении на вход устройства сигнала  $T = 1$  формируется сигнал установки узлов устройства в начальное состояние 1, по которому во входной регистр 4 записывается начальное состояние генератора ПСП, а регистр 3 адреса, выходной регистр 5 устройства, а также счетчик 15 тактов устанавливаются в нулевое состояние. Затем узел 6 управления дважды формирует сигнал синхронизации записи устройства (С1), выполняя в первом такте запись реакции ПЛМ 1 и блока 2 памяти на входную тестовую комбинацию в регистр 3 адреса и сигнатурный анализатор, реализованный на выходном регистре 5, а во втором такте, используя эту реакцию в качестве входной тестовой комбинации — запись значений выходов ПЛМ 1 и блока 2 памяти в сигнатурный анализатор. Затем по сигналам синхронизации сдвига (С2) происходит формирование очередной тестовой комбинации. Число тактов сдвига при формировании тестовой последовательности определяется счетчиком 15 тактов (фиг. 3). После необходимого числа тактов сдвига счетчик 15 тактов вырабатывает сигнал  $M = 1$ , и выполняется очередной цикл анализа реакций сигнатурным анализатором по сигналам синхронизации записи С1. В случае, когда очередная сформированная тестовая последовательность будет равна начальной, первая схема 7 сравнения вырабатывает сигнал  $E = 1$  и узел 6 управления сформирует сигнал записи результата тестирования, полученного второй схемой 8 сравнения, в триггер 9 результата. Этот сигнал поступает на вход устройства, сигнализируя о том, что процесс самотестирования закончен и значение результата подается на выход устройства. Затем, если в узле 6 управления на входе  $T$  будет установлен ноль, устройство перейдет в рабочий режим. В противном случае цикл самотестирования повторится.

В устройстве организовано самотестирование в произвольные моменты времени методами тестирования комбинационных схем.

Полнота проверки микропрограммного устройства управления достигается за счет исчерпывающего тестирования ПЛМ и блока памяти (комбинационной части устрой-

ва) путем формирования тестовой псевдослучайной комбинации на их входах, прямого анализа реакции на входные воздействия, формируемых на выходах устройства, и косвенного анализа реакции ПЛМ и блока памяти, формируемых в цепях обратных связей, при одновременной проверке регистра адреса устройства.

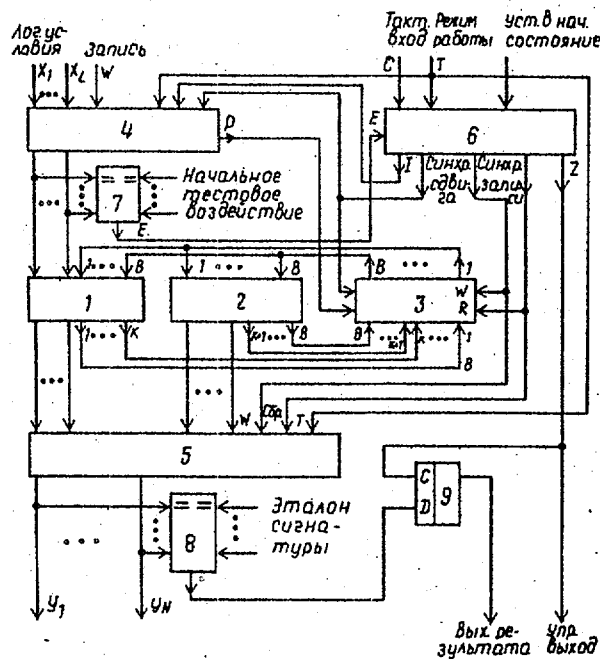
#### Ф о р м у л а и з о б р е т е н и я

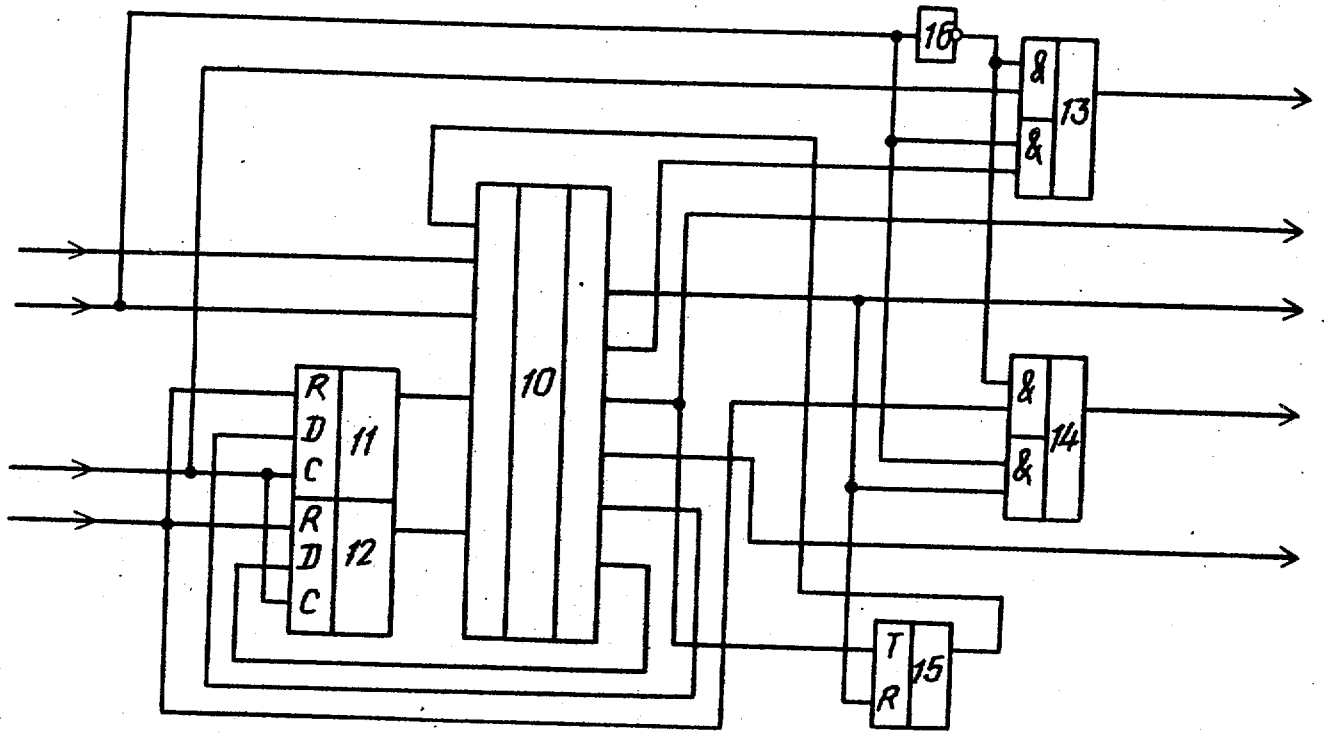
Микропрограммное устройство управления, содержащее программируемую логическую матрицу, блок памяти, регистр адреса, входной регистр, выходной регистр, причем вход логических условий устройства соединен с информационным входом входного регистра, выход которого соединен с первым входом программируемой логической матрицы, выход которой соединен с первым информационным входом выходного регистра, выходы которого являются выходами микроопераций устройства, выход поля микроопераций блока памяти соединен с вторым информационным входом выходного регистра, второй выход программируемой логической матрицы и выход поля адреса блока памяти соединены соответственно с первым и вторым информационными входами регистра адреса, выход которого соединен с вторым входом программируемой логической матрицы и с адресным входом блока памяти, вход записи входного регистра является входом записи устройства, о т л и ч а ю щ е с я тем, что, с целью сокращения аппаратных затрат и повышения достоверности работы устройства за счет реализации режима самотестирования, в устройство дополнительно введены первая и вторая схемы сравнения, триггер результата, узел управления, содержащий первый и второй триггеры управления, счетчик тактов, элемент НЕ, первый и второй элементы И-ИЛИ, программируемую логическую матрицу, причем входы начального тестового воздействия и эталонной сигнатуры устройства соединены с первыми входами соответственно первой и второй схем сравнения, первый выход программируемой логической матрицы узла управления соединен с первым входом второго элемента И-ИЛИ, с входом установки в "0" счетчика тактов и входного регистра, выход старшего разряда которого соединен с последовательным информационным входом регистра адреса переполнения счетчика тактов, соединен с первым входом программируемой логической матрицы узла управления, выходы входного и выходного регистров соединены с вторыми входами соответственно первой и второй схем сравнения, выходы которых соединены соответ-

ственно с вторым входом программируемой логической матрицы узла управления с информационным входом триггера результата, выход которого является выходом результата контроля устройства, вход режима работы устройства соединен с входами управления записью-сдвигом входного и выходного регистров, с входом элемента НЕ, первым входом первого элемента И-ИЛИ, вторым входом второго элемента И-ИЛИ, с третьим входом программируемой логической матрицы узла управления, второй вход которой соединен с вторым входом первого элемента И-ИЛИ, выход которого соединен с входами записи выходного регистра и регистра адреса, вход синхронизации устройства соединен с третьим входом первого элемента И-ИЛИ, с входами синхронизации первого и второго триггеров управления, выходы которых соединены со-

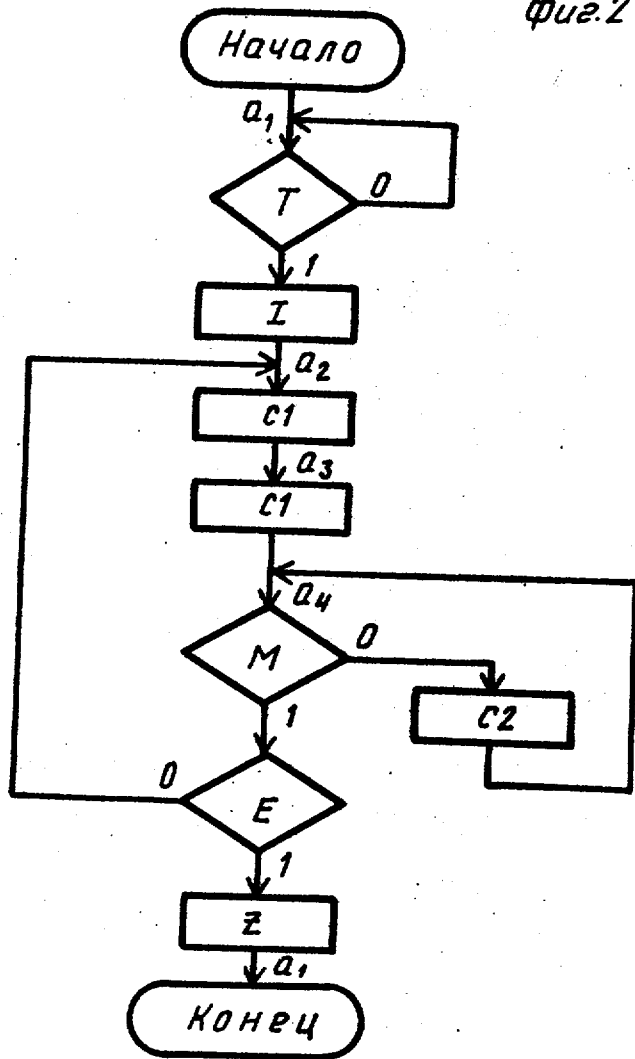
ответственно с четвертым и пятым входами программируемой логической матрицы узла управления, третий выход которого соединен со счетным входом счетчика тактов и с входами сдвига входного регистра и регистра адреса, вход установки в начальное состояние устройства соединен с входами установки в "0" первого и второго триггеров управления и с третьим входом второго элемента И-ИЛИ, выход которого соединен с входом установки в "0" выходного регистра и регистра адреса, с четвертого по шестой выходы программируемой логической матрицы узла управления соединены соответственно с входом синхронизации триггера результата и с информационными входами первого и второго триггеров управления, выход элемента НЕ соединен с четвертыми входами первого и второго элемента И-ИЛИ.

Входы ПЛМ					Выходы ПЛМ					
1	2	3	4	5	1	2	3	4	5	6
М	Е	Т	P <sub>1</sub> (K)	P <sub>2</sub> (K)	1	C <sub>1</sub>	C <sub>2</sub>	Z	P <sub>1</sub> (K+1)	P <sub>2</sub> (K+1)
н	н	н	н	1	0	0	0	0	1	0
о	н	н	1	о	0	0	0	0	1'	о
н	о	н	1	о	0	0	0	0	1	о
н	н	1	о	н	0	0	0	0	о	1
н	н	н	о	1	0	0	0	0	о	1
1	о	н	1	1	0	1	0	0	о	о
н	н	н	н	1	0	0	0	0	о	о
1	о	н	1	н	0	1	0	0	о	о
о	н	н	1	о	0	о	1	0	о	о
н	н	1	о	о	1	о	о	0	о	о
1	1	н	1	о	о	о	о	1	о	о

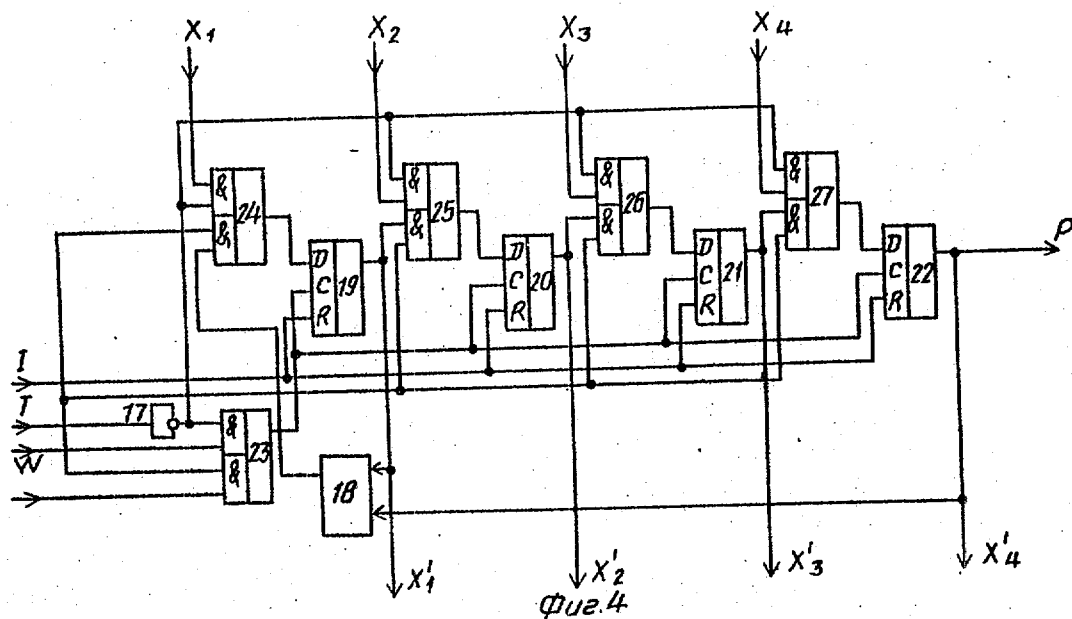




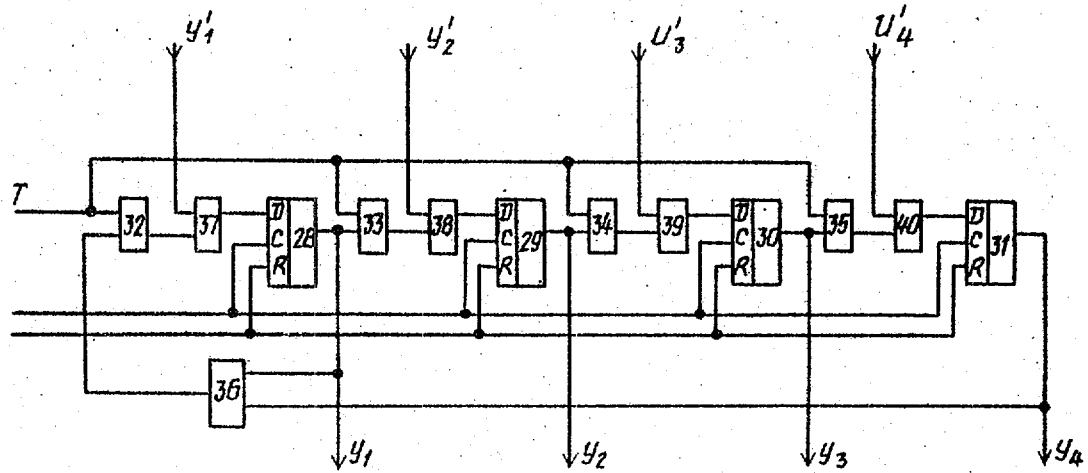
Фиг. 2



Фиг. 3



Фиг. 4



Фиг. 5

Редактор О.Спесивых      Составитель А.Сошкин      Корректор О.Кравцова  
 Техред М.Моргентал

Заказ 2524      Тираж 409      Подписное  
 ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
 113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101