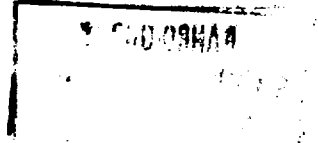




ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

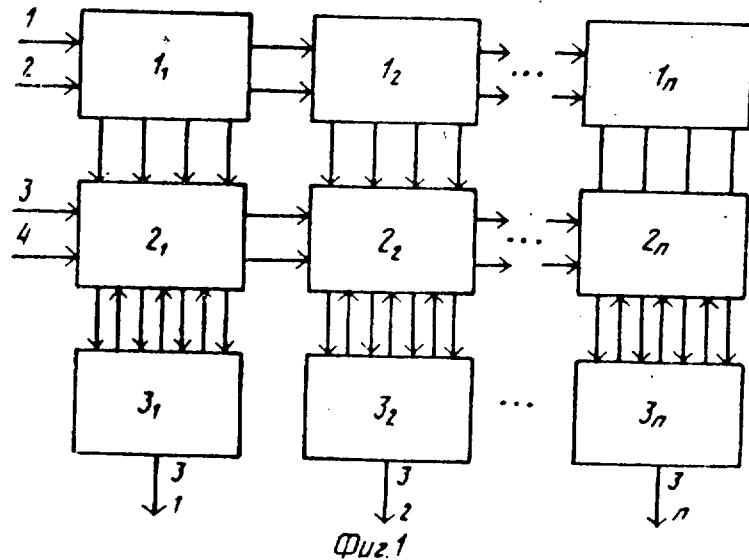
ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 4700607/24
- (22) 05.06.89
- (46) 15.08.91. Бюл. № 30
- (71) Минский радиотехнический институт
- (72) В.М. Антоненко, Е.Н. Зайцева, Г.А. Кухарев и В.П. Шмерко
- (53) 681.325(088.8)
- (56) Авторское свидетельство СССР № 1168925, кл. G 06 F 7/04, 1984.
- Авторское свидетельство СССР № 1277089, кл. G 06 F 7/04, 1986.
- (54) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ ЛОГИЧЕСКИХ ПРОИЗВОДНЫХ МНОГОЗНАЧНЫХ ДАННЫХ
- (57) Изобретение относится к цифровой вы-

числительной технике и может быть использовано для аппаратной поддержки вычислений в системах синтеза и анализа цифровых автоматов, диагностики цифровых устройств, сжатия данных, обработки изображений, управления роботами-манипуляторами, синтеза топологии БИС. Цель изобретения – расширение функциональных возможностей за счет логической обработки многозначных данных. Поставленная цель достигается тем, что устройство содержит блоки 1_1-1_n управления, операционные блоки 2_1-2_n и блоки 3_1-3_n памяти, где n – число переменных функции, описывающей многозначные данные. 3 ил.



Изобретение относится к цифровой вычислительной технике и может быть использовано для синтеза и анализа цифровых автоматов, диагностики цифровых устройств, сжатия данных, обработки изображений, управления роботами-манипуляторами, синтеза топологии больших интегральных схем.

Целью изобретения является расширение функциональных возможностей за счет логической обработки многозначных данных.

На фиг.1 представлена схема устройства; на фиг.2 – схемы блоков памяти и операционного блока; на фиг.3 – схема блока управления.

Устройство содержит блоки 1_1-1_n управления, операционные блоки 2_1-2_n и блоки 3_1-3_n памяти, где n – число переменных многозначной функции алгебры логики. Каждый операционный блок содержит коммутатор 4 и сумматор 5 по модулю K (где K – значность данных). Каждый блок памяти содержит первый и второй узлы 6 и 7 регистровой памяти. Каждый блок управления содержит генератор 8 тактовых импульсов, с первого по четвертый элементы И 9–12, первый 13 и второй 14 счетчики, первый 15 и второй 16 дешифраторы, мультиплексор 17, элемент НЕ 18, элемент 19 задержки и элемент ИЛИ 20.

Операционный блок 2_i (где $i = 1, \dots, n$) предназначен для вычисления вектора значений $\frac{\partial X}{\partial X_i}$ логической производной по i -й переменной X_i с циклическим отрицанием в первом режиме и вектора значений смешанной логической производной i -го порядка по переменным с циклическим отрицанием во втором режиме. В первом режиме работы исходными данными для блока 2_i являются элементы вектора значений X многозначной функции алгебры логики, во втором – результат вычислений блока 2_{i-1} (вектор значений логической производной $(i-1)$ -го порядка по переменным с циклическим отрицанием).

Первый режим работы блока 1_i определяется низким уровнем "0", который подается на вход режима блока 1_i в момент времени t_0 . Во втором режиме работы на вход режима блока 1_i в момент времени t_0 подается высокий уровень "1". Одновременно сигнал с входа режима блока 1_i поступает на управляющий вход мультиплексора 17. При этом на выход мультиплексора 17 передается информация с его первого информационного входа. Сигнал пуска поступает на вход пуска-останова генератора 8 тактовых импульсов и через мультиплексор

17 на первый выход блока 1_i в момент времени t_0 , откуда поступает на вход пуска-останова следующего $(i+1)$ -го блока управления.

Начиная с момента времени t_0 до момента времени t_p , где $p = K^{i-1}(K^{n-1} + (K-1)K^{n-1}) + K^{n-1} - 1$, генератора 8 импульсов формирует последовательность импульсов которые поступают на первый вход элемента И 9_i, элемента И 10_i и элемента И 12_i, а также на второй выход блока 1_i .

На первый вход элемента И 10_i поступает высокий логический уровень, а на второй вход – синхроимпульсы с выхода генератора 8 импульсов. На выходе элемента И 10_i формируется последовательность импульсов, которые поступают на третий выход блока 1_i и служат для управления работой i -го блока 3_i .

В момент времени $t_{K^{n-1}-i}$, когда на выходах счетчика 13_i формируется двоичный эквивалент числа $K^{n-1} + 1$, на соответствующем выходе дешифратора 15_i формируется высокий уровень ("1"), который поступает на вход элемента НЕ 18_i, с выхода которого низкий логический уровень передается на первые входы элементов И 9_i и 10_i, на выходе которых формируется низкий логический уровень. Вследствие этого счетчик 13_i фиксирует состояние, в котором он находился в момент времени $t_{K^{n-1}-i}$. Одновременно высокий уровень с выхода дешифратора 15_i поступает на первые входы элементов И 12_i, 11_i и на четвертый выход блока 1_i . В результате этого с выхода элемента И 12_i на счетный вход счетчика 14_i поступают синхроимпульсы.

В момент времени t_l , где $l = K^{n-1} + (K-1)K^{n-1}$, когда на выходах счетчика 14_i формируется двоичный эквивалент числа $(K-1)K^{n-1}$, на соответствующем выходе дешифратора 16_i формируется высокий уровень ("1"), который поступает на второй вход элемента ИЛИ 20_i, с выхода которого высокий уровень ("1") поступает на второй вход элемента И 11_i, на выходе которого устанавливается высокий логический уровень, поступающий на вход установки в ноль счетчиков 13_i и 14_i. После этого на выходах дешифраторов 15_i и 16_i устанавливаются низкие логические уровни.

Цикл работы блока 1_i повторяется $K^{i-1} - 1$ раз, начиная с момента времени t_l . С момента времени $t_{K^{i-1}-1}$ до t_p функционирование блока 1_i аналогично его работе с момента времени t_0 по $t_{K^{n-1}-1}$. В момент времени t_p на вход пуска-останова блока 1_i подается сигнал останова, служащий признаком конца работы блока 1_i .

Во втором режиме в момент времени t_0 высокий уровень ("1") поступает на управляющий вход мультиплексора 17_i. Вследствие этого данные на выход мультиплексора 17_i поступают с его второго информационного входа. Одновременно на вход пуска-останова блока 1_i подается сигнал пуска, который поступает на вход пуска-останова генератора тактовых импульсов 8_i и на вход элемента 19_i задержки. С выхода элемента 19_i задержки через время $\Delta t = K^{n-i}/f$, где f — частота следования импульсов на выходе генератора 8_i, сигнал пуска поступает на второй информационный вход мультиплексора 17_i, а с его выхода — на первый выход блока 1_i. В остальные моменты времени функционирование блока 1_i во втором режиме аналогично его функционированию в первом режиме.

Блок 2_i работает следующим образом в двух режимах.

В первом режиме исходные данные, вектор значений X функции $f(X)$, поступают с первого информационного входа блока 2_i на первый информационный вход коммутатора 4_i.

Начиная с момента времени t_0 на первый и второй управляющие входы коммутатора 4_i поступают низкие уровни. В результате информация передается с первого информационного входа коммутатора 4_i на его второй и третий выходы и с третьего информационного входа коммутатора 4_i на его первый выход. Исходные данные с второго и третьего выходов коммутатора 4_i поступают соответственно на второй и третий выходы блока 2_i.

С момента времени $t_{K^{n-i}}$ на первом управляющем входе коммутатора 4_i устанавливается высокий логический уровень. Вследствие этого информация передается с первого информационного входа коммутатора 4_i на его первый и третий выходы. На данном этапе исходные данные поступают с первого выхода коммутатора 4_i на второй информационный вход сумматора 5_i по модулю K и с третьего информационного входа блока 2_i на первый информационный вход сумматора 5_i по модулю K . Результат суммирования с выхода сумматора 5_i по модулю K поступает на первый выход блока 2_i.

Цикл работы блока 2_i, начиная с момента времени t_i , повторяется $K^{i-1}-1$ раз. Начиная с момента времени $t_{K^{i-1}}$ по t_r функционирование блока 2_i аналогично его работе с момента времени t_0 по $t_{K^{n-i}}$.

Во втором режиме, начиная с момента времени t_0 , на первый управляющий вход

коммутатора 4_i поступает высокий уровень, а на второй управляющий вход коммутатора 4_i — низкий уровень. В результате этой информации с первого информационного входа коммутатора 4_i передается на его второй и третий выходы, а с третьего информационного входа коммутатора 4_i — на его первый выход. С второго и третьего выходов коммутатора 4_i исходные данные поступают соответственно на второй и третий выходы блока 2_i.

С момента времени $t_{K^{n-i}}$ на втором управляющем входе коммутатора 4_i формируется высокий логический уровень. Вследствие этого информация с второго информационного входа коммутатора 4_i передается на его первый и третий выходы. На данном этапе функционирования исходные данные поступают на первый и второй информационные входы сумматора 5_i по модулю K , а результат суммирования с выхода сумматора по модулю K поступает на первый выход блока 2_i. Цикл работы блока 2_i повторяется $K^{i-1}-1$ раз, начиная с момента времени t_i . С момента времени $t_{K^{i-1}}$ по t_r функционирование блока 2_i аналогично его работе с момента времени t_0 по $t_{K^{n-i}}$.

Начиная с момента времени t_0 до момента $t_{K^{n-1}}$ в узел 6_i регистровой памяти и в узел 7_i регистровой памяти записывается информация, поступающая на информационные входы этих узлов.

С момента времени $t_{K^{n-i}-1}$ в течение $(K-1)K^{n-i}$ тактов работы блока 3_i запись и считывание информации из узла 6_i не осуществляется. Однако узел 7_i продолжает функционировать: информация, поступающая на его информационный вход, последовательно проходит через все регистры узла 7_i и поступает на его выход. С момента времени t_i на управляющий вход узла 6_i поступает последовательность импульсов. Вследствие этого содержимое регистров узла 6_i последовательно поступает на его выход. Период работы запоминающей ячейки 3_i с момента времени $t_{K^{n-i}}$ по t_m , где $m = 2K^{n-i} + (K-1)K^{n-i}-1$, повторяется $K^{i-1}-1$ раз и заканчивается в момент времени t_r .

Устройство для вычисления логических производных многозначных данных работает следующим образом в двух режимах.

Первый режим работы позволяет вычислить векторы значений $\partial X/\partial X_i$ логической производной по переменной X_i с циклическим отрицанием многозначной функции алгебры логики $f(X)$. В блоке 2_i вычисляется логическая производная по переменной X_i с циклическим отрицанием.

Второй режим работы устройства позволяет вычислить векторы значений смешанных логических производных по переменным с циклическим отрицанием многозначной функции алгебры логики $f(X)$.

Таким образом, оба режима работы позволяют вычислять логические производные не только бинарных, но и многозначных данных.

В первом режиме на вход пуска-останова поступает сигнал пуска, а на второй вход — низкий уровень ("0"), который определяет функционирование устройства в первом режиме. Исходные данные, элементы вектора значений X , последовательно поступают на информационный вход устройства, откуда передаются на первые информационные входы блоков Z_1 . На первых выходах блоков Z_1 формируются элементы векторов значений $\partial X/\partial X_1$ результата дифференцирования. Конец работы устройства определяется сигналом останова, поступающим на вход пуска-останова устройства.

Во втором режиме функционирование устройства определяется высоким уровнем ("1"), поступающим на второй вход режима устройства. Результат вычислений блока Z_1 вектор значений $\partial X/\partial X_1$ поступает на первый информационный вход блока Z_2 . В блоке Z_2 выполняется вычисление вектора значений смешанной логической производной второго порядка по переменным X_1 и X_2 с циклическим отрицанием.

Таким образом, на выходы устройства последовательно поступают элементы векторов значений смешанных логических производных l -го порядка по переменным с циклическим отрицанием.

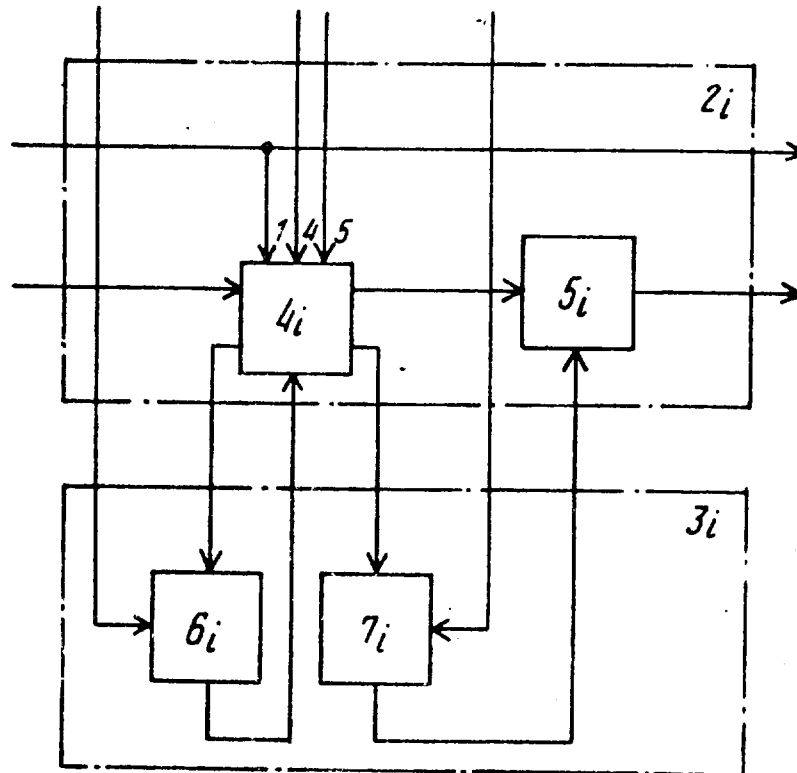
Ф о р м у л а и з о б р е т е н и я

Устройство для вычисления логических производных многозначных данных, содержащее первый блок управления и операционный блок, причем информационный вход и первый вход режима устройства подключены соответственно к первым информационному и управляющему входам первого операционного блока, о т л и ч а ю щ е с я тем, что, с целью расширения функциональных возможностей устройства за счет обработки многозначных данных, оно содержит с второго по n -й блоки управления (где n — число переменных многозначной функции алгебры логики), с второго по n -й операционные блоки и n блоков памяти, причем информационный вход устройства подключен к первым информационным входам операционных блоков с второго по n -й, вход пуска-останова устройства подключен к входу пуска-останова первого блока управления.

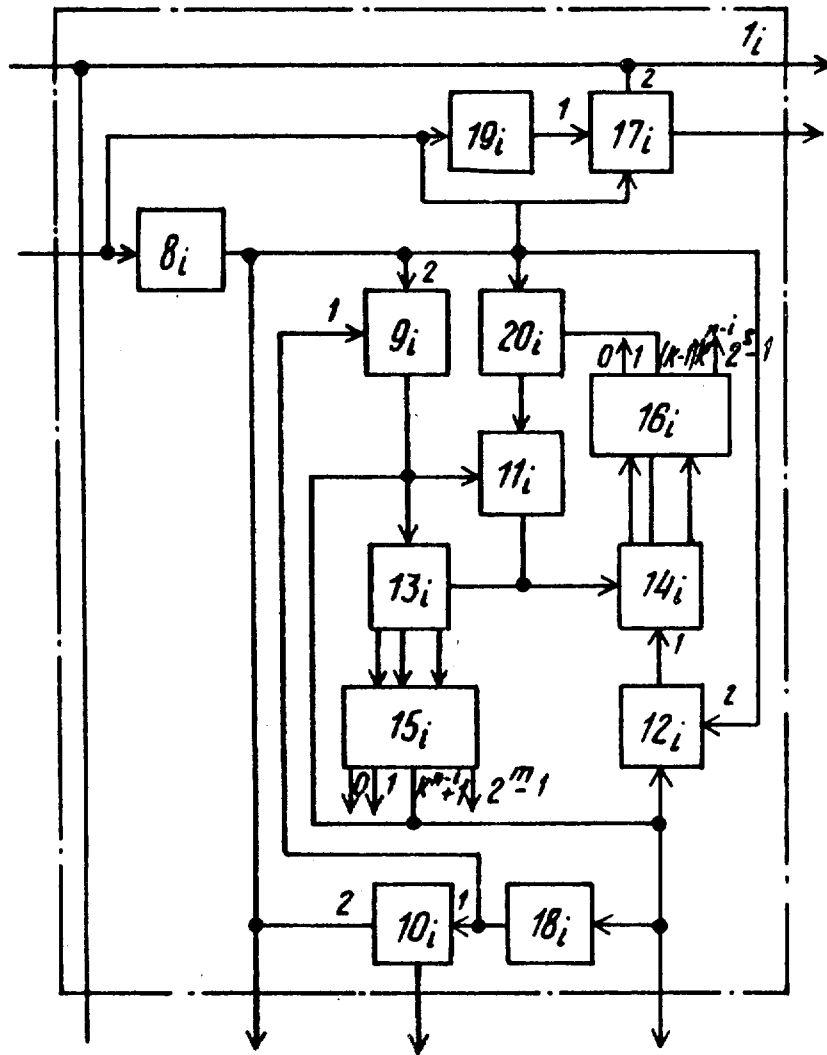
первый выход a -го операционного блока (где $a = 1, \dots, n-1$) подключен к первому управляющему входу $(a+1)$ -го операционного блока и к a -му выходу результата устройства, n -й выход результата которого подключен к первому выходу n -го операционного блока, второй вход режима устройства подключен к входам режима всех блоков управления и к вторым управляющим входам всех операционных блоков, первый выход a -го блока управления подключен к входу пуска-останова $(a+1)$ -го блока управления, второй, третий и четвертый выходы b -го блока управления (где $b = 1, \dots, n$) подключены к третьему управляющему входу b -го операционного блока, второй и третий выходы которого подключены соответственно к первому и второму информационным входам b -го блока памяти, первый и второй выходы которого подключены соответственно к второму и к третьему информационным входам b -го операционного блока, при этом каждый блок управления содержит генератор тактовых импульсов, элемент задержки, мультиплексор, элемент ИЛИ, элемент НЕ, два дешифратора, два счетчика и четыре элемента И, причем в каждом блоке управления вход режима блока управления подключен к управляющему входу мультиплексора, вход пуска-останова блока управления подключен к входу пуска-останова генератора тактовых импульсов, к входу элемента задержки, к первому информационному входу мультиплексора и к первому входу элемента ИЛИ, выход элемента задержки подключен к второму информационному входу мультиплексора, выход которого подключен к первому выходу блока управления, выход генератора тактовых импульсов подключен к первым входам первого, второго и третьего элементов И и к второму выходу блока управления, выход первого элемента И подключен к счетному входу первого счетчика, информационный выход которого подключен к входу первого дешифратора, K^{n-1} -й (где K — значимость данных, l — номер блока управления) выход которого подключен к вторым входам третьего и четвертого элементов И, к четвертому входу блока управления и к входу элемента НЕ, выход которого подключен к вторым входам первого и второго элементов И, выход последнего подключен к третьему выходу блока управления, выход третьего элемента И подключен к счетному входу второго счетчика, информационный выход которого подключен к входу второго дешифратора, $(K-2)K^{n-1}$ -й выход которого подключен к второму входу элемента ИЛИ, выход которого подключен к второму входу

четвертого элемента И, выход которого подключен к входам установки в "0" первого и второго счетчиков, при этом каждый операционный блок содержит коммутатор и сумматор по модулю К, причем в каждом операционном блоке первый информационный, первый, второй и третий управляющие, второй и третий информационные входы операционного блока подключены соответственно к первому и второму информацион-

ным, к первому и второму управляющим, к третьему информационному входам коммутатора и к первому информационному входу сумматора по модулю К, выход которого подключен к первому выходу операционного блока, первый, второй и третий выходы коммутатора подключены соответственно к второму информационному входу сумматора по модулю К, к второму и третьему выходам операционного блока.



Фиг. 2



Фиг. 3

Редактор Т.Лазоренко

Составитель В.Смирнов
Техред М.Моргентал

Корректор М.Максимишинец

Заказ 2752

Тираж 391

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101