



ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

ВСЕСОЮЗНАЯ  
ПАТЕНТНО-ТЕХНИЧЕСКАЯ  
БИБЛИОТЕКА

- 1
- (21) 4261750/24-24
  - (22) 15.06.87
  - (46) 07.08.89. Бюл. № 29
  - (71) Минский радиотехнический институт
  - (72) А.И. Шемаров, А.Н. Морозевич и В.А. Федосенко
  - (53) 681.32(088.8)
  - (56) Авторское свидетельство СССР № 999062, кл. G 06 F 15/332, 1983.  
Авторское свидетельство СССР № 1174939, кл. G 06 F 15/332, 1984.
  - (54) УСТРОЙСТВО ДЛЯ ФОРМИРОВАНИЯ АДРЕСОВ ПРОЦЕССОРА БЫСТРОГО ПРЕОБРАЗОВАНИЯ ФУРЬЕ
  - (57) Изобретение относится к вычислительной технике и может быть использовано при построении специализиро-

- 2
- ванных процессоров БПФ и других ортогональных преобразований. Цель изобретения - расширение области применения устройства за счет обеспечения возможности адресации действительной последовательности отсчетов длиной  $2^j$ . С этой целью в устройство для формирования адресов процессора БПФ, содержащее блок управления, реверсивный счетчик, счетчик, регистр, N мультиплексоров данных, группу элементов И, узел постоянной памяти, введены блок модификации адреса, блок сравнения, первый и второй мультиплексоры. Введение новых блоков и связей позволило выполнять адресацию для вычисления БПФ выборки данных произвольной длины, кратной двум. 1 з.п.ф-лы, 4 ил., 4 табл.

Изобретение относится к вычислительной технике и может быть использовано в составе процессора быстрого преобразования Фурье (БПФ) или быстрого преобразования в базисах ортогональных функций, используемых в спектроанализаторах, генераторах широкополосного случайного процесса, синтезаторах речевых сигналов и т.д.

Цель изобретения - расширение области применения устройства путем обеспечения возможности адресации действительной последовательности отсчетов длиной  $2^j$  ( $j = 1, 2, \dots, N$ ).

На фиг. 1 представлена функциональная схема устройства; на фиг. 2 - функциональная схема блока модифика-

ции адреса; на фиг. 3 - функциональная схема блока микропрограммного управления; на фиг. 4 - блок-схема алгоритма работы блока микропрограммного управления.

Устройство для формирования адресов процессора БПФ (фиг. 1) содержит блок 1 микропрограммного управления, реверсивный счетчик 2, счетчик 3, группу элементов И 4, группу мультиплексоров 5, регистр 6, блок 7 постоянной памяти. Устройство, кроме того, содержит блок 8 сравнения, блок 9 модификации адреса, первый 10 и второй 11 мультиплексоры.

Блок 9 модификации адреса (фиг. 2) содержит коммутатор 12, состоящий

(19) **SU** (11) **1499373** **A1**

из групп элементов И 13 и элементов ИЛИ 14, сумматор 15 и дешифратор 16.

Блок 1 (фиг. 3) содержит счетчик 17 адреса, блок 18 памяти микропрограмм, регистр 19 микрокоманд, мультиплексор 20 признаков, первый элемент И 21, второй элемент И 22 и элемент И-НЕ 23.

Устройство работает следующим образом.

Длина выборки в двоичном коде задается на входе устройства "Длина выборки". На входе признака расположения данных в выборке "Расположение данных" задается признак прямой ( $M = 1$ ) или двоично-инверсной ( $M = 0$ ) адресации. Например, обрабатывается выборка данных длиной 1024 отсчета. При этом двоичный код  $0\dots 01010$ , целое двоичное  $N$ -разрядное число, равное  $\log_2 1024$ , поступает на адресные входы мультиплексора 10. На выходе последнего формируется признак (0 или 1), если код числа на реверсивном счетчике 2 совпадает с кодом длины последовательности. Для рассматриваемого случая ( $N = 1024$ ) номер выхода — десять (одинадцатый выход счетчика 2 — нумерация идет от нуля. Появление единицы на выходе мультиплексора 10 сигнализирует об окончании вычислений по слою алгоритма БПФ. По данному сигналу в блоке 1 на его третьем выходе вырабатывается сигнал сброса реверсивного счетчика 2, а в счетчик 3, определяющий номер слоя, сигналом с шестого выхода блока 1 добавляется единица. При этом осуществляется переход к вычислениям по очередному слою.

Для каждого слоя алгоритма БПФ каналы мультиплексоров 5 коммутируются, как приведено в табл. 1.

Каждый мультиплексор 5 имеет два адресных входа  $A1$  и  $A0$ . Если сформирован код  $A1 = 0$  и  $A0 = 0$ , то на выход коммутируется канал  $X0$ , если  $A1 = 0$ , а  $A0 = 1$ , на выход коммутируется канал  $X1$ , если  $A1 = 1$ , а  $A0 = 0$ , на выход коммутируется канал  $X2$ , если на  $A1 = 1$  и  $A0 = 1$ , на выход коммутируется канал  $X3$  (фиг. 1).

Для этого прошивка блока 7 памяти выглядит согласно табл. 2.

По окончании вычислений по основному алгоритму (для выборки 1024 — десять слоев: 0, 1, 2, ..., 9) устройство переходит на адресацию в специальный слой (для рассматриваемого примера слой 10). Наличие перехода в специальный слой сигнализируется блоком 8 сравнения, на вторую группу входов которого подается код номера текущего слоя со счетчика 3, а на первую — код "Длина выборки". Окончание вычислений по специальному слою алгоритма БПФ определяется мультиплексором 11. Для данного мультиплексора 11 информация на выходе смещена на один разряд (фиг. 1) по отношению к мультиплексору 10, что соответствует характеру вычислений в специальном слое алгоритма БПФ. При наличии сигнала логической единицы на пятом выходе блока 1 блок 7 постоянной памяти отключается и на его выходах появляются уровни логической единицы. На адресных входах  $A0$ ,  $A1$  всех мультиплексоров 5 появляются уровни логической единицы. Этим достигается коммутация на выход информации с информационных входов  $X3$ , подключенных к инверсным входам реверсивного счетчика 2. При наличии уровня логического нуля на пятом выходе блока 1 происходит формирование адресов аналогично нулевому слою алгоритма БПФ, так как блок 7 постоянной памяти включен и на его адресные входы поступает код  $00\dots 0$ .

Управление работой устройства осуществляется блоком 1. Счетчик 17 адреса с возможностью параллельного занесения информации работает как регистр адреса микрокоманды. Выходы его подключены к входам блока 18 постоянной памяти, в котором записана микропрограмма работы всего устройства. Считанная из блока 18 постоянной памяти микрокоманда запоминается в регистре 19 микрокоманд. Выбор адреса следующей микрокоманды осуществляется путем добавления единицы к содержимому счетчика 17 адреса, либо путем условного или безусловного перехода к требуемому адресу занесения в счетчик адреса 17 параллельного кода адреса перехода. Адрес перехода определяют разряды микрокоманды  $Q0-Q5$  в поле адресов перехода. Переход инициируется сигналом,

возникающим на выходе мультиплексора 20 признаков.

Сигнал на выходе мультиплексора 20 признаков появляется в том случае, если в поле признаков перехода Q6, Q7 сформирован код, отличный от "11", а на адресных входах мультиплексора 20 признаков - код условия перехода X0-X3 (табл. 3).

Разряды Q8 и Q9 регистра 19 микрокоманд стробируются с помощью элементов 21 и 22 и являются соответственно первым и вторым выходами блока 1. Выходы разрядов Q10, ..., Q14 регистра 19 микрокоманд являются соответственно пятым, четвертым, третьим, шестым и седьмым выходами блока 1. Выход элемента И-НЕ 23 является восьмым выходом блока 1.

Алгоритм работы устройства для формирования адресов представлен на граф-схеме алгоритма (фиг. 4), кодировка микрокоманд которого представлена в табл. 4. На фиг. 4 введены следующие обозначения:

"+ 1 СТ1" ("1" в столбце Q8 табл. 4) соответствует формированию импульса на первом выходе блока 1, подключенном к суммирующему входу реверсивного счетчика 2;

"-1 СТ1" ("1" в столбце Q9 табл. 4) соответствует формированию импульса на втором выходе блока 1, подключенном к входу вычитания реверсивного счетчика 2;

"Сброс СТ1" ("1" в столбце Q12 табл. 4) соответствует формированию потенциального сигнала на третьем выходе блока 1, подключенному к выходу сброса реверсивного счетчика 2;

"3n. RG" ("0" → "1" в столбце Q11 табл. 4) соответствует формированию потенциального сигнала на четвертом выходе блока 1, подключенном к синхровходу регистра 6;

"inv" ("0" в столбце Q10 табл. 4) сигнал, вырабатываемый только в специальном слое алгоритма БПФ, соответствует формированию потенциального сигнала на пятом выходе блока 1, подключенном к вторым входам ряда 4 элементов И;

"+1 СТ2" ("0" в столбце Q13 табл. 4) соответствует формированию потенциального сигнала на шестом выходе блока 1, подключенном к суммирующему входу счетчика 3;

"Сброс СТ2" ("1" в столбце Q14 табл. 4) соответствует формированию потенциального сигнала на седьмом выходе блока 1, подключенном к входу сброса счетчика 3.

Алгоритм формирования адресов следующий.

I. Выполняются микрокоманды с адресами 0 и 1 (десятичный эквивалент двоичного адреса). В этих микрокомандах осуществляется сброс счетчиков 2 и 3 (сигналы "Сброс СТ1" и "Сброс СТ2"), чем устройство подготавливается к работе.

II. Выполняется микрокоманда с адресом 2. Формируется сигнал "3n.RG", чем осуществляется запись в регистр 6 адреса первого операнда нулевой пары операндов (адрес 000...00).

III. Выполняется микрокоманда с адресами 3-5. В которых формируются сигналы "+1 СТ1", а затем и "3n.RG", чем осуществляется запись в регистр 6 адреса второго операнда нулевой пары операндов (адрес 000...01). Далее эти операнды могут обрабатываться арифметическим устройством, причем операнды нулевой пары требуют тривиального умножения на единицу, поэтому для своей обработки требуют меньшего времени, чем операнды остальных пар. Это используется при входе в циклический участок алгоритма, когда время на обработку нулевой пары уменьшено до трех тактов.

IV. Выполняются микрокоманды с адресами 6-8. Они аналогичны микрокомандам 3-5. В результате их выполнения в регистр 6 заносится адрес первого операнда первой пары операндов (000...010).

V. Выполняются микрокоманды с адресами 9-11. Они также аналогичны микрокомандам с адресами 3-5. В результате их выполнения в регистр 6 заносится адрес второго операнда (000...011).

VI. Выполняется циклический участок микропрограммы, содержащий микрокоманды с адресами 12-23. В данном участке обрабатывается в арифметическом устройстве n-я пара операндов (в момент входа 1-я пара, адресованная микрокомандами с адресами 6-11). За время обработки n-й пары в арифметическом устройстве необходимо

адресовать  $(n-1)$ -ю пару, обработанную в арифметическом устройстве в предыдущем цикле (в момент входа в циклический участок 0-я пара), и  $(n+1)$ -ю пару, которая будет обрабатываться в следующем цикле.

Микрокоманды с адресами 12-14 три раза выполняют микрооперацию "-1 ST1" и формируют микрооперацию "3n RG" в микрокоманде с адресом 14, чем осуществляется формирование адреса первого операнда  $(n-1)$ -й пары (на момент входа в циклический участок адреса 000 ... 00).

Микрокоманды с адресами 15-17 аналогичны микрокомандам с адресами 3-5 и осуществляют формирование адреса второго операнда  $(n-1)$ -й пары (на момент входа в циклический участок адрес 00 ... 001).

Микрокоманды с адресами 18-20 три раза выполняют микрооперацию "+1 ST1" и формируют микрооперацию "3n RG" в микрокоманде 20. Этим осуществляется формирование адреса первого операнда  $(n+1)$ -й пары (на момент входа в циклический участок адрес 000 ... 0100).

Микрокоманды с адресами 21-23 аналогичны микрокомандам с адресами 3-5 и осуществляют формирование адреса второго операнда  $(n+1)$ -й пары (на момент входа в циклический участок адрес 000 ... 0101).

Таким образом, при выполнении циклического участка происходит адресация  $(n-1)$ -й пары для записи в память,  $(n+1)$ -й пары для считывания из памяти и обработки в следующем цикле.

В микрокоманде с адресом 14 анализируется условие X0. При попытке сформировать адрес для записи в память первого операнда  $(n-1)$ -й пары, не принадлежащего пространству адресов слоя алгоритма БПФ для данной выборки, условие X0 становится равным единице. При этом происходит условный переход к выполнению микрокоманды с адресом 24. Если первый операнд (пара операндов) принадлежит пространству, то перехода не происходит и циклический участок повторяется снова.

VII. Выполняются микрокоманды с адресами 24 и 25. В них осуществляется формирование операций "Сброс ST1" и "+1 ST2". Добавление единицы в счетчик 3 означает формирование

следующего слоя алгоритма БПФ. В микрокоманде 25 анализируется условие X1, которое сигнализирует о переходе в специальный слой алгоритма БПФ.

Если нет перехода в специальный слой алгоритма БПФ, то устройство начинает обрабатывать следующий слой путем выполнения микрокоманды с адресом 2. При наличии перехода в специальный слой осуществляется переход к выполнению микрокоманды с адресом 26, т.е. вход в участок алгоритма, осуществляющий формирование адресов операндов специального слоя.

VIII. Выполняется микрокоманда с адресом 26, в которой формируются микрооперации "inv" и "3n RG", чем осуществляется формирование адреса первого операнда первой пары алгоритма операндов специального слоя (адрес 11 ... 11).

IX. Выполняются микрокоманды с адресами 27-29. Данные микрокоманды аналогичны микрокомандам с адресами 3-5. Сигнал "inv" не вырабатывается. В результате выполнения этих микрокоманд осуществляется формирование адреса второго операнда первой пары специального слоя (адрес 0000 ... 001). Первая пара поступает далее в арифметическое устройство для обработки.

X. Выполняются микрокоманды с адресом 30-32. Вырабатывается микрооперация "inv" и "3n RG" в микрокоманде 32. Данные микрокоманды формируют адрес первого операнда второй пары специального слоя (адрес 111 ... 110).

XI. Выполняются микрокоманды с адресами 33-35. Данные микрокоманды аналогичны микрокомандам с адресами 3-5. В результате выполнения этих микрокоманд осуществляется формирование адреса второго операнда второй пары специального слоя (000...010).

XII. Выполняется циклический участок микропрограммы с адресами 36-47. В данном участке обрабатывается в арифметическом устройстве  $n$ -я пара операндов (в момент входа в циклический участок вторая пара операндов), адресованная микрокомандами с адресами 30-35. За время обработки  $n$ -й пары операндов в арифметическом устройстве необходимо адресовать  $(n-1)$ -ю пару операндов, обработанную в арифметическом устройстве в преды-

дущем цикле (в момент входа в циклический участок 1-я пара) и  $(n+1)$ -ю пару, которая будет обрабатываться в следующем такте.

Микрокоманды с адресами 36-38 два раза выполняют микрооперацию " $-1$  СТ1" и формируют микрооперацию " $3n$  RG" в микрокоманде с адресом 38. Во всех трех микрокомандах сигналом "inv" осуществляется формирование адреса первого операнда  $(n-1)$ -й пары (на момент входа в циклический участок адрес 111 ... 111).

Микрокоманды с адресами 39-41 аналогичны микрокомандам с адресами 3-5 и осуществляют формирование адреса второго операнда  $(n-1)$ -й пары (на момент входа в циклический участок адрес 00 ... 001).

Микрокоманды с адресами 42-44 аналогичны микрокомандам с адресами 3-5 при наличии сигнала "inv". Эти микрокоманды позволяют адресовать первый операнд  $(n+1)$ -й пары операндов (на момент входа в циклический участок алгоритма адрес 111 ... 101).

Микрокоманды с адресами 45-47 аналогичны микрокомандам с адресами 3-5. Этим осуществляется формирование адреса второго операнда  $(n+1)$ -й пары (на момент входа в циклический участок адрес 00 ... 011).

Таким образом, при выполнении циклического участка происходит адресация  $(n-1)$ -й пары для записи в память  $(n+1)$ -й пары считывания из памяти и обработки в следующем цикле.

В микрокоманде с адресом 38 анализируется условие X2. Если условие X2 равно единице, то это означает, что все пары специального слоя обработаны и окончены все вычисления по специальному слою. Происходит переход к выполнению микрокоманды с адресом 48, т.е. "Конец". В противном случае циклический участок выполняется снова. Таким образом, на выходах группы мультиплексоров 5 формируются адреса для выполнения алгоритма БПФ и специального слоя алгоритма БПФ для произвольной выборки.

Данные, адресуемые устройством, могут быть представлены как в прямом, так и в двоично-инверсном коде. Двоично-инверсный код предполагает переконмутацию разрядов адреса в обратном порядке. Младший становится старшим и т.д.

В устройстве использован блок 9 модификации адреса (фиг. 2). При формировании адресов в двоично-инверсном порядке дешифратор 16 включен (на управляющем входе уровень логического нуля). Дешифратор 16 дешифрует код "Длина выборки" и выбирает в каждой группе только один двухвходовый элемент И из группы элементов И 13.

При формировании адресов в прямом порядке на управляющий вход дешифратора 16 поступает уровень логической единицы и выходы его устанавливаются в состояние ноля. При этом включаются элементы И, которые обеспечивают формирование канала с прямым следованием разрядов адреса. С выходов группы элементов ИЛИ 14 код адреса поступает на сумматор 15, где суммируется с информацией на выходе устройства "Смещение", и поступает на информационные входы регистров для записи его туда на время обращения к запоминающему устройству. Суммирование с кодом "Смещение", задаваемым извне, позволяет размещать произвольные выборки в памяти с любого адреса.

#### Ф о р м у л а и з о б р е т е н и я

1. Устройство для формирования адресов процессора быстрого преобразования Фурье, содержащее блок микропрограммного управления, реверсивный счетчик, счетчик, группу элементов И, группу из  $N$  (где  $N$  - разрядность адреса) мультиплексоров, регистр, блок постоянной памяти, каждый разряд входа адреса которого соединен с выходом соответствующего элемента И группы,  $j$ -й двухразрядный выход ( $j = \overline{1, N}$ ) блока постоянной памяти подключен к адресным входам  $j$ -го мультиплексора группы,  $j$ -й инверсный выход реверсивного счетчика соединен с первым информационным входом  $j$ -го мультиплексора группы, первый прямой выход реверсивного счетчика соединен с вторыми информационными входами  $N$  мультиплексоров группы и третьим информационным входом первого мультиплексора группы,  $K$ -й прямой выход ( $K = \overline{2, N-1}$ ) реверсивного счетчика соединен с четвертым информационным входом  $(K-1)$ -го и третьим входом  $K$ -го мультиплексоров группы,  $N$ -й прямой выход реверсивного счет-

чика соединен с третьим информационным входом N-го мультиплексора группы, входы суммирования, вычитания и сброса реверсивного счетчика соединены соответственно с первым, вторым и третьим входами блока микропрограммного управления, четвертый выход которого соединен с тактовым входом регистра, а пятый - с первыми входами элементов И группы, вторые входы которой соединены с соответствующими выходами счетчика, шестой выход блока микропрограммного управления подключен к входу чтения блока постоянной памяти, отличающееся тем, что, с целью расширения области применения устройства путем обеспечения возможности адресации действительной последовательности отсчетов длиной  $2^j$ , в него дополнительно введены блок сравнения, блок модификации адреса, первый и второй мультиплексоры, j-е информационные входы которых соединены с соответствующим j-м прямым выходом реверсивного счетчика, выходы первого, второго мультиплексоров и блока сравнения подключены соответственно к первому, второму и третьему входам логических условий блока микропрограммного управления, тактовый вход которого является тактовым входом устройства, пятый и шестой выходы блока микропрограммного управления соединены соответственно со счетным входом и входом сброса счетчика, выходы которого подключены к первой группе входов блока сравнения, адресные входы первого и второго мультиплексоров

5

10

15

20

25

30

35

40

соединены с второй группой входов блока сравнения, первой группой управляющих входов блока модификации адреса и являются группой входов задания длины выборки устройства, вторая группа управляющих входов блока модификации адреса является группой входов кода смещения адреса устройства, а управляющий вход соединен с входом задания признака расположения данных устройства, выходы мультиплексоров группы подключены к группе информационных входов блока модификации адреса, выходы которого соединены с информационными входами регистра, выходы которого являются информационными выходами устройства.

2. Устройство по п. 1, отличающееся тем, что блок модификации адреса содержит коммутатор, сумматор и дешифратор, информационные входы которого являются второй группой управляющих входов блока, управляющий вход которого является стробирующим входом дешифратора и соединен с первым управляющим входом коммутатора, информационные входы которого являются группой информационных входов блока, группа выходов коммутатора подключена к второй группе входов сумматора, первой группой входов которого является первая группа управляющих входов блока, выходы которых являются выходами сумматора, выходы дешифратора соединены с остальными управляющими входами коммутатора.

Т а б л и ц а 1

Слой	Номер мультиплексора Б из ряда							
	0	1	2	...	j-1	j	...	N-1
0	X1	X0	X0	...	X0	X0	...	X0
1	X2	X1	X0	...	X0	X0	...	X0
2	X2	X2	X1	...	X0	X0	...	X0
⋮	...	...	...	...	...	...	...	...
-1	X2	X2	X2	...	X1	X0	...	X0
	X2	X2	X2	...	X2	X1	...	X0
+1	X2	X2	X2	...	X2	X2	...	X0
⋮	...	...	...	...	...	...	...	...
-1	X2	X2	X2	...	X2	X2	...	X1

Т а б л и ц а 2

Слой	Код A1 A0 мультиплексора 5 из ряда							
	0	1	2	...	j-1	j	...	N-1
0	01	00	00	...	00	00	...	00
1	10	01	00	...	00	00	...	00
2	10	10	01	...	00	00	...	00
⋮	...	...	...	...	...	...	...	...
j-1	10	10	10	...	01	00	...	00
j	10	10	10	...	10	01	...	00
N-1	10	10	10	...	10	10	...	01

Т а б л и ц а 3

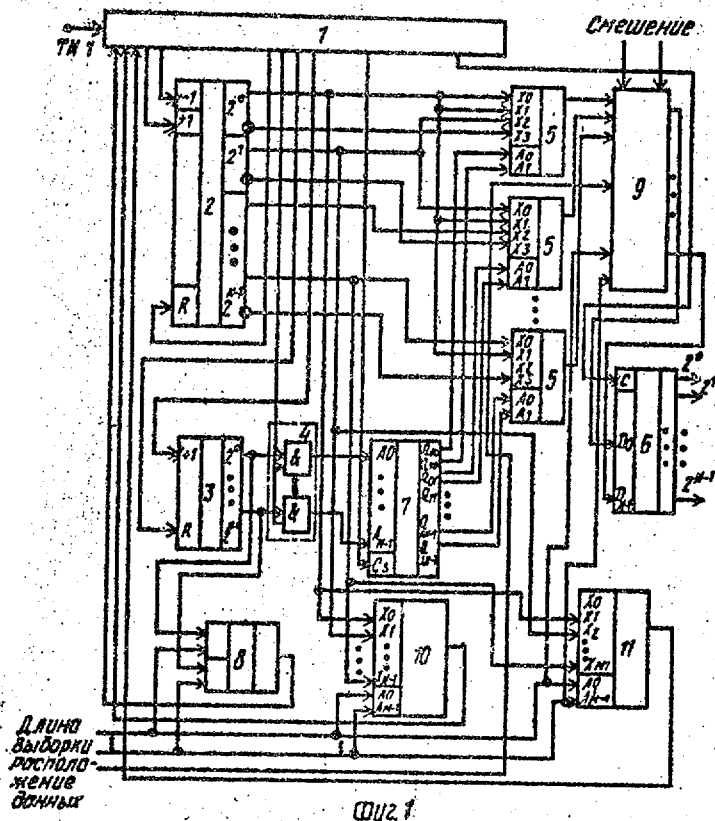
Q6	Q7	Условие	Комментарий
0	0	X0	Анализируется выход мультиплексора 10
0	1	X1	Анализируется выход блока 8
1	0	X2	Анализируется выход мультиплексора 11
1	1	X3	Передается константа для организации безусловного перехода

Т а б л и ц а 4

№ п/п	Адрес						Данные														
	A5	A4	A3	A2	A1	A0	00	01	02	03	04	05	06	07	08	09	010	011	012	013	014
0	0	0	0	0	0	0	1	1	1	1	1	1	0	1	0	0	1	0	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1	0	1	0	0	1	0	1	1	1
2	0	0	0	0	1	0	1	1	1	1	1	1	0	1	0	0	1	0	0	1	0
3	0	0	0	0	1	1	1	1	1	1	1	1	0	1	1	0	1	1	0	1	0
4	0	0	0	1	0	0	1	1	1	1	1	1	0	1	0	0	1	1	0	1	0
5	0	0	0	1	0	1	1	1	1	1	1	1	0	1	0	0	1	0	0	1	0
6	0	0	0	1	1	0	1	1	1	1	1	1	0	1	1	0	1	1	0	1	0
7	0	0	0	1	1	1	1	1	1	1	1	1	0	1	0	0	1	1	0	1	0
8	0	0	1	0	0	0	1	1	1	1	1	1	0	1	0	0	1	0	0	1	0
9	0	0	1	0	0	1	1	1	1	1	1	1	0	1	1	0	1	1	0	1	0
10	0	0	1	0	1	0	1	1	1	1	1	1	0	1	0	0	1	1	0	1	0
11	0	0	1	0	1	1	1	1	1	1	1	1	0	1	0	0	1	0	0	1	0
12	0	0	1	1	0	0	1	1	1	1	1	1	0	1	0	1	1	1	0	1	0
13	0	0	1	1	0	1	1	1	1	1	1	1	0	1	0	1	1	1	0	1	0
14	0	0	1	1	1	0	0	1	1	0	0	0	0	0	0	1	1	0	0	1	0
15	0	0	1	1	1	1	1	1	1	1	1	1	0	1	1	0	1	1	0	1	0
16	0	1	0	0	0	0	1	1	1	1	1	1	0	1	0	0	1	1	0	1	0
17	0	1	0	0	0	1	1	1	1	1	1	1	0	1	0	0	1	0	0	1	0
18	0	1	0	0	1	0	1	1	1	1	1	1	0	1	1	0	1	1	0	1	0
19	0	1	0	0	1	1	1	1	1	1	1	1	0	1	1	0	1	1	0	1	0
20	0	1	0	1	0	0	1	1	1	1	1	1	0	1	1	0	1	0	0	1	0
21	0	1	0	1	0	1	1	1	1	1	1	1	0	1	1	0	1	1	0	1	0
22	0	1	0	1	1	0	1	1	1	1	1	1	0	1	0	0	1	1	0	1	0
23	0	1	0	1	1	1	1	1	1	1	1	1	1	1	0	0	1	0	0	1	0
24	0	1	1	0	0	0	0	1	1	0	0	1	0	1	0	0	1	0	1	0	0
25	0	1	1	0	0	1	0	0	0	0	1	0	0	1	0	0	1	0	0	1	0
26	0	1	1	0	1	0	1	1	1	1	1	1	0	0	0	0	1	0	0	1	0
27	0	1	1	0	1	1	1	1	1	1	1	1	0	0	1	0	0	1	0	1	0

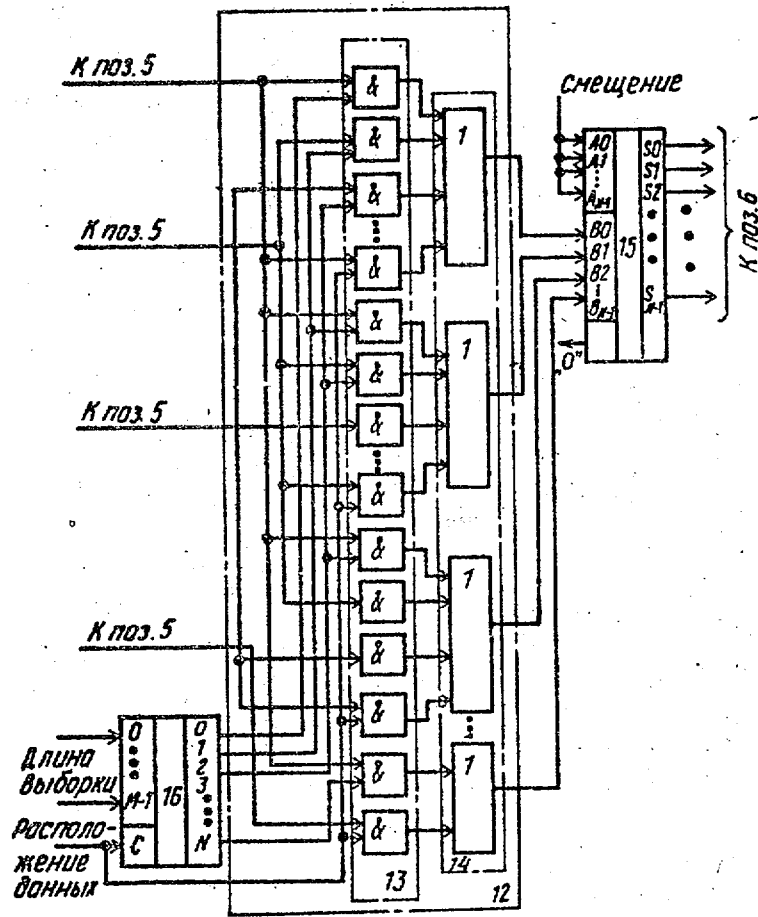
Продолжение табл.4

№ п/п	Адрес						Данные														
	A5	A4	A3	A2	A1	A0	00	01	02	03	04	05	06	07	08	09	010	011	012	013	014
28	0	1	1	1	0	0	1	1	1	1	1	1	0	0	0	0	0	1	0	1	0
29	0	1	1	1	0	1	1	1	1	1	1	1	0	0	0	0	0	1	0	1	0
30	0	1	1	1	1	0	1	1	1	1	1	1	0	0	0	0	0	0	1	0	0
31	0	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	1	1	0	1	0
32	1	0	0	0	0	0	1	1	1	1	1	1	0	0	0	0	1	1	0	1	0
33	1	0	0	0	0	1	1	1	1	1	1	1	0	0	1	0	0	1	0	1	1
34	1	0	0	0	1	0	1	1	1	1	1	1	0	0	0	0	0	1	0	1	0
35	1	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	1	0	1	0
36	1	0	0	1	0	0	1	1	1	1	1	1	0	0	0	1	1	1	0	1	0
37	1	0	0	1	0	1	1	1	1	1	1	1	0	0	0	1	1	1	0	1	0
38	1	0	0	1	1	0	1	1	0	0	0	0	1	0	0	0	1	1	0	1	0
39	1	0	0	1	1	1	1	1	1	1	1	1	0	0	1	0	0	1	0	0	1
40	1	0	1	0	0	0	1	1	1	1	1	1	0	0	0	0	1	0	1	0	0
41	1	0	1	0	0	1	1	1	1	1	1	1	0	0	0	0	0	1	0	1	0
42	1	0	1	0	1	0	1	1	1	1	1	1	0	0	1	0	1	1	0	1	0
43	1	0	1	0	1	1	1	1	1	1	1	1	0	0	0	0	1	1	0	1	0
44	1	0	1	1	0	0	1	1	1	1	1	1	0	0	0	0	1	0	0	1	0
45	1	0	1	1	0	1	1	1	1	1	1	1	0	0	1	0	0	1	0	1	0
46	1	0	1	1	1	0	1	1	1	1	1	1	0	0	0	0	0	1	0	1	0
47	1	0	1	1	1	1	1	0	0	1	0	0	1	1	0	0	0	1	0	1	0
48	1	1	0	0	0	0	1	1	0	0	0	0	1	1	0	0	1	0	0	1	0

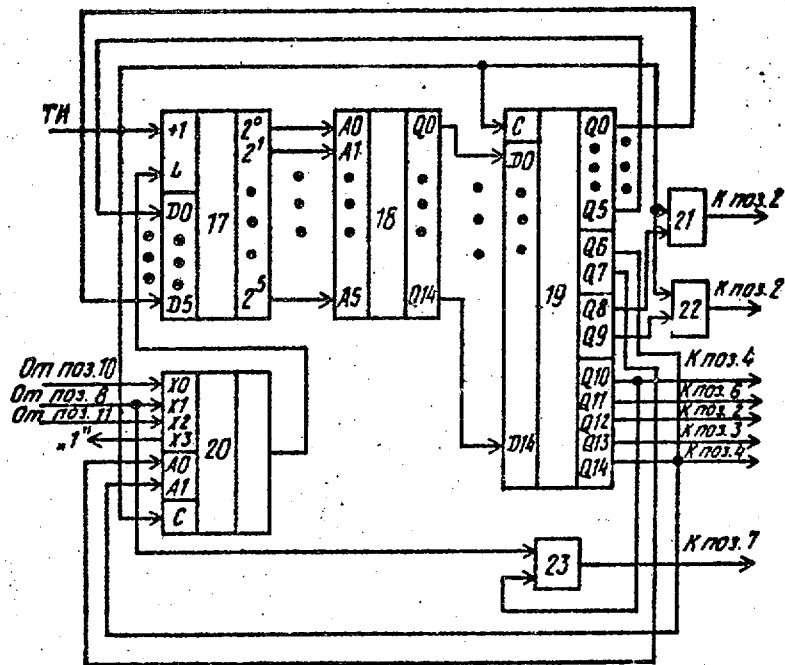


Фиг.1

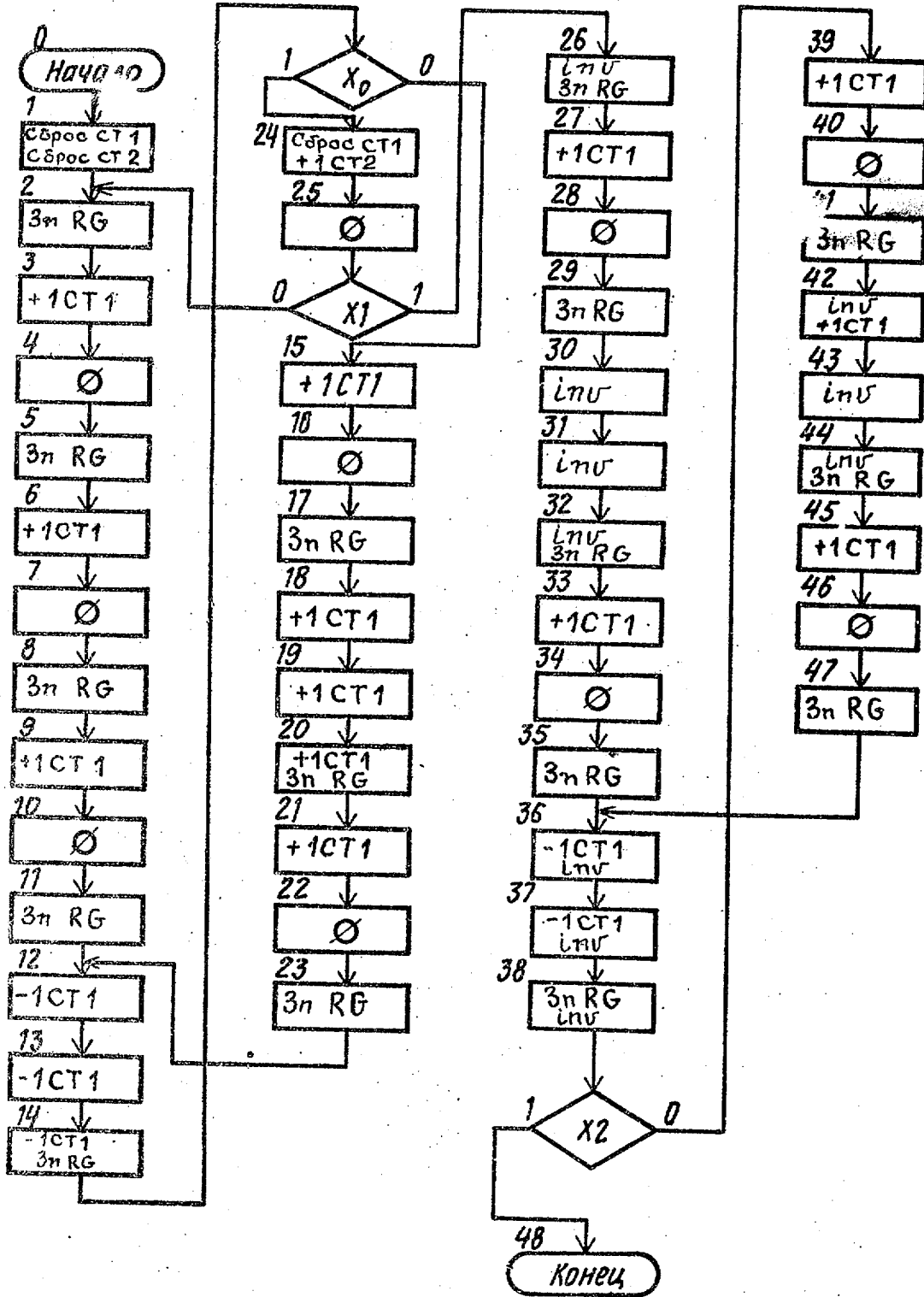




Фиг. 2



Фиг. 3



Фиг. 4

Составитель Е. Румянцев  
Техред Л. Сердюкова

Корректор С. Шекмар

Заказ 4696/49

Тираж 668

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101