



ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГИИТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

ВСЕСОЮЗНАЯ  
ПАТЕНТНО-ТЕХНИЧЕСКАЯ  
БИБЛИОТЕКА

- 1
- (21) 4378636/24-24
  - (22) 12.02.88
  - (46) 07.02.90. Бюл. № 5
  - (71) Минский радиотехнический институт
  - (72) С.Н. Янушкевич, Е.Н. Зайцева, Г.А. Кухарев и В.П. Шмерко
  - (53) 681.327.6(088.8)
  - (56) Авторское свидетельство СССР № 1168925, кл. G 06 F 7/04, 1985.

Авторское свидетельство СССР № 1277089, кл. G 06 F 7/04, 1987.

- (54) УСТРОЙСТВО ДЛЯ ЛОГИЧЕСКОГО ДИФФЕРЕНЦИРОВАНИЯ БУЛЕВЫХ ФУНКЦИЙ
- (57) Устройство относится к цифро-

- 2
- вой вычислительной технике и может быть использовано для аппаратной поддержки вычислений в системах автоматизированного анализа и синтеза цифровых автоматов при их диагностике и контроле, в системах генерирования и синтеза изображений, управления роботами-манипуляторами. В устройство, содержащее блок синхронизации и блок вычислений, с целью повышения быстродействия за счет распараллеливания вычислений значений логической производной булевой функции по каждой из переменных, дополнительно введены M-1 блок вычислений и M блоков вывода данных. 2 з.п.ф-лы, 3 ил.

Изобретение относится к области цифровой вычислительной техники и может быть использовано для аппаратной поддержки вычислений в системах автоматизированного анализа и синтеза цифровых автоматов, при их диагностике и контроле, в системах генерирования и синтеза изображений, управления роботами-манипуляторами.

Цель изобретения - повышение быстродействия за счет распараллеливания вычислений значений логической производной булевой функции по каждой из переменных.

Суть изобретения заключается в организации однородного процесса вычисления логических производных булевой функции по каждой из переменных на принципах параллельной обработки.

В основу предлагаемого изобретения положены следующие математические модели функционирования компонентов и устройства в целом.

Логическая производная булевой функции  $f(x) = f(x_1, x_2, \dots, x_m)$  переменных по переменной  $x_i$  ( $i = 1, m$ ) определяется соотношением

$$\frac{\partial f(x)}{\partial x_i} = f(x_1, \dots, x_i, \dots, x_m) \oplus f(x_1, \dots, x_i, \dots, x_m). \quad (1)$$

В матричном виде данная процедура представляется следующей математической моделью:

$$\frac{\partial f(x)}{\partial x_i} = D_{2^m}^{(i)} X_f, \pmod{2}, \quad (2)$$

где  $X_f$  - вектор значений (вектор истинности) булевой функции  $f(x)$ ,  $X_f = [x^{(0)} x^{(1)} \dots x^{(2^m-1)}]^T$

(19) SU (11) 1541591 A1

$D_{2^m}^{(i)}$  - матрица дифференцирования размерности  $2^m \times 2^m$ , формируемая по рекуррентному соотношению

$$D_{2^m}^{(i)} = I_{2^{(i-1)}} \otimes \begin{bmatrix} 1 & 1 \\ 1 & 1 \end{bmatrix} \otimes I_{2^{(m-i)}},$$

где  $\otimes$  - символ кронекеровского произведения матриц;

$I_{2^p}$  - единичная матрица размерности  $2^p \times 2^p$ .

Операции сложения при перемножении матрицы и вектора  $X_f$  в (2) также выполняются по модулю два.

На фиг. 1 представлена структурная схема устройства; на фиг. 2 - структурная схема блока вычислений; на фиг. 3 - структурная схема блока вывода данных.

Устройство (фиг. 1) содержит группу блоков 1 вычислений, блок 2 синхронизации, группу блоков 3 вывода данных, причем информационные входы блоков 1 вычислений группы являются входами устройства, входы синхронизации этих блоков и блоков 3 вывода данных группы подключены к выходам блока синхронизации, информационные входы блоков 3 вывода данных группы подключены к выходам блоков 1 вычислений группы соответственно, выходы блоков 3 вывода группы являются выходами устройства.

Блок 1 вычислений (фиг. 2) содержит регистр входных данных 4, сумматор 5 по модулю два, коммутатор 6, причем информационный вход и вход синхронизации коммутатора 6 являются информационным входом и входом синхронизации блока соответственно, первый и второй выходы коммутатора 6 подключены к первому информационному входу сумматора 5 по модулю два и к информационному входу регистра 4 входных данных соответственно, выход регистра 4 входных данных подключен к второму информационному входу сумматора по модулю два 5, выход которого является выходом блока.

Блок 3 вывода данных (фиг. 3) содержит регистр 7 выходных данных и коммутатор 8, первый и второй информационные входы которого подключены к первому и второму выходам регистра 7 выходных данных соответственно, информационный вход регистра 7 вы-

ходных данных и управляющий вход коммутатора 8 являются информационным и управляющим входами соответственно, выход коммутатора 8 является выходом блока.

Устройство функционирует следующим образом.

Пусть необходимо вычислить логическую производную  $\partial X_f / \partial x_1$ ,  $\partial X_f / \partial x_2$  и  $\partial X_f / \partial x_3$  булевой функции  $f(x) = f(x_1, x_2, x_3)$  трех переменных. Исходный вектор значений  $X_f = [x^{(0)} x^{(1)} \dots x^{(7)}]^T$  функции  $f(x)$  подается поэлементно, начиная с младшего элемента  $x^{(0)}$  на информационный вход устройства. Устройство содержит три блока вычислений и три блока вывода данных и блок синхронизации.

Рассмотрим работу первых, вторых и третьих блоков вычислений и блоков вывода данных.

На тактах с первого по четвертый происходит загрузка первого блока вычислений элементами  $x^{(0)}$ ,  $x^{(1)}$ ,  $x^{(2)}$  и  $x^{(3)}$  вектора значений  $X_f$ . Это осуществляется следующим образом: на первом такте первый элемент  $x^{(0)}$  вектора  $X_f$  поступает на информационный вход коммутатора 6 и передается на его второй выход по низкому логическому уровню сигнала на его входе синхронизации и записывается в регистр 4. На втором такте элемент  $x^{(1)}$  вектора  $X_f = [x^{(0)} x^{(1)} \dots x^{(7)}]^T$  записывается в регистр 4 аналогично. Одновременно элемент  $x^{(0)}$  перезаписывается из первого во второй разряд регистра 4. На третьем и четвертом тактах значения элементов  $x^{(2)}$  и  $x^{(3)}$  вектора  $X_f$  последовательно записываются в регистр 4. Таким образом, к концу четвертого такта значения элементов  $x^{(0)}$ ,  $x^{(1)}$ ,  $x^{(2)}$ ,  $x^{(3)}$  оказываются записанными соответственно в четвертом, третьем, втором и первом разрядах регистра 4. На пятом такте происходит суммирование по модулю два элемента  $x^{(0)}$ , поступившего с выхода регистра 4, и элемента  $x^{(4)}$ , поступившего с первого выхода коммутатора 6 по высокому логическому уровню напряжения на его входе синхронизации. Результат суммирования  $y_1 = x^{(0)} \oplus x^{(4)}$  поступает на информационный вход регистра 7 и по высокому логическому уровню сигнала на входе синхронизации коммутатора 8 передается на его выход, т.е. на пер-

вый выход устройства. На шестом такте на выход устройства передается результат  $y_1^{(1)} = x^{(1)} \otimes x^{(5)}$ , этот же результат записывается в регистр 7. На седьмом и восьмом тактах на выход устройства передаются соответственно результаты  $y_1^{(2)} = x^{(2)} \otimes x^{(6)}$  и  $y_1^{(3)} = x^{(3)} \otimes x^{(7)}$  и, кроме того, по окончании восьмого такта в регистре 7 оказываются записанными элементы  $y_1^{(0)}$ ,  $y_1^{(1)}$ ,  $y_1^{(2)}$ ,  $y_1^{(3)}$  — элементы второго из пары равных векторов  $\partial X_f^1 / \partial x_i$  и  $\partial X_f^2 / \partial x_i$ , составляющих вектор результата  $\partial X_f^1 / \partial x_i$ . На девятом такте вычислений с выхода регистра 7 через коммутатор на выход устройства поступает значение элемента  $y_1^{(4)} = y_1^{(0)}$  вектора результата  $Y_f/x_1$ , а на десятом — двенадцатом тактах соответственно значения  $y_1^{(5)} = y_1^{(1)}$ ,  $y_1^{(6)} = y_1^{(2)}$  и  $y_1^{(7)} = y_1^{(3)}$  вектора  $Y_f/x_1 = [y_1^{(0)} y_1^{(1)} \dots y_1^{(7)}]^T$ . На девятом такте в устройстве можно вводить для обработки элементы следующего вектора  $X_f$ .

Таким образом, на первых четырех тактах в предлагаемом устройстве выполняется загрузка блока вычислений значениями элементов вектора  $X_f$ , на следующих восьми — выдача результата дифференцирования, причем, начиная с девятого такта, может осуществляться загрузка блока вычислений элементами следующего вектора  $X_f$ .

Функционирование второго блока 1 вычислений и второго блока 3 вывода данных, обеспечивающих вычисление вектора  $Y_f/x_2$ , происходит следующим образом.

На первых двух тактах выполняется загрузка второго блока вычислений элементами  $x^{(0)}$  и  $x^{(1)}$  вектора значений  $X_f = [x^{(0)} x^{(1)} \dots x^{(7)}]^T$ : на первом такте элемент  $x^{(0)}$  записывается в регистр 4 (его первый разряд), на втором также в регистр 4 (его первый разряд) записывается элемент  $x^{(1)}$ , а элемент  $x^{(0)}$  перезаписывается во второй разряд регистра 4. На третьем такте происходит суммирование по модулю два элементов  $x^{(0)}$  и  $x^{(2)}$  и результат  $y_2^{(0)} = x^{(0)} \otimes x^{(2)}$  поступает на выход устройства и, кроме того, записывается в регистр 7 выходных данных. К концу четвертого такта на выход устройства поступает результат  $y_2^{(1)} = x^{(1)} \otimes x^{(3)}$ , а в регистре 7 оказываются записанными значения элементов  $y_2^{(0)}$  и  $y_2^{(1)}$ . На первом и

шестом тактах соответственно на выход устройства передаются значения элементов  $y_2^{(2)} = y_2^{(0)}$  и  $y_2^{(3)} = y_2^{(1)}$ , а в регистр 4 последовательно записываются значения элементов  $x^{(4)}$  и  $x^{(5)}$  вектора  $X_f$ . На седьмом и восьмом тактах на выход устройства поступают элементы  $y_2^{(4)} = x^{(4)} \otimes x^{(6)}$  и  $y_2^{(5)} = x^{(5)} \otimes x^{(7)}$  вектора результата  $Y_f/x_2$ , а на девятом и десятом — результаты  $y_2^{(6)} = y_2^{(4)}$  и  $y_2^{(7)} = y_2^{(5)}$ .

Таким образом, на первых двух тактах происходит загрузка второго блока вычислений, на следующих восьми — выдача результата  $Y_f/x_2 = [y_2^{(0)} y_2^{(1)} \dots y_2^{(7)}]^T$ .

Рассмотрим функционирование третьего блока 1 вычислений и третьего блока 3 вывода данных.

При вычислении  $Y_f/x_3$  на первом такте происходит загрузка третьего блока вычислений первым элементом  $x^{(0)}$  вектора значений  $X_f$ . На втором такте выполняется суммирование по модулю два элементов  $x^{(0)}$  и  $x^{(1)}$ . Результат суммирования  $y_3^{(0)} = x^{(0)} \otimes x^{(1)}$  поступает на выход устройства и, кроме того, записывается в регистр 7. На третьем такте результат  $y_3^{(1)} = y_3^{(0)}$  с выхода регистра 7 поступает на выход устройства, при этом происходит загрузка блока вычислений значением элемента  $x^{(2)}$ . Далее на четных тактах (четвертом, шестом и восьмом) происходит формирование результатов суммирования соответственно  $y_3^{(2)} = x^{(2)} \otimes x^{(3)}$ ,  $y_3^{(4)} = x^{(4)} \otimes x^{(5)}$  и  $y_3^{(6)} = x^{(6)} \otimes x^{(7)}$ , а на нечетных (пятом, седьмом и девятом) на выход устройства поступают результаты  $y_3^{(3)} = y_3^{(2)}$ ,  $y_3^{(5)} = y_3^{(4)}$  и  $y_3^{(7)} = y_3^{(6)}$  соответственно.

Таким образом, на первом такте происходит загрузка вычислительной ячейки, а на втором и последующих — выдача результата  $Y_f/x_3 = [y_3^{(0)} y_3^{(1)} \dots y_3^{(7)}]^T$  (по девятый такт включительно).

## 50 Ф о р м у л а и з о б р е т е н и я

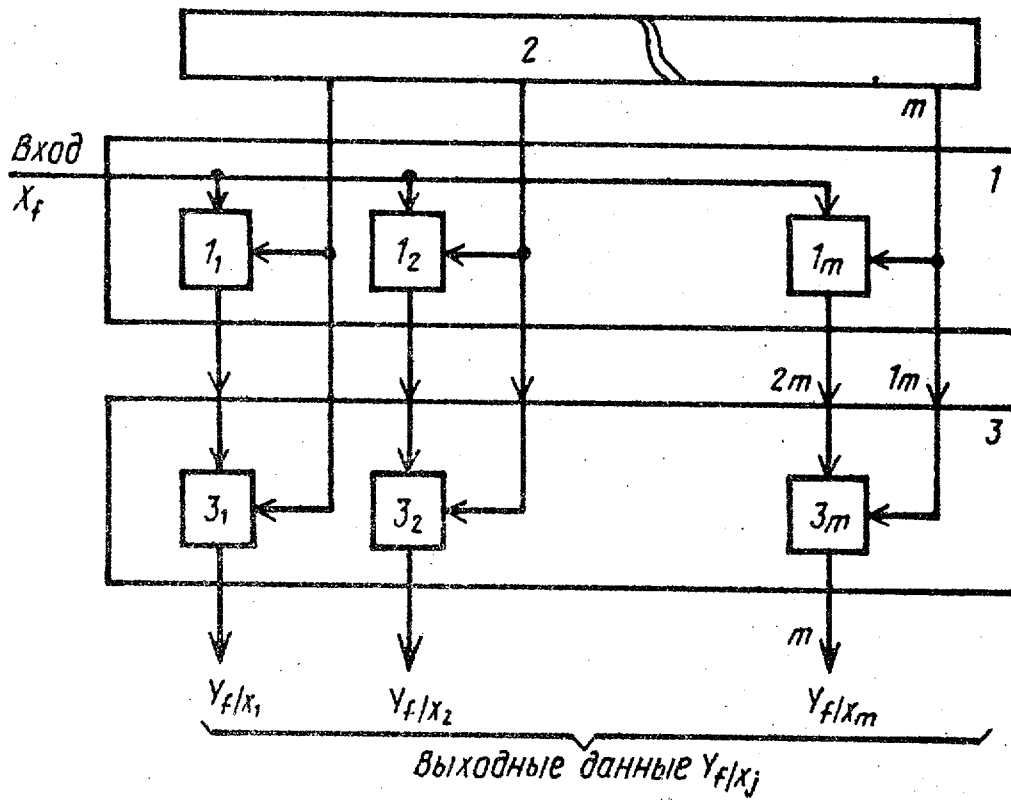
1. Устройство для логического дифференцирования булевых функций, содержащее блок синхронизации и блок вычислений, причем информационные входы блока вычислений являются входами устройства, а входы синхронизации блока вычислений подключены к выходам блока синхронизации, о т л и

чающеся тем, что, с целью повышения быстродействия за счет распараллеливания вычислений значе-  
 ний логической производной булевой функции по каждой из переменных, в устройстве введены  $M-1$  блоков вычислений и  $M$  блоков вывода данных, где  $M$  - количество переменных, причем информационные входы блоков вывода данных подключены к выходам блоков вычислений, входы синхронизации блоков вывода данных подключены к выходам блока синхронизации, а выходы блоков вывода данных являются выходами устройства.

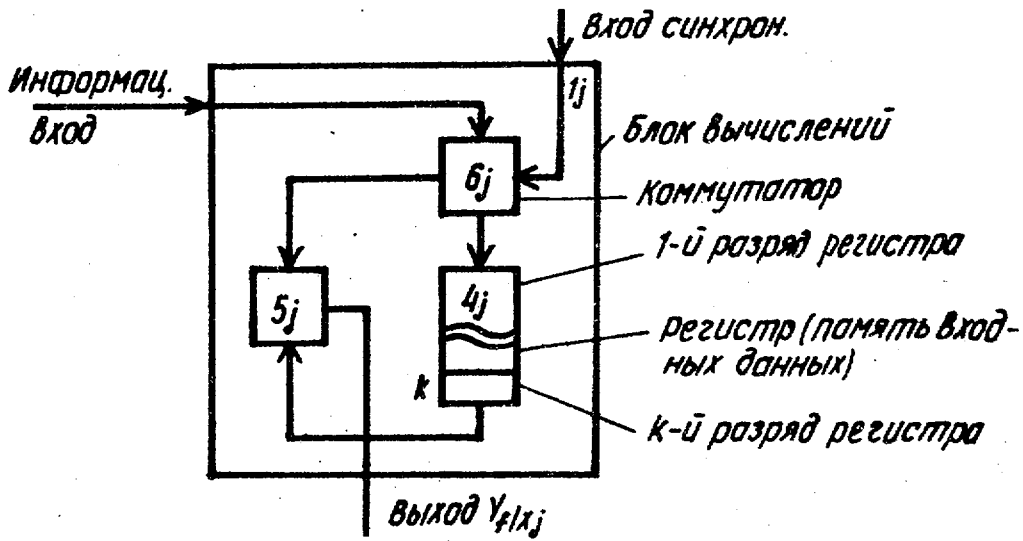
2. Устройство по п. 1, отличающеся тем, что блок вычислений содержит сумматор по модулю два, регистр входных данных и коммутатор, причем первый выход коммутатора соединен с первым информационным входом сумматора по модулю два, второй вы-

ход коммутатора подключен к информационному входу регистра входных данных, выход которого подключен к второму информационному входу сумматора по модулю два, причем информационным входом и входом синхронизации блока являются соответственно информационный вход и вход синхронизации коммутатора, а выход сумматора по модулю два - выходом блока.

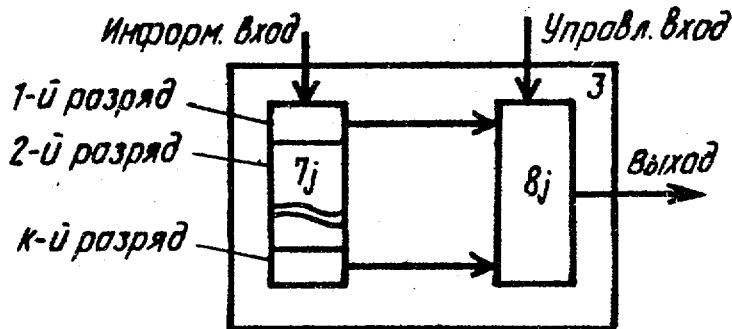
3. Устройство по п. 1, отличающеся тем, что блок вывода данных содержит регистр выходных данных и коммутатор, первый и второй информационные входы которого подключены соответственно к первому и второму выходам регистра выходных данных, вход которого является информационным входом блока, а вход синхронизации коммутатора - входом синхронизации блока, выход коммутатора является выходом блока.



Фиг. 1



Фиг. 2



Фиг. 3

Составитель А. Доброхотов  
 Редактор Е. Папп      Техред М. Ходанич      Корректор О. Кравцова

Заказ 280      Тираж 569      Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101