



ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГИИТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- 1
- (21) 4458079/24-24
  - (22) 13.06.88
  - (46) 28.02.90. Бюл. № 8
  - (71) Минский радиотехнический институт
  - (72) П.П.Урбанович и С.А.Майоров
  - (53) 681.327.6 (088.8)
  - (56) Авторское свидетельство СССР № 1014042, кл. G 11 C 29/00, 1983.  
Авторское свидетельство СССР № 1195393, кл. G 11 C 29/00, 1985.

- (54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО
- (57) Изобретение относится к вычислительной технике и может быть использовано при создании систем памяти с повышенной надежностью и ограниченным энергопотреблением. Целью изобретения

2

является уменьшение потребляемой мощности. Устройство содержит накопитель, шифратор, первый и второй блоки коррекции ошибок, первый и второй блоки вычисления признака ошибки, первый и второй дешифраторы, блок контроля, блок ассоциативной памяти, регистр, первую и вторую группы элементов ИЛИ, коммутатор, группу элементов И и элемент И. В устройстве при обнаружении кодом Хэмминга первичной корректируемой ошибки производится занесение синдрома ошибки в блок ассоциативной памяти и перезапись исправленной информации в накопитель. Цель изобретения достигается тем, что сигнал перезаписи подается только на вход неисправного разряда накопителя. 3 ил.

Изобретение относится к вычислительной технике и может быть использовано при создании систем памяти с повышенной надежностью и ограниченным энергопотреблением.

Цель изобретения - уменьшение потребляемой мощности.

На фиг.1 изображена схема запоминающего устройства; на фиг.2 - схема включения элементов ИЛИ первой группы; на фиг.3 - пример реализации блока контроля.

Запоминающее устройство содержит коммутатор 1, информационные входы 2 устройства, вход 3 записи устройства, входы 4 коммутатора 1, выходы 5 коммутатора 1, накопитель 6, шифратор 7, выходы 8 накопителя 6, регистр 9, вы-

ходами 10 соединенный с входами первого блока 11 коррекции ошибок и с входами первого блока 12 вычисления признака ошибки, второй блок 13 коррекции ошибок с входами 14, информационные выходы 15 устройства, первый дешифратор 16 с выходами 17 и входами 18, второй дешифратор 19 с выходами 20 и входами 21, элементы ИЛИ 22, входы 23 блока 24 контроля, второй блок 25 вычисления признака ошибки, блок 26 ассоциативной памяти (БАП), первый 27, второй 28 и третий 29 выходы блока 24 контроля, первый выход 30 признака записи БАП 26, адресные входы 31 устройства, первый 32 и второй 33 управляющие входы устройства, группу элементов И 34, первые входы которых,

(19) **SU** (11) **1547035** **A1**

соединены с выходом элемента И 35, выходы 36 группы элементов И 34 соединены с входами первой группы элементов ИЛИ 37, выходы которой соединены с выходами 38 накопителя 6.

Первая группа элементов ИЛИ 37 состоит из элементов ИЛИ 39. В режиме записи на выходе всех элементов ИЛИ 39 будут единичные сигналы, а в режиме считывания (повторной записи) лишь на соответствующих неисправных разрядах слова.

Блок 24 контроля содержит первый элемент ИЛИ 40, блок 41 свертки по модулю два, элементы И 42 - 46 с выходами 47 - 50, второй 51 и третий 52 элементы ИТИ.

Сигнал логической единицы на выходе элемента ИЛИ 40 будет при наличии в считанном слове хотя бы одной ошибки, такой же сигнал на выходе элемента И 46 - при нечетном числе ошибок, на выходе 27 - при появлении первой ошибки в слове, на выходе 28 - неисправимой ошибки, 29 - при повторных ошибках.

Запоминающее устройство работает следующим образом.

В режиме записи (на входе 3 записи устройства - единичный уровень) входная информация (R разрядов) с информационных входов 2 устройства поступает в коммутатор 1, на основании чего шифратор 7 вырабатывает проверочных символов в соответствии с применяемым кодом Хэмминга. Сформированное таким образом кодовое слово записывается в накопитель 6 по адресу, установленному на входах 31 устройства. В течение всего цикла на других управляющих входах устройства поддерживается нулевой уровень сигнала.

В режиме считывания кодовое слово с выходов 8 накопителя 6 по сигналу на входе 33 (единичный сигнал на входе 33 должен вырабатываться через время, пока на выходах 8 накопителя 6 не установится считываемое слово) поступает в регистр 9, работающий по переднему фронту управляющего сигнала на входе 33, а затем - в первый блок 11 коррекции ошибки и в первый блок 12 вычисления признака ошибки. При отсутствии ошибок (отказов или сбоев элементов памяти - ЭП) признак ошибки равен нулю, в результате чего на выходе 30 БАП 26 будет единичный сигнал, а на выходах дешифраторов 16 и

19 - нулевые сигналы. Считанные из накопителя 6 информационные символы проходят на выходы 15 устройства без изменений. На выходе 28 устройства вырабатывается сигнал об отсутствии ошибок и, как следствие этого, на входе 32 - сигнал обнуления регистра 9, на входе 33 - нулевой уровень сигнала.

При появлении первой ошибки ее признак, сформированный блоком 12, имеет нечетный вес, так как используется код с кодовым расстоянием  $d = 4$  (на выходе блока 41 - фиг. 3 - единичный сигнал, а на выходах БАП 26 - нулевые символы). Признак ошибки с входов 23 блока 24 проходит через блок 25 на входы 18 дешифратора 16 без изменений. В дешифраторе 16 устанавливается точное местоположение ошибочного бита - на одном из выходов 17 дешифратора 16 будет единичный сигнал. В блоке 11 происходит исправление ошибки путем инверсии ошибочного бита. Информационные разряды кодового слова проходят на выходы 15 устройства. Параллельно с этим, на выходах 27 и 29 блока контроля 24 вырабатываются единичные сигналы, которые разрешают перезапись исправленного бита в соответствующий ЭП накопителя 6 (выход 29), который совместно с другими битами слова поступает на входы 4 коммутатора 1. На выходах коммутатора 1 и шифратора 7 будет находиться кодовое слово без ошибок. Вместе с тем, на одном из выходов 36 соответствующего элемента И 34 будет единичный сигнал, который, проходя через соответствующий элемент ИЛИ 37, разрешает перезапись в нужный ЭП накопителя 6 правильного двоичного символа. Если обнаруженная ошибка возникла из-за сбоя ЭП, то повторная запись правильного бита изменит состояние этого элемента. Через время гарантированной перезаписи скорректированного бита на вход 33 поступает нулевой уровень сигнала, а после того (как на всех выходах 38 установится нулевой уровень) сигналом на входе 32 регистр 9 обнуляется. В следующем цикле считывания информации из этой же ячейки накопителя 6 ошибок в слове не будет, если ранее произошел сбой. Выдача информации на выходы 15 устройства осуществляется как и в случае, когда ошибок вообще не было ранее.

Однако единичный сигнал на выходе 27 блока 24 контроля разрешит обнулить соответствующую ячейку БАП 26. Если ранее возник отказ ЭП, то состояние соответствующих ЭП накопителя 6 и разрядов БАП 26 не изменится, так как на выходах 27 и 29 блока 24 контроля установлены нулевые символы.

Если при последующих обращениях к ЭП накопителя 6 в цикле считывания обнаружится ненулевой синдром (признак ошибки) четного веса, то это означает, что в считанном слове обнаружены две ошибки. Если обе ошибки возникли в промежутке времени между двумя последними циклами, то единичный сигнал на выходе 28 блока 24 контроля запрещает (через процессор) выдачу информации. Если же одна из этих ошибок возникла в предыдущих циклах (при обращении к данной ячейке), о чем свидетельствует нулевой сигнал на выходе 30 БАП 26, то изменения состояния опрашиваемых ЭП накопителя 6 и соответствующей ячейки БАП 26 не происходит. Синдром двойной ошибки в блоке 25 суммируется с синдромом одиночной ошибки, который поступает на второй вход блока 25 с входа 21 БАП 26. В блоке 11 исправляется ошибка, которая возникла позже, а в блоке 13 - возникшая ранее. Таким образом, на выходы 15 устройства поступит слово без ошибок.

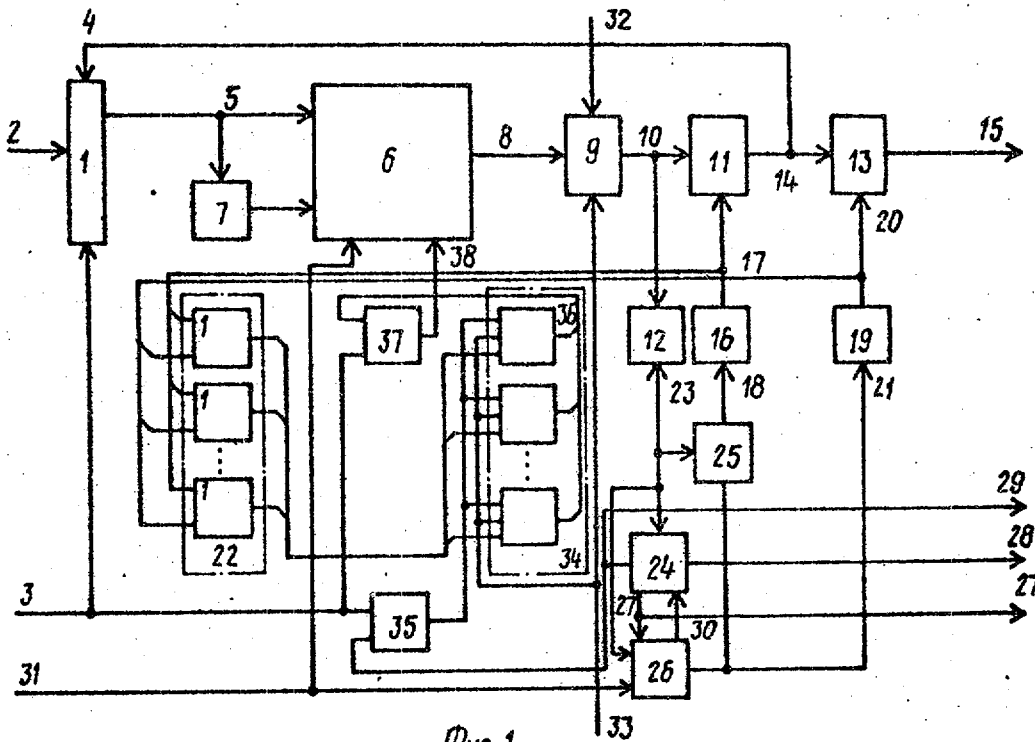
#### Ф о р м у л а и з о б р е т е н и я

Запоминающее устройство, содержащее накопитель, шифратор, первый и второй блоки коррекции ошибок, первый и второй блоки вычисления признаков ошибки, первый и второй дешифраторы, блок контроля, блок ассоциативной памяти, регистр, первую группу элементов ИЛИ и коммутатор, информационные входы первой группы которого являются информационными входами устройства, а выходы подключены к входам информационных разрядов дешифратора и к входам шифратора, выходы которого соединены с входами контрольных разрядов накопителя, выходы которого подключены к информационным входам регистра, выходы которого соединены с входами первого блока вычисления признаков ошибки и с входами первой группы первого блока коррекции ошибок, входы второй группы которого

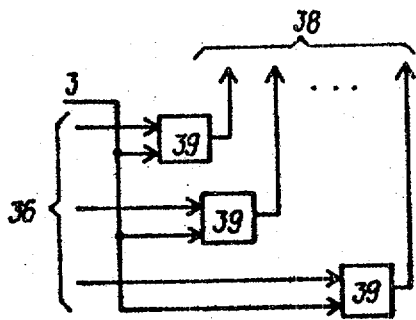
подключены к выходам первого дешифратора, а выходы соединены с информационными входами второй группы коммутатора и с входами первой группы второго блока коррекции ошибок, входы второй группы которого подключены к выходам второго дешифратора, а выходы являются информационными выходами устройства, входы первого дешифратора соединены с выходами второго блока вычисления признаков ошибки, входы первой группы которого подключены к выходам первого блока вычисления признака ошибки, информационным входам блока ассоциативной памяти и к входам группы блока контроля, вход которого соединен с выходом признака записи блока ассоциативной памяти, вход записи которого подключен к первому выходу блока контроля и является выходом признака первичной ошибки устройства, информационные выходы блока ассоциативной памяти соединены с выходами второй группы второго блока вычисления признака ошибки и с входами второго дешифратора, адресные входы блока ассоциативной памяти являются адресными входами устройства и подключены к адресным входам накопителя, входы записи которого соединены с выходами элементов ИЛИ первой группы, первые входы которых подключены к управляющему входу коммутатора и являются входом записи устройства, вход сброса и синхровход регистра являются соответственно первым и вторым управляющими входами устройства, второй и третий выходы блока контроля являются соответственно выходами признаков некорректируемой и повторной ошибки устройства, от л и ч а ю щ е е с я тем, что, с целью уменьшения потребляемой мощности, в устройство введены элемент И, группа элементов И и вторая группа элементов ИЛИ, причем прямой и инверсный входы элемента И соединены соответственно с третьим выходом блока контроля и с входом записи устройства, выход элемента И подключен к первым входам элементов И группы, вторые входы которых соединены с третьим управляющим входом устройства, третьи входы элементов И группы подключены к выходам соответствующих элементов ИЛИ второй группы, первые и вторые входы которых соединены с соответствующими выходами первого и второго

дешифраторов, выходы элементов II группы подключены к вторым входам со-

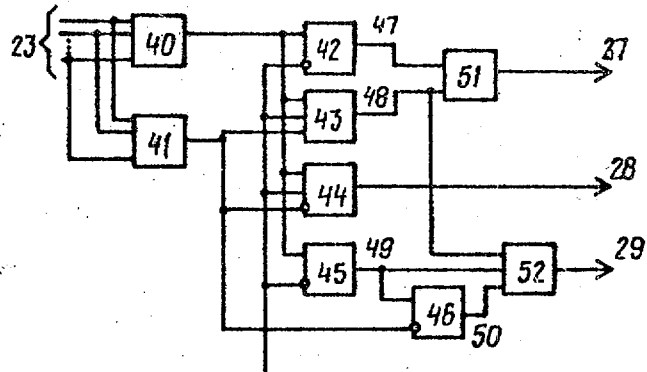
ответствующих элементов ИЛИ первой группы.



Фиг. 1



Фиг. 2



Фиг. 3

Редактор А.Ревин      Составитель О.Исаев      Техред Л.Сердюкова      Корректор Т.Малец

Заказ 84/90      Тираж 482      Подписное  
 ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101