



(51)5 Н 03 Н 17/06

ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГИИТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

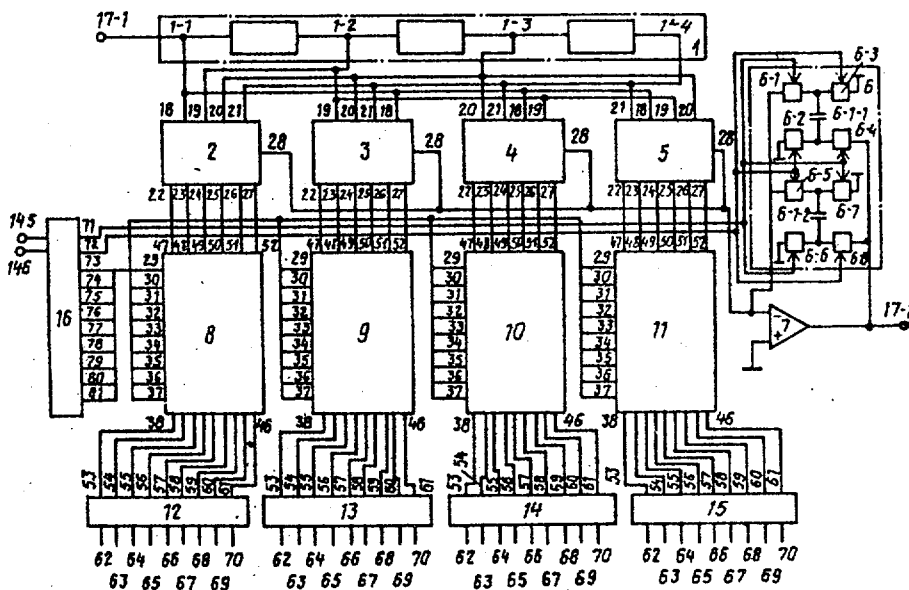


- (21) 4381682/24-09
- (22) 22.02.88
- (46) 23.07.90. Бюл. № 27
- (71) Минский радиотехнический институт
- (72) В.А.Кешишьян
- (53) 621.396.96 (088.8)
- (56) Авторское свидетельство СССР № 1107290, кл. Н 03 Н 17/04, 1982.

### (54) НЕРЕКУРСИВНЫЙ ФИЛЬТР

(57) Изобретение относится к вычислительной технике. Цель изобретения - повышение точности при двухмерной фильтрации. Нерекурсивный фильтр (НФ) содержит дискретно-аналоговую линию задержки 1 с отводами, (N+1) весовых блоков 2-6, операционный усилитель 7, N логических блоков 8-11, N регистров 12-15 и формирователь

16 управляющих сигналов. Поставленная цель достигается введением в фильтр N логических блоков 8-11, их функциональным соединением с соответствующими блоками НФ, введением в каждый весовой блок, содержащий коммутируемый конденсатор из четырех ключей, (N-1) ключевых ячеек каждая из четырех ключей, 2N элементов ИЛИ, дополнительный коммутируемый конденсатор, и соединением между собой. НФ по п. 2 отличается выполнением логического блока, содержащего M элементов И-НЕ, три дополнительных элемента И-НЕ, элемент ИЛИ, 2K выходных элементов И, последовательно соединенные инвертор, элемент И, счетчик и дешифратор, последовательно соединенные дополнительный инвертор, элемент ИЛИ, дифференцирующую RC-цепь. 1 з.п.ф-лы, 6 ил.



Фиг.1

Изобретение относится к вычислительной технике и может быть использовано в системах регулирования и управления, а также в системах обработки и передачи дискретной или аналоговой информации, радио и гидролокации, в устройствах сейсморазведки.

Цель изобретения - повышение точности при двухмерной фильтрации.

На фиг. 1 приведена структурная электрическая схема нерекурсивного фильтра четвертого порядка ( $N = 4$ ); на фиг. 2 - 5 - структурные электрические схемы весового блока, логического блока, регистра и формирователя управляющих сигналов соответственно; на фиг. 6 - временные диаграммы, поясняющие работу формирователя управляющих сигналов.

Нерекурсивный фильтр содержит дискретно-аналоговую линию задержки (ДАЛЗ) 1, имеющую отводы 1-1, ..., 1-4,  $N$  весовых блоков 2-5,  $(N+1)$ -й весовой блок 6, операционный усилитель 7,  $N$  логических блоков 8-11,  $N$  регистров 12-15, формирователь 16 управляющих сигналов, вход 17-1 и выход 17-2,  $N$  входов 18-21 весовых блоков,  $K$  управляющих входов 22-27 весовых блоков, выход 28 весовых блоков,  $M$  управляющих входов 29-37 логических блоков,  $M$  входов 38-46 логических блоков,  $K$  выходов 47-52 логических блоков,  $M$  выходов 53-61 и  $M$  входов 62-70 регистров и  $M+2$  выхода 71-81 формирователя управляющих сигналов.

Весовые блоки 2-5 содержат  $N$  ключевых ячеек 82-85, коммутируемый конденсатор 82-1-1, дополнительный коммутируемый конденсатор 82-1-2, ключи с первого по четвертый 86-89, дополнительные ключи с первого по четвертый 86-1-89-1,  $2N$  элементов ИЛИ 90-1-90-8. Весовой блок 6 содержит коммутируемый конденсатор 6-1-1, дополнительный коммутируемый конденсатор 6-1-2, ключи с первого по четвертый 6-1 - 6-4 и дополнительные ключи с первого по четвертый 6-5 - 6-8.

Логический блок содержит вход 91 сброса,  $N$  элементов И-НЕ 92-100, дополнительные инвертор 100-1, элемент ИЛИ 100-2 и дифференцирующая РС-цель 100-3, первый 101-1, второй 101-2 и третий 101-3 дополнительные

элементы И-НЕ, элемент ИЛИ 102, инвертор 103, элемент И 104, счетчик 105, дешифратор 106, выходы 106-1 - 106-6 дешифратора, вспомогательные элементы И 107-112, выходные элементы И 113-1-118-2.

Регистр содержит  $M$  триггеров 119-127 и вход 128 записи. Формирователь 16 управляющих сигналов содержит элементы ИЛИ 129 и 130, элемент И 131, регистры 132 и 133 сдвига, выходные элементы И 134-144, тактовый вход 145 и вход 146 сброса.

Нерекурсивный фильтр работает следующим образом.

Пусть входной сигнал представляет собой числовой массив  $E$ , составленный из элементов  $1_{ij}$ , а двумерная импульсная характеристика фильтра представляет собой числовой массив  $H$ , составленный из элементов  $h_{ij}$ . Для получения выходного сигнала, представляющего собой числовой массив  $U$ , составленный из элементов  $U_{ij}$ , необходимо осуществить свертку двумерных функций:

$$E * H = U. \quad (1)$$

Для простоты анализа работы нерекурсивного фильтра возьмем массивы импульсных характеристик фильтра размера  $(2 \times 2)$ , т.е.

$$\begin{pmatrix} 1_{11} & 1_{12} \\ 1_{21} & 1_{22} \end{pmatrix} * \begin{pmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{pmatrix} = \begin{pmatrix} U_{11} & U_{12} & U_{13} \\ U_{21} & U_{22} & U_{23} \\ U_{31} & U_{32} & U_{33} \end{pmatrix} \quad (2)$$

Для осуществления операции свертки, т.е. для вычисления коэффициентов  $U_{ij}$ , лучше всего воспользоваться перемножением двумерных многочленов.

$$E(Z, W) \cdot H(Z, W) = U(Z, W), \quad (3)$$

где  $E(Z, W)$ ,  $H(Z, W)$ ,  $U(Z, W)$  являются двумерными (планарными) производящими функциями, а  $Z$  и  $W$  обозначают операторы единичной задержки по двум осям.

Многочлены  $E(Z, W)$  и  $H(Z, W)$  можно представить в виде

$$\left. \begin{aligned} E(Z, W) &= 1_{11} + 1_{12}Z + 1_{21}W + 1_{22}ZW; \\ H(Z, W) &= h_{11} + h_{12}Z + h_{21}W + h_{22}ZW. \end{aligned} \right\} \quad (4)$$

Перемножая многочлены от двух перемещенных  $Z, W$  и группируя слагаемые относительно операторов единичной задержки по двум соответствующим осям на плоскости, получим

$$\begin{aligned}
 U(Z, W) = & l_{11} h_{11} + (l_{11} h_{12} + l_{12} h_{11})Z + \\
 & + (l_{11} h_{21} + l_{21} h_{11})W + (l_{11} h_{22} + \\
 & + l_{22} h_{11} + l_{12} h_{21} + l_{21} h_{12})ZW + \\
 & + l_{12} h_{12} + Z^2 + l_{21} h_{21} + W^2 + \\
 & + (l_{12} h_{22} + l_{22} h_{12})WZ^2 + \\
 & + (l_{21} h_{22} + l_{22} h_{21})ZW^2 + \\
 & + l_{22} h_{22} Z^2 W^2, \tag{5}
 \end{aligned}$$

откуда

$$\begin{aligned}
 U_{11} &= l_{11} h_{11}; \\
 U_{12} &= l_{11} h_{12} + l_{12} h_{11}; \\
 U_{21} &= l_{11} h_{21} + l_{21} h_{11}; \\
 U_{13} &= l_{13} h_{12}; \\
 U_{21} &= l_{11} h_{21} + l_{22} h_{11} + l_{12} h_{21} + \\
 & + l_{21} h_{12}; \\
 U_{31} &= l_{21} h_{21}; \\
 U_{23} &= l_{22} h_{12} + l_{12} h_{12}; \\
 U_{32} &= l_{21} h_{22} + l_{22} h_{21}; \\
 U_{33} &= l_{22} h_{22}.
 \end{aligned}$$

Проведя упорядочение относительно порядка следования коэффициентов  $l_{ij}$  и  $h_{ij}$ , вектор-столбец из  $U_{ij}$  можно представить в виде

$$\begin{bmatrix} U_{11} \\ U_{12} \\ U_{21} \\ U_{13} \\ U_{22} \\ U_{31} \\ U_{23} \\ U_{32} \\ U_{33} \end{bmatrix} = \begin{bmatrix} h_{11} l_{11} + 0 + 0 + 0 \\ h_{11} l_{12} + h_{12} l_{11} + 0 + 0 \\ h_{11} l_{21} + 0 + h_{21} l_{11} + 0 \\ 0 + h_{12} l_{12} + 0 + 0 \\ h_{11} l_{22} + h_{12} l_{21} + h_{21} l_{12} + h_{22} l_{11} \\ 0 + 0 + h_{21} l_{21} + 0 \\ 0 + h_{22} l_{21} + 0 + h_{22} l_{12} \\ 0 + 0 + h_{21} l_{22} + h_{22} l_{21} \\ 0 + 0 + 0 + h_{22} l_{22} \end{bmatrix}. \tag{6}$$

5

15

20

Из выражения (6) видно, что последовательность вычисления коэффициентов играет важную роль в правильности и скорости определения  $U_{ij}$ . Так, для массивов  $(2 \times 2) * (2 \times 2)$  получается массив (6), который обрабатывается несколько иначе, чем при обработке одномерных массивов. Для уяснения этого вопроса рассмотрим перемножение двух многочленов одной переменной:  $E(Z) \cdot H(Z) = U(Z)$ , причем считаем, что количество одночленов у  $E(Z)$  и  $H(Z)$  должно быть как и у  $E(Z, W)$  и  $H(Z, W)$ , т.е.

$$E(Z) = l_{11} + l_{12}Z + l_{21}Z^2 + l_{22}Z^3;$$

$$H(Z) = h_{11} + h_{12}Z + h_{21}Z^2 + h_{22}Z^3.$$

Перемножая многочлены  $E(Z) \cdot H(Z)$  и группируя слагаемые относительно одной переменной, получим

$$\begin{bmatrix} U_1 \\ U_2 \\ U_3 \\ U_4 \\ U_5 \\ U_6 \\ U_7 \end{bmatrix} = \begin{bmatrix} l_{11} h_{11} + 0 + 0 + 0 \\ l_{12} h_{11} + l_{11} h_{12} + 0 + 0 \\ l_{21} h_{11} + l_{12} h_{12} + l_{11} h_{21} + 0 \\ l_{22} h_{11} + l_{21} h_{12} + l_{12} h_{21} + l_{11} h_{22} \\ 0 + l_{22} h_{12} + l_{21} h_{21} + l_{12} h_{22} \\ 0 + 0 + l_{22} h_{22} + l_{21} h_{22} \\ 0 + 0 + 0 + l_{22} h_{12} \end{bmatrix}. \tag{7}$$

35

40

45

50

55

Сравнивая выражения для результирующих коэффициентов, полученных по (6) и по (7), видно, что количество выходных коэффициентов, определяющих выходной двумерный массив, больше, чем количество выходных коэффициентов, определяющих выходной одномерный массив. Количество слагаемых, определяющих соответствующий коэффициент выходного массива в одномерном случае, определяется по линейному закону и строго возрастает от одного слагаемого до  $n$  слагаемых, где  $n$  - количество слагаемых входного многочлена  $E(Z)$  и  $H(Z)$  соответственно. Количество слагаемых, определяющих соответствующий коэффициент выходного массива в двумерном случае, определяется по нелинейному закону и зависит от принятой последовательности следования коэффициентов  $U_{ij}$ , представленных в виде вектора-столбца  $[U_{ij}]$ .

Выражение (7) можно переписать в виде

$$\begin{bmatrix} U_1 \\ U_2 \\ U_3 \\ U_4 \\ U_5 \\ U_6 \\ U_7 \end{bmatrix} = h_{11} \begin{bmatrix} 1_{11} \cdot 1 \\ 1_{12} \cdot 1 \\ 1_{21} \cdot 1 \\ 1_{22} \cdot 1 \\ 0 \\ 0 \\ 0 \end{bmatrix} + h_{12} \begin{bmatrix} 0 \\ 1_{11} \cdot 1 \\ 1_{12} \cdot 1 \\ 1_{21} \cdot 1 \\ 1_{22} \cdot 1 \\ 0 \\ 0 \end{bmatrix} + h_{21} \begin{bmatrix} 0 \\ 0 \\ 1_{11} \cdot 1 \\ 1_{12} \cdot 1 \\ 1_{21} \cdot 1 \\ 1_{22} \cdot 1 \\ 0 \end{bmatrix} + h_{22} \begin{bmatrix} 0 \\ 0 \\ 0 \\ 1_{11} \cdot 1 \\ 1_{12} \cdot 1 \\ 1_{21} \cdot 1 \\ 1_{22} \cdot 1 \end{bmatrix} \quad (8)$$

Выражение (6) для двумерного случая можно представить в виде

$$\begin{bmatrix} U_{11} \\ U_{12} \\ U_{21} \\ U_{13} \\ U_{22} \\ U_{31} \\ U_{23} \\ U_{32} \\ U_{33} \end{bmatrix} = h_{11} \begin{bmatrix} 1_{11} \cdot 1 \\ 1_{12} \cdot 1 \\ 1_{21} \cdot 1 \\ 0 \\ 1_{22} \cdot 1 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} + h_{12} \begin{bmatrix} 0 \\ 1_{11} \cdot 1 \\ 0 \\ 1_{12} \cdot 1 \\ 1_{21} \cdot 1 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} + h_{21} \begin{bmatrix} 0 \\ 0 \\ 1_{11} \cdot 1 \\ 0 \\ 1_{12} \cdot 1 \\ 1_{21} \cdot 1 \\ 0 \\ 0 \\ 0 \end{bmatrix} + h_{22} \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 1_{11} \cdot 1 \\ 1_{12} \cdot 1 \\ 1_{21} \cdot 1 \\ 1_{22} \cdot 1 \\ 0 \end{bmatrix} \quad (9)$$

Из выражения (8) видно, что коэффициенты  $1_{ij}$  одномерной последовательности, стоящие в соответствующих столбцах, строго следуют один за другим. Из выражения (9) видно, что в двумерном случае, коэффициенты не следуют строго один за другим, а зависят от порядка следования коэффициентов  $U_{ij}$  и размера двумерного массива входного сигнала, поэтому для оптимального нахождения выходных коэффициентов  $U_{ij}$  необходимо прежде всего знать информацию о соответствующих вектор-столбцах связей, состоящих из единиц или нулей.

Количество вектор-столбцов связей определяется по размеру массива входных сигналов  $E$  и массива чисел импульсной переходной характеристики фильтра  $H$ . Так, если размер указанных массивов  $N \times N$ , то количество вектор-столбцов  $N^2$ .

Размеры вектор-столбцов связей определяются размерами выходного массива  $[U_{ij}]$ . Так, если размеры входных массивов чисел  $N \times N$ , то размеры выходного массива  $[(2n-2)+1] \times [(2n-2)+1]$ , а следовательно, размер вектора-столбца равен  $[(2n-2)+1]^2$ .

Наличие нулей и единиц и их последовательности определяется по выходному сигналу чисел  $[U_{ij}]$  и по последовательности обхода его коэффициентов. Пусть

$$[U] = \begin{bmatrix} U_{11} & U_{12} & U_{13} & U_{14} & \dots \\ U_{21} & U_{22} & U_{23} & U_{24} & \dots \\ U_{31} & U_{32} & U_{33} & U_{34} & \dots \\ U_{41} & U_{42} & U_{43} & U_{44} & \dots \end{bmatrix} \quad (10)$$

Для того, чтобы коэффициенты были упорядочены как в выражении (10), необходимо, чтобы последовательность обхода коэффициентов  $U_{ij}$  была в соответствии

$$U_{11} \rightarrow U_{12} \rightarrow U_{21} \rightarrow U_{13} \rightarrow U_{22} \rightarrow U_{31} \rightarrow U_{14} \rightarrow \dots \rightarrow U_{23} \rightarrow U_{32} \rightarrow U_{41} \rightarrow \dots \quad (11)$$

Для определения нулей и единиц в вектор-столбце связей подматрица выходного массива  $[U]$  разбивается на подматрицы размера  $N \times N$ , причем каждой из подматриц принадлежат только члены  $h_{km}[1_{ij}]$ .

В соответствии с  $i$ -й подматрицей, если члены из последовательности (11) обхода коэффициентов принадлежат  $i$ -й

подматрице, то в вектор-столбце связей будет "1", если члены из последовательности (11) не принадлежат  $i$ -й подматрице, то в вектор-столбце связей будет "0".

Таким образом, определив по размерам входных массивов размеры выходного массива, определяют вектор-столбцы связей. Наличие вектор-столбцов связей позволяет достаточно просто реализовать алгоритм двумерной нерекурсивной фильтрации.

Рассмотрим принцип работы нерекурсивного фильтра.

Пусть массив входных сигналов и массив импульсных переходных характеристик фильтра имеет размер  $(2 \times 2)$ , как показано в выражении (2). Необходимо реализовать нерекурсивную фильтрацию, т.е. получить на входе отфильтрованный двумерный массив чисел  $[U_{ij}]$ . Здесь  $N = 2$ , следовательно, размер выходного массива  $[(2N-2)+1] [(2N-2)+1] = 3 \times 3$ .

Следовательно, выходной массив  $[U_{ij}]$  можно представить в виде

$$\begin{bmatrix} U_{11} & U_{12} & U_{13} \\ U_{21} & U_{22} & U_{23} \\ U_{31} & U_{32} & U_{33} \end{bmatrix}.$$

Последовательность обхода коэффициентов выходного массива, в соответствии с (11) имеет вид

$$U_{11} \rightarrow U_{12} \rightarrow U_{13} \rightarrow U_{21} \rightarrow U_{22} \rightarrow U_{31} \rightarrow U_{23} \rightarrow U_{32} \rightarrow U_{33}.$$

Первая подматрица

$$h_{11} [1_{ij}] = h_{11} \begin{bmatrix} 1_{11} & 1_{12} \\ 1_{21} & 1_{22} \end{bmatrix} = \begin{bmatrix} U_{11} & U_{12} \\ U_{21} & U_{22} \end{bmatrix},$$

вторая подматрица

$$h_{12} [1_{ij}] = h_{12} \begin{bmatrix} 1_{11} & 1_{12} \\ 1_{21} & 1_{22} \end{bmatrix} = \begin{bmatrix} U_{12} & U_{13} \\ U_{22} & U_{23} \end{bmatrix},$$

третья подматрица

$$h_{21} [1_{ij}] = h_{21} \begin{bmatrix} 1_{11} & 1_{12} \\ 1_{21} & 1_{22} \end{bmatrix} = \begin{bmatrix} U_{21} & U_{22} \\ U_{31} & U_{32} \end{bmatrix},$$

четвертая подматрица

$$h_{22} [1_{ij}] = h_{22} \begin{bmatrix} 1_{11} & 1_{12} \\ 1_{21} & 1_{22} \end{bmatrix} = \begin{bmatrix} U_{22} & U_{23} \\ U_{32} & U_{33} \end{bmatrix}.$$

В соответствии с последовательностью обхода коэффициентов  $[U_{ij}]$  и в соответствии с  $i$ -й подматрицей, первый вектор-столбец имеет вид

$$F_1 = [111010000]^T,$$

второй вектор-столбец

$$F_2 = [010110100]^T,$$

третий вектор-столбец связей

$$F_3 = [001011010]^T,$$

четвертый вектор-столбец связей

$$F_4 = [000010111]^T.$$

Определив все вектор-столбцы связей  $F_1, F_2, F_3, F_4$ , необходимо занести их значения в соответствующие регистры 12-15 (фиг. 1). Каждый из регистра памяти содержит по девять триггеров 119-127 (фиг. 4). В качестве триггеров могут быть использованы таксируемые потенциалом D-триггеры. Ввод кодовой комбинации, содержащейся в каждом вектор-столбце связей, в соответствующий регистр осуществляется через информационные входы 62-70 D каждого триггера (фиг. 4). При этом на вход 128 записи подается сигнал высокого потенциала, что осуществляется от внешнего источника одиночного импульса "Пуск", а для хранения информации в регистрах необходимо, чтобы на входе 129 записи был всегда потенциал "0".

В результате проведенной записи информации о содержимом каждого вектор-столбца связей  $F_1, F_2, F_3, F_4$  в соответствующие регистры 12-15 на их выходах 53-61 (фиг. 4) будет кодовая комбинация, соответствующая кодовой комбинации  $i$ -го вектор-столбца связей. После записи кодовой комбинации в регистрах 12-15 нерекурсивный фильтр готов к работе.

Рассмотрим принцип действия логических блоков 8-11 (фиг. 3)

Каждый из логических блоков, в общем случае, содержит  $M$  управляющих входов 29-37 и  $M$  входов 38-46 (фиг. 3). На управляющие входы 29-37 соответствующих логических блоков 8-11 последовательно поступают управляющие импульсы с выходов 73-81 формирователя 16 (фиг. 5 и 6), а на входы 38-46 логических блоков 8-11 одновременно поступает кодовая комбинация с выходов 53-61 регистров 12-15, соответствующая кодовой комбинации  $i$ -го вектор-столбца связей  $F_i$ .

Пусть в первом регистре 12 хранится кодовая комбинация о первом вектор-столбце связей  $F_1 = [111010000]^T$ , т.е. на выходах 53-61 первого регистра 12 имеется кодовая комбинация 111010000 (фиг. 1). Во втором регистре 13 хранится кодовая комбинация о втором вектор-столбце связей  $F_2 = [010110100]^T$ , т.е. на выходах 53-61 второго регистра 13 имеется кодовая комбинация 010110100. В третьем регистре 14 хранится кодовая комбинация о третьем вектор-столбце связей  $F_3 = [001011010]^T$ , т.е. на выходах 53-61 регистра 14 имеется кодовая комбинация 001011010. В четвертом регистре 15 хранится кодовая комбинация о четвертом вектор-столбце связей  $F_4 = [000010111]^T$ , т.е. на выходах 53-61 четвертого регистра 15 имеется кодовая комбинация 000010111.

В момент времени  $t = 1$  на выходе 73 формирователя 16 (фиг. 5) возникает управляющий импульс (фиг. 6) и поступает на первый управляющий вход 29 логических блоков 8-11. Этот управляющий импульс поступает на первый вход первого элемента И-НЕ 92 соответственно первого 8, второго 9, третьего 10 и четвертого 11 логических блоков (фиг. 3), а на второй вход первого элемента И-НЕ 92 соответственно первого 8, второго 9, третьего 10 и четвертого 11 логических блоков поступает сигнал с регистров 12-15 (фиг. 3). В результате этого на выходе первого элемента И-НЕ 92 первого логического блока 8 присутствует сигнал логический "0", на выходе первого элемента И-НЕ 92 второго логического блока 9 - сигнал логический "1" на выходе первого элемента И-НЕ 92 третьего логического блока 10 - сигнал логической "1", на выходе пер-

вого элемента И-НЕ 92 четвертого логического блока 11 - сигнал логической "1".

Сигнал логического "0" с выхода первого элемента И-НЕ 92 первого логического блока 8 распределяется по двум направлениям: с одной стороны поступает на вход первого дополнительного элемента И-НЕ 101-1, с выхода которого сигнал логической "1" поступает на вторые входы выходных нечетных выходных элементов И 113-1, 114-1, 115-1, 116-1, 117-1, 118-1, с другой стороны сигнал логического "0" с выхода первого элемента И-НЕ 92 поступает на первый вход третьего дополнительного элемента И-НЕ 101-3, на выходе которого сразу же появляется сигнал логической "1", который с одной стороны поступает на первые входы вспомогательных элементов И 107-112, а с другой стороны - на вход инвертора 103, на выходе которого оказывается сигнал логического "0", который поступает на первый вход элемента И 104, на второй вход которого поступает (в момент времени  $t = 1, 2, 3, \dots$ ) импульсный сигнал с выхода элемента ИЛИ 102. При этом на выходе элемента И 104 имеется сигнал логического "0", который поступает на счетный вход счетчика 105 и не меняет его состояния, причем в этот момент времени (т.е.,  $t = 1$ ) счетчик обнулен.

Обнуление осуществляется следующим образом. При поступлении импульса пуска на вход 91 сброса по его переднему фронту пассивной дифференцирующей RC-цепью 100-3 формируется короткий импульс, который и обнуляет счетчик 105, причем обнуление счетчика 105 практически происходит до появления на управляющем входе 29 первого импульса с блока 16. Далее после каждого периода обработки (в рассматриваемом случае после окончания девяти импульсов), т.е. по заднему фронту 9-го импульса и формирователя 16 импульс инвертируется в дополнительном инверторе 100-1, и, проходя через дополнительный элемент ИЛИ 100-2, дифференцируется RC-цепью 100-3 (фиг. 3). При этом формируется сигнал, который периодически обнуляет счетчик 105.

При обнулении у дешифратора 106 возбужденным будет только первый

выход 106-1 (фиг. 3), остальные выходы находятся в состоянии "0". Сигнал логической "1" с первого выхода 106-1 дешифратора 106 поступает на второй вход первого вспомогательного элемента И 107, в результате чего на его выходе будет сигнал логической "1", который поступает на первые входы нечетного и четного выходных элементов И 113-1 и 113-2. Но так как сигнал логической "1" подан на второй вход только нечетного выходного элемента И 113-1, то на его выходе (нечетный выход) 47-1 будет управляющий сигнал логической "1".

В этот же момент времени ( $t = 1$ ) на выходе первых элементов И-НЕ 92 второго 9, третьего 10 и четвертого 11 логических блоков имеются импульсные сигналы логической "1", которые поступают на первый вход первого дополнительного элемента И-НЕ 101-1, на выходе которого оказывается импульсный сигнал логического "0", который, поступая на вторые входы нечетных выходных элементов И 113-1, 114-1, 115-1, 116-1, 117-1, 118-1, запрещает появление управляющего импульса на соответствующих выходах логических блоков 9-11. Однако с другой стороны сигнал логической "1" с выхода первого элемента И-НЕ 92 поступает на первый вход третьего дополнительного элемента И-НЕ 101-3, на выходе которого имеется импульсный сигнал логического "0", который с одной стороны оказывается на первых входах вспомогательных элементов И 107-112 и запрещает появление сигналов логической "1" на выходах последних, а с другой стороны импульсный сигнал логического "0" поступает на инвертор 103, на выходе которого возникает импульсный сигнал логической "1", который, поступая на первый вход элемента И 104 (на второй вход которого всегда поступает разрешающий импульсный сигнал), формирует импульсный сигнал, который поступает на счетный вход счетчика 105 и по переднему фронту переводит его в новое состояние, в результате чего возбуждается второй выход 106-2 дешифратора 106 (фиг. 3).

Таким образом, при поступлении на  $m$ -й вход логических блоков 8-11 сигнала логической "1" на соответствующем выходе соответствующего логичес-

кого блока всегда имеется управляющий импульс логической "1", а при поступлении на  $m$ -й вход логических блоков 8-11 сигнала логического "0". на выходе соответствующего логического блока отсутствует управляющий сигнал, причем подача на его  $m$ -й вход сигнала логического "0" всегда приводит к возбуждению следующего по счету выхода дешифратора 106, а поступление на  $m$ -й информационный вход логической "1" не приводит к возбуждению следующего по счету выхода дешифратора 106, а оставляет возбужденным выход, который задействован в предшествующие моменты.

Рассмотрим формирование управляющих импульсов на выходах логических блоков 8-11 в различные моменты времени.

В момент времени  $t = 1$  у первого логического блока 8 на нечетном выходе 47-1 присутствует управляющий сигнал логической "1". При этом возбужден первый выход 106-1 дешифратора 106 (фиг. 3). У логических блоков 9-11 управляющий сигнал логической "1" на выходах отсутствует. При этом возбуждается второй выход 106-2 дешифратора 106.

В момент времени  $t = 2$  на четном выходе 47-2 первого логического блока 8 присутствует сигнал логической "1". При этом возбужденным остается первый выход 106-1 дешифратора 106. У второго логического блока 9 имеется сигнал логической "1" на четном выходе 48-2. При этом возбужден второй выход 106-2 дешифратора 106 (фиг. 3). У логических блоков 10 и 11 на их выходах управляющие сигналы логической "1" отсутствуют. При этом происходит возбуждение третьего выхода 106-3 дешифратора 106 обоих логических блоков.

В момент времени  $t = 3$  появляется управляющий сигнал логической "1" на нечетном выходе 47-1 первого логического блока 8. При этом вновь оказывается возбужденным только первый выход 106-1 дешифратора 106. У второго логического блока 9 управляющий сигнал на выходе отсутствует. При этом происходит возбуждение третьего выхода 106-3 дешифратора 106. У третьего логического блока 10 присутствует управляющий сигнал логической "1" на нечетном выходе 49-1. При этом возбужденным остается третий

выход 106-3 дешифратора 106. У четвертого логического блока 11 на выходе отсутствует управляющий сигнал. При этом происходит возбуждение четвертого выхода 106-4 дешифратора 106.

В момент времени  $t = 4$  у первого логического блока 8 на выходе отсутствует управляющий сигнал. При этом происходит возбуждение второго выхода 106-2 дешифратора 106. У второго логического блока 9 появляется управляющий сигнал логической "1" на четном выходе 49-2. При этом возбужденным остается третий выход 106-3 дешифратора 106. У третьего логического блока 10 управляющий сигнал на выходе отсутствует. При этом происходит возбуждение четвертого выхода 106-4 дешифратора 106. У четвертого логического блока 11 на выходе управляющий сигнал также отсутствует. При этом происходит возбуждение пятого выхода 106-5 дешифратора 106.

В момент времени  $t = 5$  у первого логического блока 8 управляющий сигнал логической "1" имеется на нечетном выходе 48-1. При этом остается возбужденным второй выход 106-2 дешифратора 106. У второго логического блока 9 на выходе присутствует управляющий сигнал логической "1" на нечетном выходе 49-1. При этом возбужденным остается третий выход 106-3 дешифратора 106. У третьего логического блока 10 управляющий сигнал логической "1" присутствует на нечетном выходе 50-1. При этом возбужденным остается четвертый выход 106-4 дешифратора 106. У четвертого логического блока 11 управляющий сигнал логической "1" имеется на нечетном выходе 51-1. При этом возбужденным остается пятый выход 106-5 дешифратора 106.

В момент времени  $t = 6$  оставшиеся кодовые комбинации, хранящиеся в первом регистре 12 и которые поступают на входы первого логического блока 8, представляют собой сигналы логического "0", и очевидно, что в оставшемся цикле работы (состоящем из 9 тактов) логический блок 8 участвовать не будет. У второго логического блока 9 управляющий сигнал на выходе отсутствует. При этом возбуждается четвертый выход 106-4 дешифратора 106. У третьего логического бло-

ка 10 сигнал логической "1" имеется на четном выходе 50-2. При этом возбужденным остается четвертый выход 106-4 дешифратора 106. У четвертого логического блока 11 на выходе сигнал отсутствует. При этом происходит возбуждение шестого выхода 106-6 дешифратора 106.

В момент времени  $t = 7$  у второго логического блока 9 имеется сигнал логической "1" на нечетном выходе 50-1. При этом остается возбужденным третий выход 106-3 дешифратора 106. У третьего логического блока 10 отсутствует управляющий сигнал логической "1" на выходе. При этом возбуждается пятый выход 106-5 дешифратора 106. У четвертого логического блока 11 управляющий сигнал логической "1" присутствует на нечетном выходе 52-1. При этом остается возбужденным шестой выход 106-6 дешифратора 106.

В момент времени  $t = 9$  второй логический блок 9 в оставшихся тактах цикла уже не участвует. У третьего логического блока 10 имеется сигнал логической "1" на четном выходе 51-2. При этом остается возбужденным шестой выход 106-6 дешифратора 106. У четвертого логического блока 11 присутствует сигнал логической "1" на четном выходе 52-2.

В момент времени  $t = 9$  участвует в работе только четвертый логический блок 11. На его нечетном выходе 52-1 имеется управляющий сигнал логической "1". Момент времени  $t = 9$  является последним тактом в цикле работы нерекурсивного фильтра.

Рассмотрим работу непосредственно нерекурсивного фильтра. Пусть входной массив сигналов  $l_{ij}$  представлен матрицей размера  $(2 \times 2)$ , а весовые коэффициенты также представлены матрицей размера  $(2 \times 2)$ . Тогда выходной обработанный массив сигналов можно представить в виде

$$\begin{pmatrix} l_{11} & l_{12} \\ l_{21} & l_{22} \end{pmatrix} * \begin{pmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{pmatrix} = \begin{pmatrix} U_{11} & U_{12} & U_{13} \\ U_{21} & U_{22} & U_{23} \\ U_{31} & U_{32} & U_{33} \end{pmatrix}$$

Представим двумерный массив входных сигналов в виде одномерной последовательности

$$l = l_{11} + l_{12} Z + l_{21} W + l_{22} ZW,$$



а двумерный массив весовых коэффициентов - в виде одномерной последовательности

$$h = h_{11} + h_{12}Z + h_{21}W + h_{22}ZW.$$

Тогда в момент времени  $t = 1$  на отводе 1-1 ДАЛЗ 1 имеется напряжение  $U_{11}$ , которое поступает на первый вход 18 первого весового блока 2 (фиг. 1). В этот момент времени существует только управляющий импульс на нечетном выходе 47-1 первого логического блока 8, причем выход 47-1 соединен с нечетным входом 22-1 первого весового блока 2. В результате этого на выходе первого элемента ИЛИ 90-1 присутствует сигнал логической "1", который включает ключи 86 и 89, а также включает дополнительные ключи 87-1 и 86-1, что приводит к снятию имеющихся (если они были) зарядов на дополнительном коммутируемом конденсаторе 82-1-2 (фиг. 2). В это же время первым управляющим импульсом с выхода 71 формирователя 16 включаются ключи 6-1 и 6-4 (а также дополнительные ключи 6-6 и 6-7, что приводит к снятию имеющихся, если они были, зарядов на дополнительном коммутируемом конденсаторе 6-1-2). В результате этого происходит заряд коммутируемого конденсатора 82-1-1 до значения напряжения, существующего на входе 18 весового блока 2. Выход 28 весового блока 2 соединен с инвертирующим входом операционного усилителя 7. Происходит заряд коммутируемого конденсатора 6-1-1 (N+1) весового блока 6. В результате на выходе устройства 17-2 сформируется сигнал

$$U_{11} = 1_{11} \frac{C_{82-1-1}}{C_{6-1-1}},$$

где  $C_{6-1-1}$  - коммутируемый конденсатор в дополнительном (N+1)-м весовом блоке 6;

$C_{82-1-1(2)}$  - коммутируемый конденсатор первого весового блока 2.

Выбирая значение  $C_{82-1-1(2)} / C_{6-1-1} = h_{11}$ , получим

$$U_{11} = 1_{11} \cdot h_{11}.$$

В момент времени  $t = 2$  на отводе 1-1 ДАЛЗ 1 имеется напряжение  $U_{11}$ ,

а на отводе 1-2 ДАЛЗ 1 - напряжение  $U_{12}$ . В это время имеется управляющий сигнал логической "1" на четном выходе 47-1 первого логического блока 8, который подключен к четному входу 22-2 первого весового блока 2, В то же время имеется управляющий сигнал логической "1" на четном выходе 48-2 второго логического блока 9, который соединен с нечетным входом 23-1 второго весового блока 3. В результате этого эти импульсы, пройдя через элементы ИЛИ 90-2 и 90-3 первого 2 и второго 3 весовых блоков соответственно, включают ключи 87 и 88, а также дополнительные ключи 86-1 и 89-1 первого весового блока 2 и ключи 86 и 89, а также дополнительные ключи 87-1 и 88-1 второго весового блока 3, что приводит к заряду дополнительного коммутируемого конденсатора 82-1-2 (в это же время происходит разряд коммутируемого конденсатора 82-1-1 и подготавливает его к новому такту работы). Через открытые ключи 86 и 89 ключевой ячейки 83 второго весового блока 3 заряжается его коммутируемый конденсатор 82-1-1. При этом управляющим сигналом со второго выхода 72 формирователя 16 включаются дополнительные ключи 6-5 и 6-8, а также ключи 6-2 и 6-3 (N+1)-го весового блока 6, что приводит к разряду коммутируемого конденсатора 6-1-1 и подготавливает его к новому такту работы, с другой стороны заряжается дополнительный коммутирующий конденсатор 6-1-2, что приводит к тому, что у весового блока 2 первый вход 18 подключается к отводу 1-1 ДАЛЗ 1, а у весового блока 3 подключается второй вход 19 к отводу 1-2 ДАЛЗ 1. Таким образом, в момент времени  $t = 2$  на выходе 17-2 фильтра сформируется сигнал

$$U_{12} = \frac{C_{82-1-2(2)}}{C_{6-1-2}} 1_{12} + \frac{C_{82-1-1(3)}}{C_{6-1-2}} 1_{11},$$

где  $C_{82-1-1(3)}$  - коммутируемый конденсатор второго весового блока.

Обозначая  $C_{82-1-1(3)} / C_{6-1-2} = h_{12}$  получим

$$U_{12} = h_{11} 1_{12} + h_{12} 1_{11}.$$

Работа (N+1)-го весового блока в последующих тактах аналогична работ.

в моменты времени  $t = 1$  и  $t = 2$ . В момент времени  $t = 3$  управляющие импульсы имеются на выходах 47-1 и 49-1 логических блоков 8 и 10 соответственно, которые соединены с входами 22-1 и 24-1 первого 2 и третьего 3 весовых блоков соответственно, и включаются ключи 86 и 89 и дополнительные ключи 87-1 и 88-1 весовых блоков 2 и 4. При этом первый вход 18 весового блока 2 вновь подключается к отводу 1-1 ДАЛЗ 1, а третий вход 20 весового блока 4 - к отводу 1-3 ДАЛЗ 1. На отводах 1-1 и 1-3 ДАЛЗ 1 в это время имеются сигналы соответственно  $l_{21}$  и  $l_{11}$ , в результате чего на выходе 17-2 фильтра сформируется напряжение

$$U_{21} = \frac{C_{82-1-1(2)}}{C_{6-1-1}} l_{21} + \frac{C_{82-1-1(4)}}{C_{6-1-1}} l_{11},$$

где  $C_{82-1-1(4)}$  - номинал коммутируемого конденсатора третьего весового блока 4.

Выбирая  $C_{82-1-1(4)} / C_{6-1-1} = h_{21}$ , получим

$$U_{21} = h_{11} l_{21} + h_{21} l_{11}.$$

В момент времени  $t = 4$  управляющие импульсы присутствуют на выходе 49-2 второго логического блока 9, который соединен с входом 24-2 второго весового блока 3. В результате этого включаются ключи 87 и 88 и дополнительные ключи 86-1 и 89-1 второго весового блока 3 и подключают его третий вход 20 к отводу 1-3 ДАЛЗ 1. На отводе 1-2 в это время имеется сигнал  $l_{12}$ . На выходе 17-2 фильтра появляется сигнал

$$U_{13} = \frac{C_{82-1-2(3)}}{C_{6-1-2}}.$$

В момент времени  $t = 5$  управляющие импульсы присутствуют на выходах 49-1, 50-1, 51-1 логических блоков 8-11. Указанные выходы подключены к входам 23-2, 24-1, 25-2, 26-1 весовых блоков 2-5 соответственно. В этот момент времени на отводах ДАЛЗ 1 имеются сигналы: на отводе 1-1  $l_{11}$ , на отводе 1-2  $l_{22}$ , на отводе 1-3  $l_{21}$ , на отводе 1-4  $l_{12}$ . При этом оказываются подключенными входы 19, 20, 21, 18 весовых блоков 2-5

к отводам ДАЛЗ 1 1-2, 1-3, 1-4, 1-1 соответственно. На выходе 17-2 фильтра появляется сигнал

$$U_{22} = \frac{C_{82-1-2(2)}}{C_{6-1-1}} l_{22} + \frac{C_{82-1-1(3)}}{C_{6-1-1}} l_{21} + \frac{C_{82-1-2(4)}}{C_{6-1-1}} l_{12} + \frac{C_{82-1-1(5)}}{C_{6-1-1}} l_{11},$$

где  $C_{82-1-1(5)}$  - номинал коммутируемого конденсатора четвертого весового блока 5.

Обозначая  $C_{82-1-1(5)} / C_{6-1-1} = h_{22}$ , получим

$$U_{22} = h_{11} l_{22} + h_{12} l_{21} + h_{21} l_{12} + h_{22} l_{11}.$$

В момент времени  $t = 6$  управляющие импульсы присутствуют на выходе 50-2 третьего логического блока 10. Указанный выход подключен к входу 25-1 третьего весового блока 4. В результате этого подключается четвертый вход 21 третьего весового блока 4 и к отводу 1-4 ДАЛЗ 1, на котором в этом случае имеется сигнал  $l_{21}$ . На выходе 17-2 фильтра появляется сигнал

$$U_{31} = \frac{C_{82-1-1(4)}}{C_{6-1-1}} l_{21} = h_{21} l_{21}.$$

В момент времени  $t = 7$  управляющие импульсы присутствуют на выходе 50-1 и на выходе 52-1 логических блоков 9 и 11 соответственно. Указанные выходы соединены с входами 25-2 и 27-1 весовых блоков 3 и 5. При этом включаются ключи 87 и 88 и дополнительные ключи 86-1 и 89-1 второго 3 и четвертого 5 весовых блоков и включают отводы 1-4 и 1-2 ДАЛЗ 1 к входам 21 и 19 соответственно второго 3 и четвертого 5 весовых блоков. На отводах ДАЛЗ 1 появляются сигналы: на отводе 1-2  $l_{12}$ , а на отводе 1-4  $l_{22}$ . На выходе 17-2 фильтра появляется сигнал

$$U_{23} = \frac{C_{82-1-2(3)}}{C_{6-1-1}} l_{22} + \frac{C_{82-1-2(3)}}{C_{6-1-1}} l_{12} = h_{12} l_{22} + h_{22} l_{12}.$$

В момент времени  $t = 8$  управляющие импульсы присутствуют на выходах 51-2 и 52-2 логических блоков 10 и 11, которые подключены к входам 26-2 и 27-2

соответственно третьего 4 и четвертого 5 весовых блоков. При этом включаются ключи 87 и 88 и дополнительные ключи 86-1 и 89-1, а также ключи 86 и 89 и дополнительные ключи 87-1 и 88-1 соответственно весовых блоков 4 и 5, в результате чего подключаются первый 18 и второй 19 входы соответственно третьего 4 и четвертого 5 весовых блоков к отводам 1-2 и 1-1 ДАЛЗ 1. В это время на этих отводах имеются сигналы: на отводе 1-2  $l_{21}$ , на отводе 1-1  $l_{22}$ . На выходе 17-2 фильтра появляется сигнал

$$U_{32} = \frac{C_{82-1-2(4)}}{C_{6-1-2}} l_{22} + \frac{C_{82-1-1(5)}}{C_{6-1-2}} l_{21} = h_{21} l_{22} + h_{22} l_{21}.$$

В момент времени  $t = 9$  присутствует управляющий импульс на выходе 52-1 четвертого логического блока 11, который соединен с входом 27-1 четвертого весового блока 5. При этом включаются ключи 87 и 88 и дополнительные ключи 86-1 и 89-1 и подключают вход 19 четвертого весового блока 5 к отводу 1-2 ДАЛЗ 1. На отводе 1-2 в это время имеется сигнал  $l_{22}$ . Тогда на выходе 17-2 фильтра появляется сигнал

$$U_{33} = \frac{C_{82-1-2(5)}}{C_{6-1-1}} l_{22} = h_{42} l_{22}.$$

Таким образом, за девять тактов управляющих импульсов с выхода формирователя 16 формируется полный массив обработанных двумерных выходных сигналов размера  $(3 \times 3)$ . Далее процесс обработки повторяется.

Формирователь 16 управляющих сигналов работает следующим образом.

Тактовые импульсы от внешнего генератора тактовых импульсов поступают на вход 145, а также на входы С регистров 132 и 133 и через элемент И 131 на вторые входы выходных элементов И 134-144.

Внешний источник одиночного импульса "Пуск" подключается к входу 146 формирователя 16 (фиг. 5) для определения начала работы фильтра, по которому на выходах элементов ИЛИ 129 и 130 формируются сигналы подготовки приема информации в регистры 132 и 133. По переднему фронту тактового импульса попавшего в строб сигнала подготовки приема информа-

ции осуществляется запись кода 1,0 в регистр 132 и кода 1,0, ..., 0 в регистр 133, т.е. происходит запись логической "1" в первые разряды регистров, в результате чего на выходах 71 и 73 формируются управляющие сигналы. Далее принцип работы формирователя 16 очевиден. Временная диаграмма работы формирователя 16 приведена на фиг. 6.

#### Ф о р м у л а и з о б р е т е н и я

1. Нерекурсивный фильтр, содержащий операционный усилитель, выход которого является выходом нерекурсивного фильтра,  $N$  весовых блоков, дискретно-аналоговую линию задержки, вход которой является входом нерекурсивного фильтра, а ее  $i$ -й отвод, где  $i = 1, N$ , соединен через  $i$ -й весовой блок с инвертирующим входом операционного усилителя, неинвертирующий вход которого соединен с общей шиной, а также  $(N+1)$ -й весовой блок, вход и выход которого соединен с входом и выходом операционного усилителя соответственно, и формирователь управляющих сигналов, первый и второй выходы которого соединены с первым и вторым управляющими входами  $(N+1)$ -го весового блока соответственно, а каждый весовой блок содержит коммутируемый конденсатор и ключевую ячейку, содержащую четыре ключа, выход первого из которых соединен с входом третьего ключа, управляющий вход которого соединен с управляющим входом второго ключа, выход которого соединен с входом четвертого ключа, управляющий вход которого соединен с управляющим входом первого ключа, причем первая и вторая обкладки коммутируемого конденсатора соединены с выходами первого и третьего ключей соответственно, вход первого и выход четвертого ключа являются входом и выходом весового блока соответственно, а первым и вторым управляющими входами  $(N+1)$ -го весового блока являются управляющие входы первого и второго ключей соответственно, о т л и ч а ю щ и й с я тем, что, с целью повышения точности при двумерной фильтрации, введены  $N$  логических блоков,  $m$ -й управляющий вход каждого из которых, где  $m = 1, M$  соединен с  $(m+2)$ -м выходом

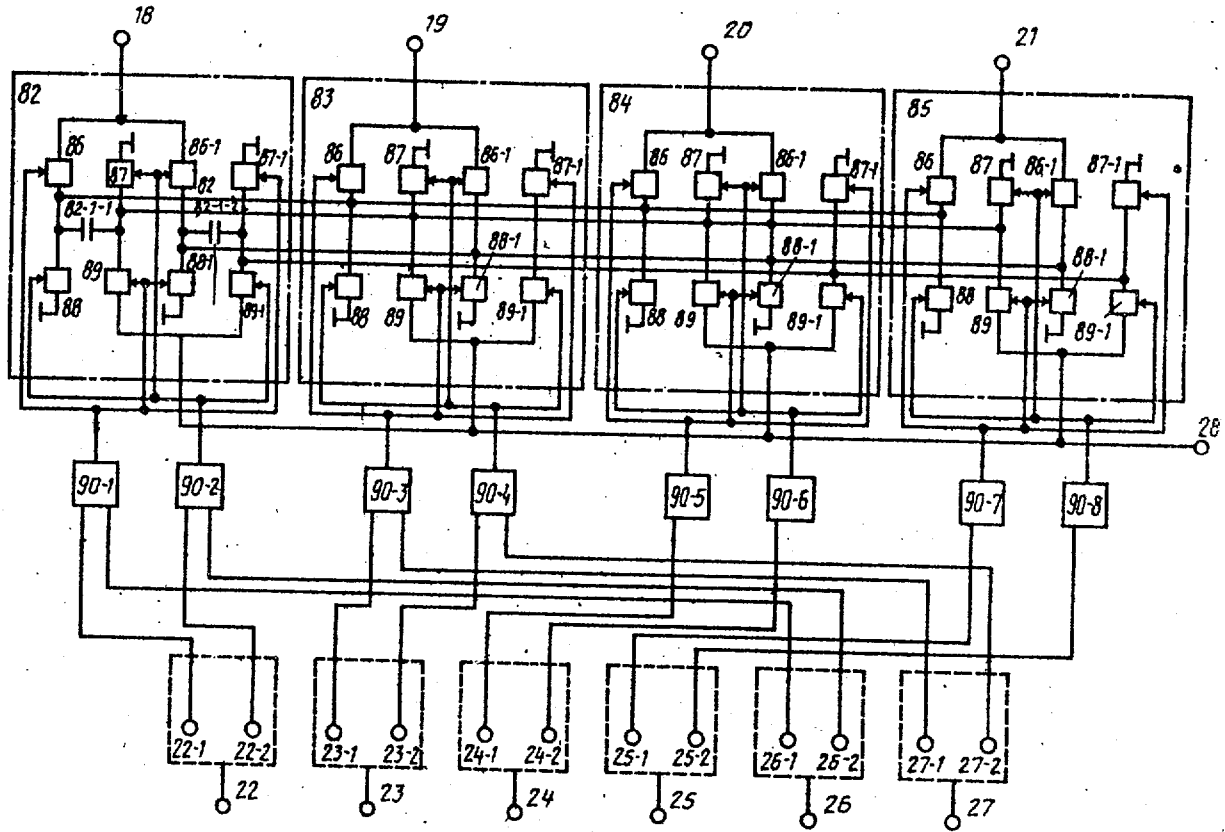
формирователя управляющих сигналов,  $N$  регистров,  $M$  входов каждого из которых являются  $i$ -й группой управляющих входов нерекурсивного фильтра, а  $m$ -й выход  $i$ -го регистра соединен с  $m$ -м входом  $i$ -го логического блока,  $j$ -й выход которого, где  $j = 1, K$ , соединен с  $j$ -м управляющим входом  $i$ -го весового блока, входы которого с второго по  $N$ -й подключены к соответствующим отводам дискретно-аналоговой линии задержки, а в каждый  $i$ -й весовой блок введены  $(N-1)$  ключевых ячеек, в каждую из которых введены четыре дополнительных ключа, управляющий вход первого из которых соединен с управляющими входами второго ключа и четвертого дополнительного ключа, вход которого соединен с выходом второго дополнительного ключа, управляющий вход которого соединен с управляющими входами первого ключа и третьего дополнительного ключа, вход которого соединен с выходом первого дополнительного ключа,  $2N$  элементов ИЛИ, входы которых являются управляющими входами  $i$ -го весового блока, а выход  $(2i-1)$ -го элемента ИЛИ соединен с управляющим входом первого ключа  $i$ -й ключевой ячейки, вход которого соединен с входом первого дополнительного ключа  $i$ -й ключевой ячейки, управляющий вход которого соединен с выходом  $2i$ -го элемента ИЛИ, и дополнительный коммутируемый конденсатор, первая и вторая обкладки которого соединены с выходами первого и второго дополнительных ключей всех ключевых ячеек, причем выходы первого и второго ключей первой ключевой ячейки соединены с выходами первого и второго ключей введенных ключевых ячеек соответственно, входы первых ключей которых являются соответствующими входами весового блока, входы вторых, вторых дополнительных и выходы третьих и третьих дополнительных ключей ключевых ячеек соединены с общей шиной, а выходы четвертых и четвертых дополнительных ключей ключевых ячеек объединены, а также введен дополнительный коммутируемый конденсатор в  $(N+1)$ -й весовой блок, в ключевую ячейку которого введены четыре дополнительных ключа, выход первого из которых соединен с первой обкладкой дополнительного коммутируемого конденсатора и входом третьего

дополнительного ключа, управляющий вход которого соединен с управляющим входом первого ключа и второго дополнительного ключа, выход которого соединен с второй обкладкой дополнительного коммутируемого конденсатора и входом четвертого дополнительного ключа, управляющий вход которого соединен с управляющими входами третьего ключа и первого дополнительного ключа, вход которого соединен с входом первого ключа, выход четвертого ключа соединен с выходом четвертого дополнительного ключа, а входы второго и третьего дополнительного ключей соединены с общей шиной.

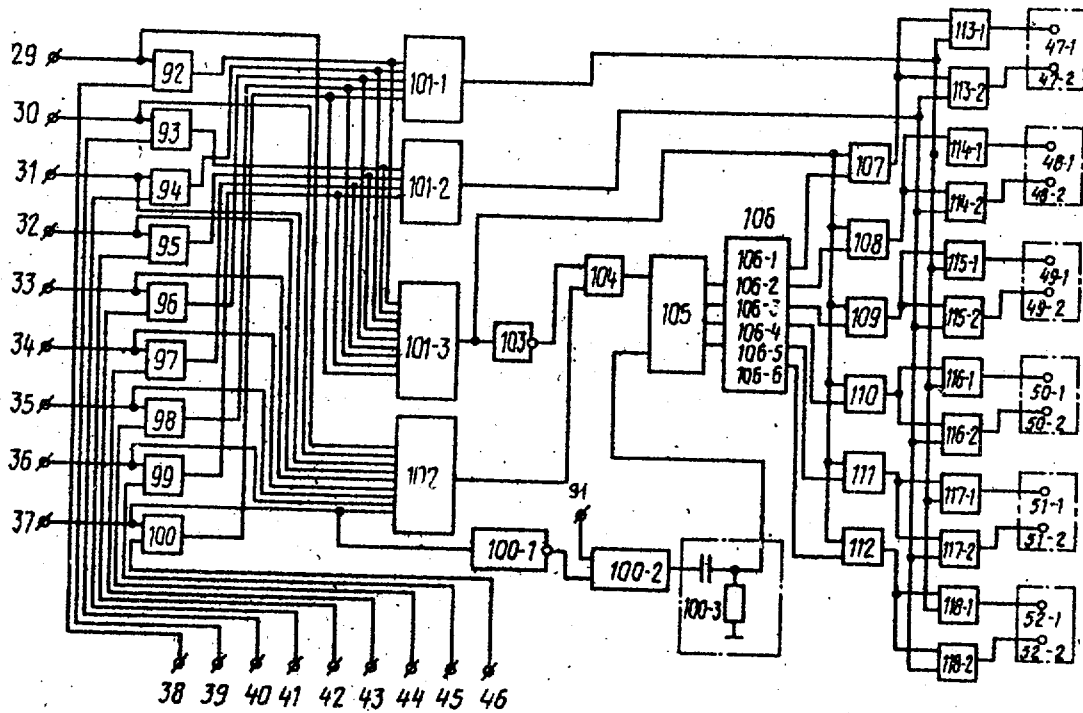
2. Фильтр по п. 1, отличающийся тем, что логический блок содержит  $M$  элементов И-НЕ, первый и второй входы  $m$ -го из которых являются  $m$ -м управляющим и  $m$ -м входами логического блока соответственно, первый дополнительный элемент И-НЕ, входы которого соединены с выходами элементов И-НЕ с нечетными номерами, второй дополнительный элемент И-НЕ, входы которого соединены с выходами элементов И-НЕ с четными номерами, третий дополнительный элемент И-НЕ, входы которого соединены с выходами элементов И-НЕ, элемент ИЛИ, входы которого соединены с первыми входами элементов И-НЕ,  $2K$  выходных элементов И, выходы  $(2j-1)$ -го и  $2j$ -го из которых являются  $j$ -м выходом логического блока,  $K$  вспомогательных элементов И, выход  $j$ -го из которых соединен с первым входом  $(2j-1)$ -го и  $2j$ -го выходных элементов И, последовательно соединенные инвертор, вход которого соединен с первыми входами вспомогательных элементов И и выходом третьего дополнительного элемента ИЛИ, элемент И, второй вход которого соединен с выходом элемента ИЛИ, счетчик и дешифратор,  $j$ -й выход которого соединен с вторым входом  $j$ -го вспомогательного элемента И, а также последовательно соединенные дополнительный инвертор, вход которого соединен с первым входом  $M$ -го элемента И, дополнительный элемент ИЛИ, второй вход которого является входом сброса логического блока, и дифференцирующую RC-цепь, выход которой соединен с входом сброса счетчика, причем выход первого допол-

нительного элемента И-НЕ соединен с вторыми входами (2j-1)-х выходных элементов И, а выход второго дополни-

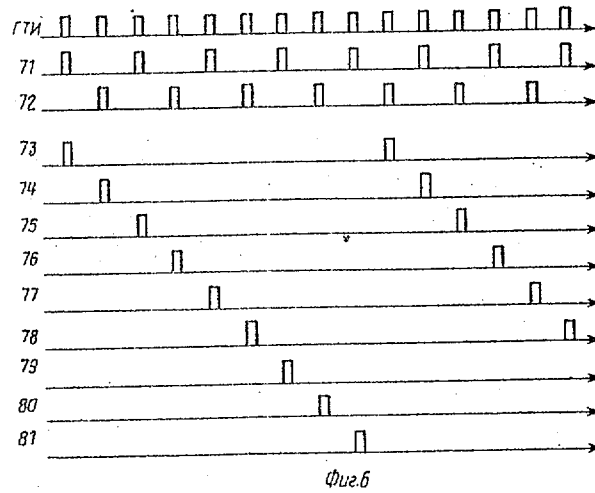
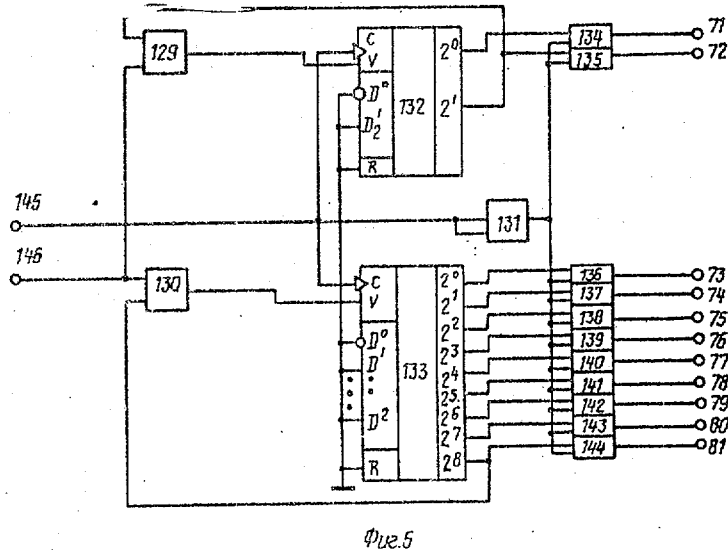
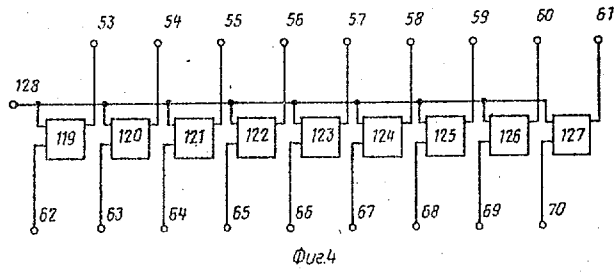
тельного элемента И-НЕ соединен с вторыми входами 2j-х выходных элементов И.



Фиг. 2



Фиг. 3.



Редактор И. Горная      Составитель С. Музычук      Техред Л. Сердюкова      Корректор М. Пожо

Заказ 2021      Тираж 654      Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101